



Universidade do Minho

André Manuel Silva Lemos

**Desenvolvimento de um Filtro Ativo de
Potência Paralelo com Topologia
*Interleaved***

Dissertação submetida na Universidade do Minho
para a obtenção do grau de
Mestre em Engenharia Eletrónica e de Computadores

Trabalho realizado sob orientação do
Doutor Vítor Duarte Fernandes Monteiro

Dezembro de 2019

DIREITOS DE AUTOR E CONDIÇÕES DE UTILIZAÇÃO DO TRABALHO POR TERCEIROS

Este é um trabalho académico que pode ser utilizado por terceiros desde que respeitadas as regras e boas práticas internacionalmente aceites, no que concerne aos direitos de autor e direitos conexos.

Assim, o presente trabalho pode ser utilizado nos termos previstos na licença abaixo indicada.

Caso o utilizador necessite de permissão para poder fazer um uso do trabalho em condições não previstas no licenciamento indicado, deverá contactar o autor, através do RepositóriUM da Universidade do Minho.



Atribuição

CC BY

<https://creativecommons.org/licenses/by/4.0/>

Agradecimentos

A realização deste trabalho não teria sido possível sem o apoio e a contribuição de diversas pessoas, às quais transmito os meus mais sinceros agradecimentos.

Quero agradecer ao meu orientador, Doutor Vitor Monteiro, por toda a disponibilidade, motivação e exigência demonstradas, bem como pela revisão do documento e toda a ajuda ao longo desta dissertação.

Agradeço aos Engenheiros Delfim Pedrosa e José Cunha pelas sugestões a nível de hardware.

Agradeço aos alunos de doutoramento Luís Barros e Tiago Sousa pela disponibilidade e ajuda prestada ao longo desta dissertação.

Agradeço ao técnico, Carlos Torres por toda a atenção e simpatia que me dispensou ao longo do desenvolvimento do protótipo.

Agradeço ao meu colega de bancada, João Machado, por todo o alento, auxílio e espírito de camaradagem demonstrados ao longo desta jornada.

Agradeço aos meus colegas Bruno Nova, Diogo Vaz, Paulo Passos e Sérgio Coelho, pelo companheirismo, encorajamento e por toda a ajuda concedida ao longo deste ano.

Agradeço aos meus pais, familiares e amigos que me apoiaram incondicionalmente.

Por último, agradeço a todas as pessoas que não foram aqui referidas, mas que me ajudaram ao longo do meu percurso académico.

Este trabalho de dissertação está enquadrado no projeto de IC&DT “*newERA4GRIDs – New Generation of Unified Power Conditioner with Advanced Control, Integrating Electric Mobility, Renewables, and Active Filtering Capabilities for the Power Grid Improvement*”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/30283/2017.

Este trabalho de dissertação está enquadrado no projeto de IC&DT “*Quality4Power - Enhancing the Power Quality for Industry 4.0 in the era of Microgrids*”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/28813/2017.

DECLARAÇÃO DE INTEGRIDADE

Declaro ter atuado com integridade na elaboração do presente trabalho acadêmico e confirmo que não recorri à prática de plágio nem a qualquer forma de utilização indevida ou falsificação de informações ou resultados em nenhuma das etapas conducente à sua elaboração. Mais declaro que conheço e que respeitei o Código de Conduta Ética da Universidade do Minho.

Resumo

Num mundo cada vez mais competitivo e com recursos limitados, a qualidade de energia elétrica assume, cada vez mais, um papel de elevada importância, pois a eficiência e o tempo de vida útil das cargas, e do próprio sistema elétrico, estão diretamente relacionados com a qualidade da energia elétrica. Tendo isto em consideração, e observado a evolução do mercado, percebe-se a necessidade de soluções que atendam à demanda por inversores de maior qualidade e com preços mais competitivos. No entanto, a maior parte dos avanços obtidos, relativamente à qualidade da forma de onda sintetizada pelos inversores, está relacionada com o aumento da frequência de comutação dos semicondutores. Contudo, como o aumento da frequência de comutação dos semicondutores está limitado por razões físicas dos próprios semicondutores, quando se pretende sintetizar sinais cuja frequência do *ripple* é superior à frequência de comutação, surgem, então, as topologias *interleaved*. Assim, para obter um *ripple* com frequência n vezes superior à frequência de comutação são utilizados n conversores em paralelo, denominando-se de um topologia *interleaved* de n módulos. É importante ressaltar que nesta topologia, no entanto, o aumento de n vezes o valor do *ripple* é feito graças ao desfasamento dos sinais portadores e não à custa do aumento de n vezes o número de comutações dos semicondutores, ou seja, não é necessário lidar com a multiplicação de n vezes as perdas devido às comutações.

Esta dissertação de mestrado assenta no desenvolvimento de um inversor monofásico que emprega uma topologia *interleaved* do tipo fonte de tensão controlada por corrente, para aplicações de baixa tensão. O inversor desenvolvido opera como filtro ativo de potência, permitindo assim, mitigar os problemas de qualidade de energia elétrica, relacionados com harmónicos de corrente e com baixo fator de potência, da instalação onde o inversor está instalado.

Inicialmente, foi efetuado um estudo detalhado do estado-da-arte sobre as diversas topologias de inversores e sobre teorias de controlo, com o objetivo de identificar as mais relevantes no âmbito desta dissertação. Posteriormente, foi desenvolvido um modelo de simulação em PSIM para validar a topologia selecionada, assim como os algoritmos de controlo. Por fim, foi desenvolvido um protótipo laboratorial, incluindo hardware e software, e, com base nele, foram obtidos resultados experimentais que corroboram a topologia selecionada para a aplicação de filtro ativo de potência, assim como os algoritmos selecionados.

Palavras-Chave: Inversor *interleaved*, filtro ativo de potência, qualidade de energia elétrica, eletrónica de potência, SiC MOSFET.

Abstract

In an increasingly competitive world with limited resources, the power quality increasingly assumes a role of high importance, because the efficiency and lifetime of the loads, and the electrical system itself, are directly related to the power quality. Considering this, and observing the evolution of the market, we perceive the need for solutions that meet the demand for higher quality inverters and with more competitive prices. However, most of the advances made in relation to the quality of the waveform synthesized by the inverters are related to the increased frequency of switching of semiconductors. As the increased frequency of switching of semiconductors is limited by physical reasons of semiconductors themselves, when it is necessary to synthesize signals whose ripple frequency is higher than the switching frequency, then the topologies appear interleaved. Thus, to obtain a ripple with frequency n times higher than the switching frequency are used n converters in parallel, denominating an interleaved topology of n modules. It is important to note that in this topology, however, the increase of n times the ripple value is done by shifting the carrier signals and not due to the increase of n times the number of semiconductor switches, that is, it is not necessary to deal with the multiplication of n times losses as due to switching.

This master's thesis aims at the development of a single-phase inverter that employs an interleaved topology of the source type of current-controlled voltage, for low voltage applications. It is intended that the inverter to be developed operates as an active power filter, thus allowing to mitigate the power quality problems related to harmonics and power factor of the installation where the inverter is installed.

Initially, a detailed study of the state of the art was made about the diverse topologies of inverters and the control theories, with the objective of identifying the most relevant within the scope of this master's thesis. In posteriority, it was developed a simulation model in PSIM to validate the chosen topology and the algorithms of control. In conclusion, it was developed a laboratorial prototype, including hardware and software and in result there were obtained experimental results that confirm the selected topology for the application of active power filters, as well as the selected algorithms.

Keywords: Interleaved Inverter, Active Power Filter, Power Quality, Power Electronics, SiC MOSFET.

ÍNDICE

Agradecimentos	iii
Resumo	v
Abstract	vi
Lista de Figuras.....	x
Lista de Tabelas	xv
Acrónimos e Siglas.....	xvi
Nomenclatura	xviii
Capítulo 1 Introdução	1
1.1 Qualidade de Energia Elétrica e Filtros Ativos de Potência	1
1.2 Origem dos Harmónicos.....	2
1.3 Definição de Harmónicos.....	4
1.4 Indicadores de Distorção Harmónica.....	5
1.4.1 Potência Harmónica	5
1.4.2 Espetro de Frequência.....	6
1.4.3 Fator de Potência.....	6
1.4.4 Taxa de Distorção Harmónica (THD)	7
1.5 Motivações.....	7
1.6 Objetivos	8
1.7 Organização da Estrutura da Dissertação.....	8
Capítulo 2 Filtro Ativo de Potência Monofásico: Princípio de Operação, Controlo e Topologias	10
2.1 Introdução.....	10
2.2 Filtros Ativos de Potência.....	10
2.2.1 Filtro Ativo de Potência Paralelo	10
2.2.2 Filtro Ativo de Potência Série.....	11
2.2.3 Filtro Ativo de Potência Paralelo com Topologia <i>Interleaved</i>	12
2.2.4 Constituição de um Filtro Ativo de Paralelo Monofásico.....	13
2.3 Conversores CC-CA	14
2.3.1 Inversor Monofásico de Meia Ponte	14
2.3.2 Inversor Monofásico de Ponte Completa.....	15
2.4 Técnicas de Modulação de Largura de Pulso Sinusoidal	16
2.4.1 Modulação Bipolar	17
2.4.2 Modulação Unipolar.....	18
2.4.3 Desfasamento das Ondas Portadoras para Modulação <i>Interleaved</i>	19
2.5 Controlo de Corrente para Inversores Fonte de Tensão.....	19
2.5.1 Controlo de Corrente PI	20
2.5.2 Controlo de Corrente Preditivo	21
2.6 Teorias de Controlo para Filtros Ativos de Paralelos Monofásicos.....	22
2.6.1 Teoria $P-Q$	23
2.6.2 Teoria FBD	24
2.6.3 Transformada de Fourier.....	25
2.7 Paralelismo de Inversores.....	27

2.8	Organização de Sistemas Inversores para Módulos Inversores em Paralelo.....	28
2.8.1	Controlo Mestre-Escravo para Módulos Inversores em Paralelo.....	30
2.8.2	Controlo Central para Módulos Inversores em Paralelo.....	31
2.8.3	Controlo Distribuído para Módulos Inversores em Paralelo.....	31
2.9	Configuração <i>Interleaved</i> para Inversores em Paralelo.....	32
2.10	Correntes Circulantes.....	33
2.11	Conclusão.....	35
Capítulo 3	Simulação do Filtro Ativo Paralelo Monofásico com Topologia <i>Interleaved</i>	37
3.1	Introdução.....	37
3.2	Comparação de Topologias.....	37
3.3	Modelo de Simulação do um Inversor com Topologia <i>Interleaved</i> para Sintetizar uma Corrente Sinusoidal em Malha Aberta.....	39
3.4	Sincronização com a Rede Elétrica.....	40
3.5	Modelo de Simulação do Filtro Ativo Paralelo Monofásico com Topologia <i>Interleaved</i>	42
3.5.1	Implementação do Controlo PI para Regulação da Tensão no Barramento CC.....	45
3.5.2	Implementação da Teoria de Potência Elétrica para Mitigação de Problemas de QEE.....	47
3.5.3	Controlo de Corrente Preditivo e Técnica de Modulação.....	49
3.6	Resultados de Simulação do Funcionamento como Filtro Ativo de Potência.....	50
3.6.1	Compensação de Fator de Potência.....	50
3.6.2	Compensação Harmónica.....	52
3.6.3	Resposta Dinâmica do Filtro Ativo Paralelo.....	55
3.6.4	Resposta Dinâmica do Filtro Ativo Paralelos em Caso de Paragem de um dos Módulos.....	58
3.7	Conclusão.....	60
Capítulo 4	Implementação do Hardware do Filtro Ativo Paralelo com Topologia <i>Interleaved</i>	62
4.1	Introdução.....	62
4.2	Organização e Desenvolvimento do Sistema de Controlo.....	62
4.3	Sensores de Tensão.....	65
4.4	Sensores de Corrente.....	67
4.5	<i>Digital Signal Processor</i>	68
4.6	Condicionamento de Sinal.....	70
4.7	Deteção de Erros.....	74
4.8	Organização e Desenvolvimento do Sistema de Potência.....	79
4.9	Semicondutores de Potência.....	83
4.10	Barramento CC.....	84
4.11	Condensadores de Desacoplamento.....	84
4.12	Bobina de Acoplamento à Rede Elétrica.....	85
4.13	Circuito de <i>Driver</i>	86
4.14	Conclusão.....	90
Capítulo 5	Resultados Experimentais do Filtro Ativo Paralelo com Topologia <i>Interleaved</i>	91
5.1	Introdução.....	91
5.2	Resultados da Técnica de Modulação.....	91
5.3	Resultados da Técnica de Controlo de Corrente Sem Ligação à Rede Elétrica.....	92
5.4	Sincronização com a Rede Elétrica.....	93
5.5	Resultados da Técnica de Controlo de Corrente Com Ligação à Rede Elétrica.....	94
5.5.1	Injetar Energia na Rede Elétrica.....	94

5.5.2	Injetar Energia na Rede Elétrica mais 3º Harmônico	95
5.6	Regulação da Tensão no Barramento CC	95
5.7	Resultados do Funcionamento como FAPP com topologia <i>Interleaved</i>	97
5.7.1	Resultados com Carga RL	97
5.7.2	Resultados com Retificador com Carga RC	99
5.8	Resultados do Funcionamento Parcial do FAPP	107
5.8.1	Resultados com Carga RL	108
5.8.2	Resultados com Retificador com Carga RC	110
5.9	Análise ao Circuito de <i>Driver</i>	111
5.10	Conclusão	118
Capítulo 6	Conclusão	119
6.1	Conclusões	119
6.2	Sugestões para Trabalho Futuro	121
	Lista de Referências	123

Lista de Figuras

Figura 1.1 Distribuição dos custos associados a cada tipo de problema de QEE.	1
Figura 1.2 Esquema unifilar de um circuito de alimentação com uma impedância Zh para harmónicos de ordem h .	3
Figura 1.3 Representação da componente fundamental da corrente de alimentação de um sistema de alimentação de uma carga não linear.	3
Figura 1.4 Representação das componentes não fundamentais da corrente de alimentação de um sistema de alimentação de uma carga não linear.	3
Figura 1.5 Exemplo das diversas componentes de frequência de uma função periódica não sinusoidal.	4
Figura 1.6 Representação vetorial das potências.	5
Figura 1.7 Exemplo do espetro harmónico de um sinal.	6
Figura 2.1 Sistema elétrico com filtro ativo de potência paralelo.	11
Figura 2.2 Sistema elétrico com filtro ativo de potência série.	12
Figura 2.3 Sistema elétrico com filtro ativo de potência paralelo com topologia <i>interleaved</i> .	13
Figura 2.4 Diagrama de blocos de um FAPP monofásico.	13
Figura 2.5 Esquemático de um inversor em <i>half-bridge</i> .	14
Figura 2.6 Esquemático de um inversor em <i>full-bridge</i> .	16
Figura 2.7 Modulação bipolar.	17
Figura 2.8 Modulação unipolar.	18
Figura 2.9 Modulação unipolar para módulos inversores com topologia <i>interleaved</i> .	19
Figura 2.10 Diagrama de blocos do controlo PI com modulação PWM.	20
Figura 2.11 Esquema elétrico do inversor <i>full-bridge</i> conectado à rede elétrica.	21
Figura 2.12 Princípio base da análise de Fryze: (a) Exemplo de um circuito monofásico; (b) Circuito equivalente para a decomposição da corrente da carga.	25
Figura 2.13 Esquema representativo de um sistema com n módulos inversores de paralelo (imagem modificada de [48]).	28
Figura 2.14 Diagrama do controlo mestre-escravo.	30
Figura 2.15 Esquemático de um inversor com topologia <i>interleaved</i> .	33
Figura 3.1 Exemplo de um dos modelos de simulação utilizados para realizar a comparação das diversas topologias - inversor <i>interleaved</i> com barramento CC separado.	39
Figura 3.2 Modelo de simulação de um inversor <i>interleaved</i> com barramento CC partilhado – Simulação em malha aberta.	39
Figura 3.3 Forma de onda da corrente sintetizada pelo inversor <i>interleaved</i> em malha aberta.	40
Figura 3.4 <i>Ripple</i> do sinal sintetizado pelo inversor <i>interleaved</i> .	40
Figura 3.5 Diagrama de blocos da PLL [68].	41
Figura 3.6 Estrutura da PLL.	41
Figura 3.7 Resultados de simulação da sincronização do sinal de saída da PLL com a tensão da rede elétrica.	42
Figura 3.8 Resultados de simulação da sincronização do sinal de saída da PLL com a tensão da rede elétrica distorcida.	42
Figura 3.9 Modelo de simulação do FAPP <i>interleaved</i> monofásico com barramento CC partilhado.	43

Figura 3.10 Fluxograma do software desenvolvido para controlo do sistema.	44
Figura 3.11 Fluxograma representativo da atribuição do estado do sistema.	44
Figura 3.12 Fluxograma da máquina de estados.	45
Figura 3.13 Resultados de simulação da regulação da tensão no barramento CC do FAPP.	46
Figura 3.14 Forma de onda da corrente na rede elétrica no momento e que FAPP transita do estado de regulação <i>soft-start</i> do barramento CC para o modo de compensação harmónica.	47
Figura 3.15 Diagrama de blocos da implementação da teoria FBD.	47
Figura 3.16 Forma de onda da corrente na consumida pela carga não linear.	48
Figura 3.17 Forma de onda da corrente de compensação sintetizada pelo FAPP.	49
Figura 3.18 Forma de onda corrente na rede elétrica.	49
Figura 3.19 Diagrama de blocos do controlo preditivo com modulação PWM unipolar para um inversor com topologia <i>interleaved</i> .	50
Figura 3.20 Forma de onda da tensão na rede elétrica e da corrente consumida pela carga RL.	51
Figura 3.21 Forma de onda da corrente em fase com a rede elétrica, após a compensação de fator de potência por parte de um FAPP no modo <i>interleaved</i> .	51
Figura 3.22 Espectro harmónico de uma carga não linear.	52
Figura 3.23 Forma de onda da tensão na rede elétrica e da corrente consumida pela carga não linear.	52
Figura 3.24 Forma de onda corrente de compensação sintetizada pelo FAPP com topologia <i>interleaved</i> .	53
Figura 3.25 Forma de onda da tensão e da corrente na rede elétrica após a compensação harmónica por parte de um FAPP com topologia <i>interleaved</i> .	53
Figura 3.26 Espectro harmónico da corrente na rede elétrica durante a compensação harmónica.	55
Figura 3.27 Variação da corrente consumida pelas cargas não lineares introduzidas no sistema.	55
Figura 3.28 Espectro harmónico das cargas introduzidas no sistema.	56
Figura 3.29 Perturbação da tensão provocada pela entrada e saída da segunda carga não linear.	56
Figura 3.30 Resposta dinâmica da corrente sintetizada pelo FAPP <i>interleaved</i> , devido à entrada e saída da segunda carga não linear.	57
Figura 3.31 Forma de onda da corrente na rede elétrica durante a perturbação provocada pela entrada e saída da segunda carga não linear.	57
Figura 3.32 Forma de onda da corrente consumida pela carga no momento em que um dos módulos é desabilitado.	58
Figura 3.33 Evolução da forma de onda da corrente de compensação sintetizada pelo inversor no momento em que um dos módulos é desabilitado.	58
Figura 3.34 Evolução da forma de onda da corrente na rede elétrica no momento em que um dos módulos é desabilitado.	59
Figura 3.35 Evolução da tensão no barramento CC no momento em que um dos módulos é desabilitado.	60
Figura 4.1 <i>Layout</i> da placa de deteção de erro e condicionamento de sinal desenvolvida através do software <i>PADS Layout</i> .	63
Figura 4.2 <i>Layout</i> da placa de deteção de erro e condicionamento de sinal desenvolvida através do software <i>CAM 350</i> .	63
Figura 4.3 PCB do sistema de controlo – Parte superior.	64
Figura 4.4 PCB do sistema de controlo – Parte inferior.	64
Figura 4.5 Sensor de Tensão - CYHVS5-25A.	67
Figura 4.6 Sensor de Corrente - <i>LTSR 15-NP</i> .	68
Figura 4.7 DSP e placa de suporte.	69

Figura 4.8 Ambiente de desenvolvimento – <i>Code Composer v7</i> .	69
Figura 4.9 Circuito amplificador somador não inversor.	70
Figura 4.10 Esquemático do seguidor de tensão, filtro passivo e diodo de <i>zener</i> .	73
Figura 4.11 Esquema do comparador de janela.	74
Figura 4.12 Gráfico representativo do comportamento de um comparador de janela.	75
Figura 4.13 Esquema do comparador de janela partilhado entre dois módulos do inversor <i>interleaved</i> .	76
Figura 4.14 Representação da evolução da saída do <i>LM339</i> .	77
Figura 4.15 Primeira versão da PCB de <i>drivers</i> e potência.	80
Figura 4.16 <i>Layout</i> da placa de <i>drivers</i> e potência desenvolvida através do software <i>PADS Layout</i> .	81
Figura 4.17 PCB num ponto intermédio de desenvolvimento – Vista do lado inferior.	82
Figura 4.18 Dissipador e semicondutores fixados com uma pressão uniformemente distribuída.	82
Figura 4.19 Segunda versão da PCB de <i>drivers</i> e potência.	82
Figura 4.20 Protótipo do FAPP com topologia <i>interleaved</i> .	83
Figura 4.21 Semicondutores de potência - SiC.	83
Figura 4.22 Condensador eletrolítico de <i>820μF</i> .	84
Figura 4.23 Condensador de desacoplamento.	84
Figura 4.24 Bobina com núcleo de ferro utilizada para acoplamento à rede elétrica.	85
Figura 4.25 Bobina com núcleo de pó de ferro utilizada para acoplamento à rede elétrica.	86
Figura 4.26 Circuito de <i>bootstrap</i> .	88
Figura 5.1 Resultado experimental da modulação unipolar.	91
Figura 5.2 Desfasamento do <i>ripple</i> em dois módulos com as ondas portadoras desfasadas 180°.	92
Figura 5.3 Resultado experimental do controlo de corrente preditivo <i>interleaved</i> sem ligação à rede elétrica.	93
Figura 5.4 Resultado experimental do cálculo da PLL em regime permanente.	93
Figura 5.5 Resultado experimental do fornecimento de energia à rede elétrica.	94
Figura 5.6 Resultado experimental do fornecimento de uma corrente com conteúdo harmónico para a rede elétrica.	95
Figura 5.7 Resultado experimental da regulação da tensão no barramento CC por intermédio de um estado de <i>soft-start</i> .	96
Figura 5.8 Resultado experimental da regulação da tensão no barramento e fornecimento de 3º harmónico para a rede elétrica.	96
Figura 5.9 Indicação do funcionamento no modo <i>interleaved</i> .	97
Figura 5.10 Forma de onda da corrente consumida pela carga indutiva ligada a uma rede de 27,5 V.	98
Figura 5.11 Resultado experimental do FAPP a compensar o desfasamento provocado por uma carga indutiva ligada a uma rede de 27,5 V.	98
Figura 5.12 Formas de onda das correntes na carga, compensação, rede e forma de onda da tensão na rede com 27,5 V de valor eficaz.	99
Figura 5.13 Efeito do funcionamento do <i>interleaved</i> sobre o <i>ripple</i> da corrente de compensação utilizada para compensar fator de potência.	99
Figura 5.14 Forma de onda tensão de 27,5 V no secundário do transformador e da corrente consumida pelo retificador com carga RC (R = 26 Ω e C = 628 μF) em paralelo com uma resistência de 26 Ω.	100
Figura 5.15 Corrente na rede com o FAPP a compensar os harmónicos de corrente provocados pelo retificador com carga RC (R = 26 Ω e C = 628 μF) em paralelo com uma resistência de 26 Ω.	100
Figura 5.16 Resultado experimental da sobreposição das correntes de compensação sintetizadas pelos módulos do FAPP com topologia <i>interleaved</i> .	101

Figura 5.17 Resultado experimental da corrente de compensação sintetizada pelo FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de $27,5 \text{ V}$.	101
Figura 5.18 Forma de onda da tensão de $54,5 \text{ V}$ no secundário do transformador e da corrente consumida pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .	102
Figura 5.19 Resultado experimental das correntes de compensação sintetizadas pelo FAPP a operar com uma frequência de comutação de 30 kHz .	102
Figura 5.20 Detalhe do <i>ripple</i> de 60 kHz da corrente de compensação sintetizada pelo FAPP no modo <i>interleaved</i> .	103
Figura 5.21 Resultado experimental do FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de $54,5 \text{ V}$.	103
Figura 5.22 Resultado experimental da corrente de compensação sintetizada pelo FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de $54,5 \text{ V}$.	104
Figura 5.23 Detalhe do <i>ripple</i> de 60 kHz da corrente de compensação sintetizada pelo FAPP no modo <i>interleaved</i> .	104
Figura 5.24 Resultado experimental do FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de $54,5 \text{ V}$.	105
Figura 5.25 Resultado experimental da tensão no barramento CC e formas de onda da tensão na rede a $54,5 \text{ V}$, corrente de compensação e corrente na rede quando o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .	105
Figura 5.26 Resultado experimental das formas de onda da tensão na rede a $54,5 \text{ V}$, corrente de compensação, corrente na carga e corrente na rede quando o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .	106
Figura 5.27 Detalhe das formas de onda da tensão na rede a $54,5 \text{ V}$, corrente de compensação, corrente na carga e corrente na rede, durante um ciclo de rede em que o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .	106
Figura 5.28 Resultado experimental da distribuição da potência dissipada nos diversos pontos do sistema.	106
Figura 5.29 Resultado experimental da distribuição da temperatura na PCB dedicada ao sistema de controlo do FAPP com topologia <i>interleaved</i> .	107
Figura 5.30 Distribuição da temperatura nos semicondutores (a) Visão geral dos semicondutores. (b) Visão detalhada dos semicondutores.	107
Figura 5.31 Indicação do funcionamento no modo parcial.	108
Figura 5.32 Forma de onda da corrente consumida pela carga indutiva ligada a uma rede de $27,5 \text{ V}$.	109
Figura 5.33 Resultado experimental do funcionamento parcial do FAPP a compensar o desfasamento provocado por uma carga indutiva ligada a uma rede de $27,5 \text{ V}$.	109
Figura 5.34 Formas de onda da corrente na carga, corrente de compensação parcial, corrente na rede e forma de onda da tensão na rede com $27,5 \text{ V}$ de valor eficaz.	110
Figura 5.35 Resultado experimental da tensão no barramento CC, v_{CC} , e comparação entre a corrente na rede, i_S , e a corrente consumida pela carga, i_L , quando o FAPP se encontra no modo de compensação harmónica parcial.	110
Figura 5.36 Resultado experimental da tensão na rede, v_S , corrente na rede, i_S , corrente de compensação no modo de funcionamento parcial, i_f .	111
Figura 5.37 Resultado experimental da distribuição da temperatura nos diversos pontos do sistema quando o FAPP se encontra a operar no modo parcial.	111

Figura 5.38 (a) Esquema elétrico da montagem utilizada para testar o circuito de <i>driver</i> . (b) Bancada de testes utilizada para testar o circuito de <i>driver</i> .	112
Figura 5.39 Forma de onda sintetizada pelo circuito de <i>driver</i> quando lhe é aplicada uma onda quadrada com uma frequência de 100 kHz.	112
Figura 5.40 <i>Ringing</i> do sinal v_{GS} e v_{DS} com uma tensão V_{in} de 70 V.	113
Figura 5.41 Deformação de v_{GS} durante a transição ascendente: (a) Forma de onda tensão na v_{GS} e v_{DS} nos terminais do SiC MOSFET. (b) Detalhe da forma de onda de v_{GS} e v_{DS} durante a transição ascendente.	113
Figura 5.42 Influência da variação da resistência de <i>gate</i> na transição ascendente do sinal aplicado à <i>gate</i> do SiC MOSFET.	114
Figura 5.43 Influência da variação dos valores R_{GS} na transição ascendente do sinal aplicado à <i>gate</i> do SiC MOSFET.	114
Figura 5.44 (a) v_{GS} e v_{DS} nos terminais do MOSFET. (b) v_{GE} e v_{CE} nos terminais do IGBT.	115
Figura 5.45 V_{GE} nos terminais do IGBT e tensão na saída dos conversores CC-CC: (a) antes da adição dos condensadores (b) após a adição dos condensadores aos seus terminais.	115
Figura 5.46 Circuito de <i>driver</i> HCPL-3120.	115
Figura 5.47 Influência da variação da resistência de <i>gate</i> na transição ascendente do sinal aplicado à <i>gate</i> do IGBT.	116
Figura 5.48 Influência da variação dos valores R_{GE} na transição ascendente do sinal aplicado à <i>gate</i> do IGBT.	116
Figura 5.49 (a) V_{GS} na saída do <i>driver</i> e V_{GS} nos terminais do SiC MOSFET. (b) V_{GS} nos terminais do SiC MOSFET e queda de tensão entre a saída do <i>driver</i> e a <i>gate</i> do semiconductor.	117
Figura 5.50 Circuito equivalente do SiC MOSFET.	117

Lista de Tabelas

Tabela 2.1 Estados de operação de um inversor <i>half-bridge</i> .	15
Tabela 2.2 Estados de operação de um inversor <i>full-bridge</i> .	16
Tabela 3.1 Comparação do valor de THD dos sinais sintetizados pelas diversas topologias.	38
Tabela 3.2 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento <i>interleaved</i> num sistema com carga RL.	51
Tabela 3.3 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento paralelo num sistema com uma carga não linear.	54
Tabela 3.4 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento interleaved num sistema com uma carga não linear.	54
Tabela 3.5 Valor eficaz e fator de potência do sistema com o FAPP com topologia <i>interleaved</i> antes da paragem de um dos módulos.	59
Tabela 3.6 Valor eficaz e fator de potência do sistema com o FAPP com topologia <i>interleaved</i> após a paragem de um dos módulos.	59

Acrónimos e Siglas

Acrónimo / Sigla	Significado
ADC	<i>Analog-to-Digital Converter</i>
BJT	<i>Bipolar Junction Transistor</i>
CA	Corrente Alternada
CC	Corrente Contínua
CSI	<i>Current Source Inverter</i>
DSP	<i>Digital Signal Processor</i>
PLL	<i>Phase Locked Loop</i>
FAP	Filtro Ativo de Potência
FAPP	Filtro Ativo de Potência Paralelo
FAPS	Filtro Ativo de Potência Série
FBD	Fryze–Buchholz–Depenbrock
FFT	<i>Fast Fourier Transform</i>
FP	Fator de Potência
GPIO	<i>General Purpose Input/Output</i>
IDFT	<i>Inverse Discrete Fourier Transform</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LF	<i>Loop Filter</i>
LTP	<i>Lower Trip Point</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
PCB	<i>Printed Circuit Board</i>
PD	<i>Phase Detector</i>
PI	Proporcional Integral
QEE	Qualidade de Energia Elétrica

RMS	<i>Root Mean Square</i>
SMD	<i>Surface Mounted Device</i>
SiC	<i>Silicon Carbide</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
THD	<i>Total Harmonic Distorcion</i>
UTP	<i>Upper Trip Point</i>
VCO	<i>Voltage-controlled Oscillator</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

C	Capacidade do barramento CC	F
THD	Distorção harmónica total calculada em percentagem da amplitude da fundamental.	%
I_{OUT}	Corrente de saída do inversor	A
I_L	Corrente nas cargas	A
I_F	Corrente total na fonte	A
I_{F1}	Corrente do módulo 1	A
I_F	Corrente do módulo 2	A
f	Frequência da tensão da rede elétrica	Hz
f_s	Frequência de amostragem	Hz
f_{sw}	Frequência de comutação	Hz
L	Indutância	H
L_S	Indutância de linha	H
Z	Impedância	Ω
f_s	Período de amostragem	s
f_{sw}	Período de comutação	s
S	Potência aparente	VA
P	Potência ativa	W
Q	Potência reativa	VAR
R_S	Resistência de linha	Ω
R_G	Resistência de <i>gate</i>	Ω
R_{GE}	Resistência <i>gate</i> emissor	Ω
R_{GS}	Resistência <i>gate source</i>	Ω
V_{CC}	Tensão no barramento de corrente contínua	V
V_{CE}	Tensão coletor emissor	V
V_{DS}	Tensão <i>drain source</i>	V
V_{GE}	Tensão <i>gate emissor</i>	V
V_{GS}	Tensão <i>gate source</i>	V
V_S	Valor eficaz da tensão da rede elétrica em sistemas monofásicos	V

Capítulo 1

Introdução

1.1 Qualidade de Energia Elétrica e Filtros Ativos de Potência

A área da qualidade de energia elétrica (QEE) sempre despertou interesse ao setor industrial e, desde cedo, se percebeu a sua importância. No entanto, devido ao facto das primeiras cargas a serem ligadas ao sistema elétrico terem um comportamento linear, as preocupações sobre a QEE residiam principalmente em manter o sistema em funcionamento de forma ininterrupta, e que a tensão e frequência fossem mantidas dentro dos níveis estabelecidos pelas normas em vigor [1]. Contudo, tem-se assistido a um aumento das preocupações com outros problemas de QEE devido à crescente utilização de cargas não lineares, tanto a nível industrial como a nível residencial [2].

As componentes harmónicas consumidas pelas cargas não lineares, provocam o fluxo de correntes harmónicas através das impedâncias do sistema, originando distorções na tensão de alimentação. Isto, causa a degradação da QEE e, conseqüentemente, dá origem a prejuízos económicos e coloca em causa a eficiência e tempo de vida útil das cargas, assim como do próprio sistema elétrico. Um relatório do *European Copper Institute* declarou que os problemas de QEE causaram perdas financeiras na ordem dos 150 mil milhões de euros por ano nos países da EU-25 [3].

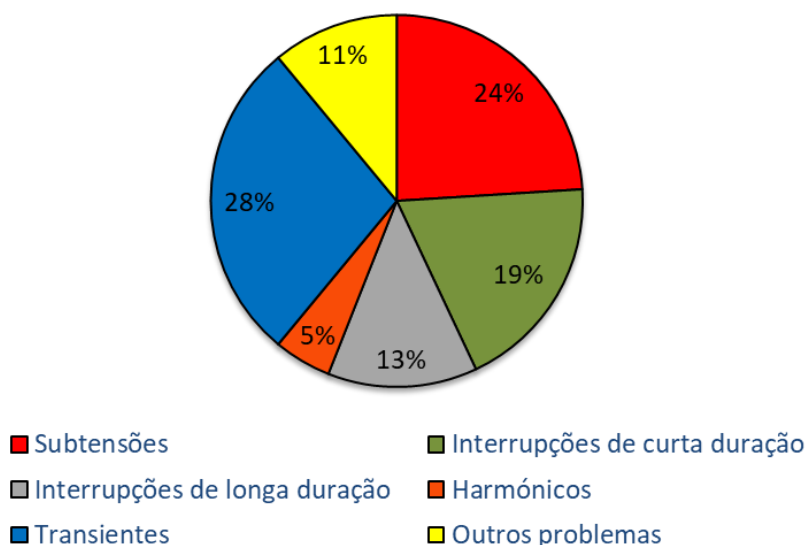


Figura 1.1 Distribuição dos custos associados a cada tipo de problema de QEE.

Isto leva a que a QEE venha a ganhar cada vez mais importância, tanto a nível científico como económico. Desta forma, tem existido um estímulo ao surgimento de novas topologias de retificadores ativos, pois, a utilização de retificadores ativos faz com que a corrente na rede mantenha um valor de THD reduzido e um fator de potência próximo da unidade.

Este fenómeno leva à necessidade de encontrar melhores soluções para mitigar as distorções harmónicas causadas por este tipo de cargas. Atualmente, os filtros ativos de potência (FAPs) representam a vanguarda da tecnologia no que diz respeito à compensação de harmónicos. Estes dispositivos têm como objetivo compensar a distorção harmónica e a potência reativa que esteja presente no sistema elétrico em que o FAP foi instalado, tornando, do ponto de vista da rede elétrica, a corrente sinusoidal e em fase com a tensão, mitigando o efeito que esse fenómeno causaria na forma de onda do sistema elétrico, ou seja, o sistema elétrico passa a interpretar o conjunto de recetores associados à rede elétrica (cargas não lineares mais FAP), como uma carga linear a consumir corrente sinusoidal e sem desfasamento entre a tensão e a corrente [2][4].

Tendo isto em consideração, e observado a evolução do mercado, percebe-se a necessidade de soluções que atendam à demanda por inversores de maior qualidade e com preços mais competitivos.

1.2 Origem dos Harmónicos

Os harmónicos são causados por cargas não lineares. Uma carga não é linear quando a corrente que ela consome não tem a mesma forma de onda da tensão de alimentação. Estas cargas têm vindo a proliferar no mercado do consumo de energia e, atualmente, encontram-se presentes em praticamente todas as instalações industriais, comerciais e residenciais. Alguns exemplos deste tipo de carga são:

- Equipamentos industriais - fornos a arco, fornos de indução, retificadores, etc.;
- Equipamentos de escritório - computadores, fotocopiadoras, etc.;
- Equipamentos domésticos - televisões, micro-ondas, etc.

As correntes harmónicas causadas pelas cargas não lineares, provocam o fluxo de correntes harmónicas através das impedâncias do sistema, que por sua vez, criam harmónicos de tensão, que distorcem a tensão de alimentação. Na Figura 1.2 pode ver-se o esquema unifilar de um circuito de alimentação com uma impedância Z_h para harmónicos de ordem h .

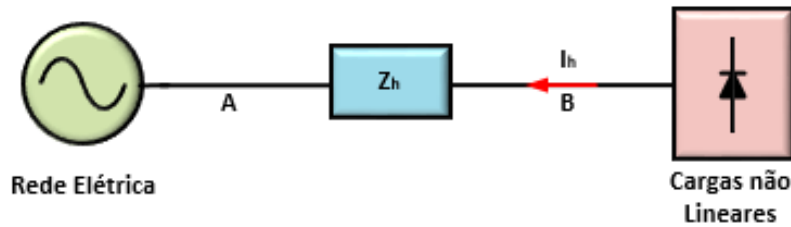


Figura 1.2 Esquema unifilar de um circuito de alimentação com uma impedância Z_h para harmônicos de ordem h .

A reatância do condutor aumenta em função da frequência da corrente que o atravessa. Logo, para cada corrente harmónica de ordem h , existe uma impedância Z_h , diferente no circuito de alimentação.

A corrente harmónica de ordem h gera, por intermédio da impedância Z_h , uma tensão harmónica V_h , onde $V_h = Z_h I_h$, isto resume-se a uma simples aplicação da lei de Ohm. Assim sendo, a tensão em B é distorcida e os dispositivos que se encontrem a jusante deste ponto recebem uma tensão distorcida.

De modo a facilitar a compreensão das correntes harmónicas, torna-se interessante imaginar que as cargas não lineares injetam correntes harmónicas a montante do sistema de distribuição, em direção à fonte. As Figuras Figura 1.3 e Figura 1.4 representam o que seria uma instalação sujeita a distorções harmónicas causadas por cargas não lineares. A Figura 1.3 mostra o fluxo de corrente fundamental de 50 Hz enquanto que a Figura 1.4, representa a corrente harmónica de ordem h .

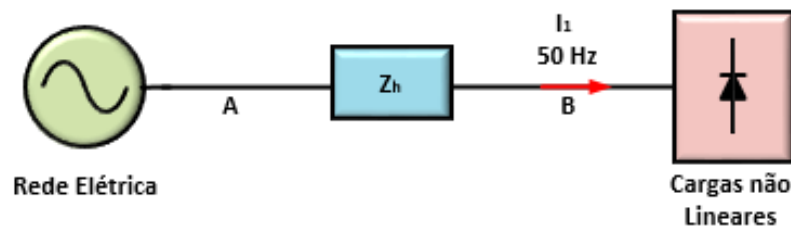


Figura 1.3 Representação da componente fundamental da corrente de alimentação de um sistema de alimentação de uma carga não linear.

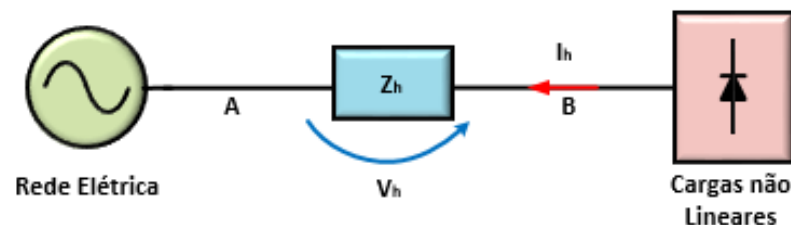


Figura 1.4 Representação das componentes não fundamentais da corrente de alimentação de um sistema de alimentação de uma carga não linear.

1.3 Definição de Harmônicos

Segundo o teorema Fourier, todas as funções periódicas não sinusoidais podem ser representadas pelo somatório das suas componentes de frequência. Assim, um sinal é composto por uma frequência sinusoidal fundamental, componentes de frequência (harmônicos) cujas frequências correspondem a múltiplos inteiros da frequência fundamental e, adicionalmente, pode existir uma componente contínua. O harmônico de ordem n é uma componente de um sinal sinusoidal com uma frequência n vezes superior à frequência fundamental.

$$y(t) = Y_0 + \sum_{n=1}^{n=\infty} Y_n \sqrt{2} \sin(n\omega t - \varphi_n) \tag{1.1}$$

Onde:

- y_0 - Valor da componente contínua;
- y_n - Valor rms do harmônico de ordem n ;
- ω - Frequência angular da componente fundamental;
- φ_n - Fase na origem;

Tal como é possível perceber através da observação da Figura 1.5, um sinal distorcido é o resultado da soma de um conjunto de harmônicos sobrepostos [5].

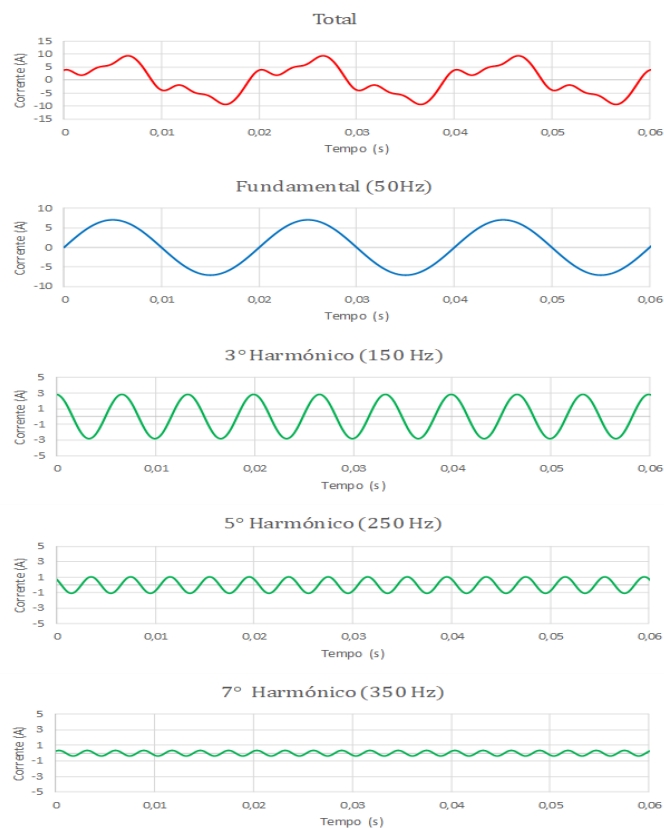


Figura 1.5 Exemplo das diversas componentes de frequência de uma função periódica não sinusoidal.

1.4 Indicadores de Distorção Harmónica

Os indicadores de conteúdo harmónico são indispensáveis para determinar qualquer ação corretiva necessária à mitigação dos problemas de QEE. Assim sendo, de seguida, apresentam-se vários os indicadores que podem ser utilizados para avaliar a distorção harmónica das formas de onda da tensão e da corrente [5][6].

1.4.1 Potência Harmónica

A potência harmónica surge como uma consequência direta da presença de conteúdo harmónico no sistema. Com o surgimento desta componente, a equação 1.2 deixa de ser válida e o cálculo da potência aparente S , tem de ser realizado através da equação 1.3.

$$S^2 = P^2 + Q^2 \quad (1.2)$$

$$S^2 = P^2 + Q^2 + H^2 \quad (1.3)$$

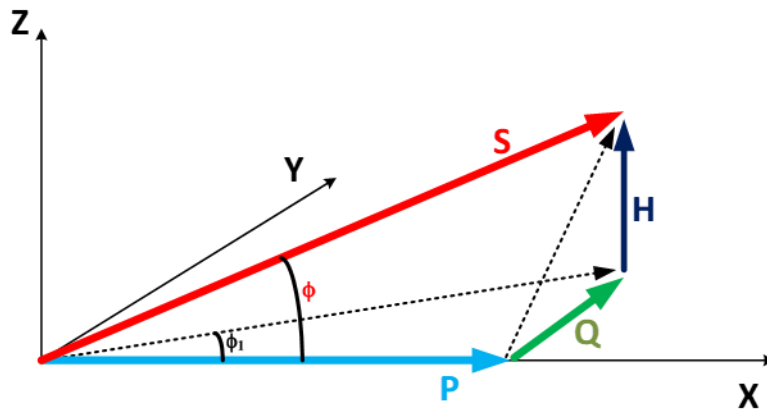


Figura 1.6 Representação vetorial das potências.

Também é possível realizar o cálculo da potência aparente através da equação 1.4, caso os valores eficazes da corrente e da tensão sejam calculados com base nos valores eficaz das várias componentes harmónicas.

$$S = V_{rms} I_{rms} \quad (1.4)$$

Sendo que o valor eficaz da corrente é dado pela expressão 1.5.

$$I_{rms} = \sqrt{\sum_{h=1}^n I_h^2} \quad (1.5)$$

O valor eficaz da tensão é dado pela expressão 1.6.

$$V_{rms} = \sum_{h=1}^n V_h^2 \quad (1.6)$$

Assim, sabendo o valor da potência ativa, que é dado pela equação 1.7 e o valor da potência reativa é dado pela equação 1.8, obtém-se a potência aparente e, conseqüentemente, obtém-se o valor da potência harmónica através da dedução da equação 1.3, tal como é possível observar na expressão 1.9.

$$P = V I_1 \cos \varphi_1 \quad (1.7)$$

$$Q = V I_1 \sin \varphi_1 \quad (1.8)$$

$$H = \sqrt{S^2 - P^2 - Q^2} \quad (1.9)$$

1.4.2 Espectro de Frequência

O espectro harmónico (sinal dividido em frequência) fornece informações relativas à composição harmónica da forma de onda consumida por uma carga não linear, funcionando como uma espécie de “prisma dispersivo” de corrente harmónica. A análise deste espectro fornece uma visão mais detalhada de cada componente do sinal, funcionando como uma ferramenta bastante útil para avaliar a distorção do sinal. Na Figura 1.7 pode ver-se detalhadamente a amplitude de cada ordem harmónica específica num único gráfico.

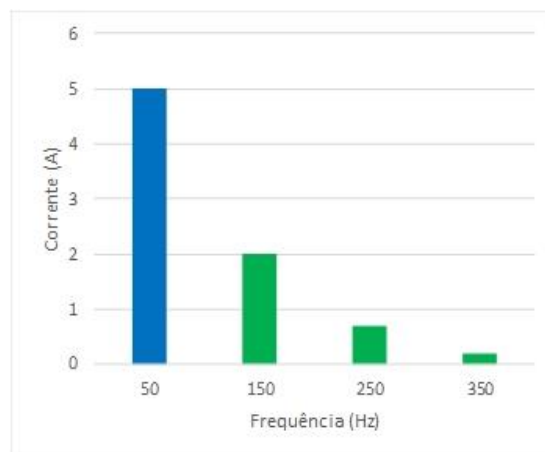


Figura 1.7 Exemplo do espectro harmónico de um sinal.

1.4.3 Fator de Potência

O fator de potência indica o valor de desfasamento que deve ser compensado. Frequentemente confunde-se fator de potência com o $\cos \varphi$, que é dado pela equação 1.10.

$$\cos \varphi = \frac{P_1}{S_1} \quad (1.10)$$

Repare-se que na equação 1.10 apenas se utilizam as componentes correspondentes à frequência fundamental da onda. Caso existam distorções harmônicas, o valor do fator de potência deve ser calculado através da equação 1.11.

$$FP = \frac{P}{S} \quad (1.11)$$

Quando existe uma distorção harmônica significativa o fator de potência medido é menor do que $\cos \varphi$.

1.4.4 Taxa de Distorção Harmónica (THD)

O THD é frequentemente usado para definir o nível de distorção de um sinal com conteúdo harmónico. A distorção de um sinal y , representa-se através da expressão 1.12.

$$THD = \sqrt{\frac{\sum_{h=2}^{\infty} y_h^2}{y_1^2}} \quad (1.12)$$

Através desta equação, obtém-se um valor que quantifica o grau de distorção da tensão ou corrente num determinado ponto do sistema. O THD também pode vir expresso em percentagem e, geralmente, os valores de h máximo utilizado no calculo do THD é de 25, no entanto, este valor dependerá do *standard* de qualidade a que rede deverá obedecer. Em situações onde se conhece o valor eficaz de um sinal, também pode ser útil recorrer à formula 1.13.

$$THD = \sqrt{\left(\frac{y_{rms}}{y_1}\right)^2 - 1} \quad (1.13)$$

1.5 Motivações

Tendo por base a elevada importância que o setor de QEE assume nos dias de hoje, e tendo em consideração que, atualmente os FAPs representam a vanguarda da mitigação de problemas de QEE, a motivação desta dissertação assenta no desenvolvimento de um Filtro Ativo de Potência Paralelo com topologia *interleaved*.

A implementação da topologia *interleaved*, permitirá sintetizar sinais cuja frequência de *ripple* é superior à frequência de comutação, contornando as limitações físicas que os semicondutores

apresentam relativamente à sua frequência de comutação, o que poderá vir a ser uma ótima contribuição para esta área de investigação.

A par das motivações citadas acima, e não menos importante, está a contribuição para o desenvolvimento de tecnologia para a mitigação de problemas de QEE, visto que a eficiência do sistema elétrico tem um papel crucial para o desenvolvimento económico nacional.

1.6 Objetivos

A utilização de inversores como FAPs fez com que existisse uma maior demanda por inversores capazes de sintetizar sinais com uma frequência de *ripple* superior, pois, a capacidade deste tipo de equipamento mitigar problemas de QEE, está diretamente ligada à qualidade da forma de onda que o inversor é capaz de sintetizar.

Tendo isto em consideração, o objetivo principal desta dissertação, é o desenvolvimento de um inversor monofásico com topologia *interleaved* para aplicação como FAP. Assim, para que seja possível alcançar este objetivo, destacam-se três pontos principais:

- Estudo sobre o estado da arte sobre inversores, paralelismo de inversores de tensão, FAPs, teorias de potência elétrica e algoritmos de controlo;
- Simulação computacional da topologia e do controlo do inversor para aplicações com FAP;
- Desenvolvimento e implementação física do inversor, *drivers* e da placa de condicionamento de sinal e deteção de erros, assim como desenvolvimento de todo o software.

1.7 Organização da Estrutura da Dissertação

No capítulo 1 realiza-se o enquadramento do tema proposto, bem como, as motivações e objetivos que servem de base à realização desta dissertação.

No capítulo 2 é efetuado um estudo sobre os FAPs, sendo que, é dada uma particular atenção à topologia *interleaved*. Desta forma, ao longo do capítulo apresentam-se técnicas de modulação, estratégias de controlo de corrente, teorias de controlo para FAPPs monofásicos, organização de sistemas inversores e ainda se realiza uma breve análise sobre as correntes circulantes.

No capítulo 3 apresenta-se os resultados obtidos através de simulações computacionais. Numa fase inicial realiza-se uma comparação do THD da forma de onda sintetizada por duas topologias, para que fosse possível identificar a topologia mais promissora para aplicações de mitigação de conteúdo

harmónico. De seguida apresentam-se os resultados da simulação do inversor em aplicações de compensação harmónica.

No capítulo 4 realiza-se uma apresentação sobre o hardware desenvolvido para implementação do Filtro Ativo de Potência com topologia *interleaved*. Neste capítulo apresenta-se a PCB dedicada ao sistema de controlo e todos os sensores e DSP utilizados, bem como, todo o condicionamento de sinal e circuito deteção de erros por hardware, necessários à manutenção da integridade do equipamento. Por fim, também se apresenta a PCB dedicada ao circuito de *driver* e potência, e de todos os elementos que o constituem.

No capítulo 5 são apresentados os resultados experimentais que corroboram a topologia selecionada para aplicação de filtro ativo de potência, assim como os algoritmos selecionados.

No capítulo 6 apresentam-se as conclusões obtidas através da realização desta dissertação. Por último, tendo como objetivo a continuidade da investigação realizada, apresentam-se algumas propostas de trabalho futuro.

Capítulo 2

Filtro Ativo de Potência Monofásico: Princípio de Operação, Controlo e Topologias

2.1 Introdução

Ao longo deste capítulo são apresentados os Filtros Ativos de Potência. Como a literatura sobre este tema é extremamente abrangente, torna-se impossível a apresentação e análise de todas as topologias existentes. Assim, abordam-se diversas topologias de FAPs, contudo, atribui-se um maior destaque aos Filtros Ativos de Potência Paralelos monofásicos (FAPP) e ao seu funcionamento com uma configuração *interleaved*, uma vez que é este foco principal desta dissertação. Desta forma, ao longo desta secção classificam-se os FAPs segundo a sua topologia e descrevem-se técnicas de modulação, teorias de controlo e de potência, aplicadas em inversores projetados para operar neste modo de funcionamento. Também se aborda o tema do paralelismo de inversores, bem como, as organizações hierárquicas segundo as quais este tipo de sistemas pode estar organizado.

2.2 Filtros Ativos de Potência

Os FAPs são dispositivos que permitem mitigar problemas de QEE de forma dinâmica, ou seja, estes equipamentos ajustam o seu funcionamento à entrada e saída de cargas conectadas à rede elétrica. A implementação deste tipo de soluções necessita de um investimento inicial elevado, comparativamente com as soluções passivas, no entanto, a versatilidade que estes equipamentos oferecem tem vindo a fazer com proliferem no mercado das soluções para problemas de QEE. Os problemas que os FAPs podem compensar estão relacionados com a sua topologia, sendo que os dispositivos do tipo FAPP estão associados à compensação de problemas de QEE relacionados com a corrente elétrica, enquanto que os FAPS estão associados à compensação de problemas de QEE relacionados com a tensão.

2.2.1 Filtro Ativo de Potência Paralelo

O Filtro Ativo de Potência do tipo Paralelo (FAPP) encontra-se associado à mitigação de problemas de QEE que estejam relacionados com as correntes do sistema elétrico. Este tipo de dispositivo consegue

compensar simultaneamente potência reativa corrigindo o fator de potência e harmónicos de corrente causados por cargas não lineares. Em sistemas trifásicos, o FAPP também permite equilibrar as correntes nas três fases, anulando a corrente no neutro, mesmo nas situações em que existam harmónicos de 3ª ordem [7].

O FAPP é basicamente constituído por um inversor do tipo fonte de tensão controlado por corrente e o respetivo controlador. A placa de aquisição de dados monitoriza os sinais obtidos através de sensores de tensão e corrente, que servem de interface com a rede elétrica. Os dados adquiridos são interpretados pelo controlador com recurso a teorias de potência, de forma a que seja possível realizar um controlo digital, em tempo real, e seja possível mitigar os problemas de QEE [2][8].

Este equipamento tem a finalidade de fazer com que o sistema elétrico passe a interpretar o conjunto carga não linear mais filtro, como um conjunto linear. A atuação do FAPP mitiga correntes harmónicas causadas pelas cargas não lineares instaladas no sistema de distribuição de energia. Assim, evita o fluxo de correntes harmónicas através das impedâncias do sistema, e consequentemente, evita a criação harmónicos de tensão, que distorcem a tensão de alimentação. Na Figura 2.1 pode ver-se a representação do esquema unifilar de um FAPP.

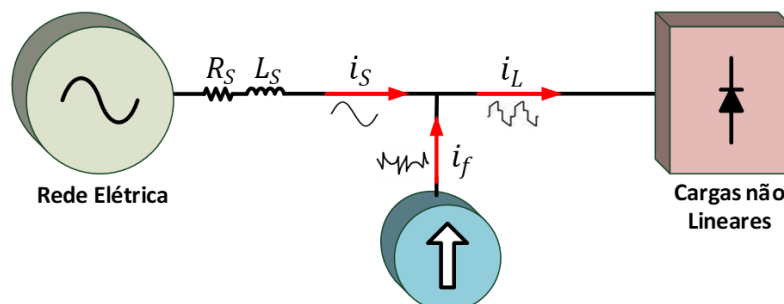


Figura 2.1 Sistema elétrico com filtro ativo de potência paralelo.

2.2.2 Filtro Ativo de Potência Série

O Filtro Ativo de Potência do tipo Série (FAPS) é o dual do FAPP, que foi apresentado na secção anterior. Ou seja, este filtro é aplicado em situações onde existe a necessidade de compensar harmónicos de tensão, de forma a proporcionar tensões sinusoidais aos terminais das cargas que estejam associadas a um determinado sistema elétrico. O FAPS também permite compensar sobretensões, subtensões, no entanto, a capacidade deste dispositivo compensar este tipo de problemas de QEE, dependerá da duração dos distúrbios causados na rede elétrica e da energia que o FAPS conseguir disponibilizar [7]. Na Figura 2.2 pode ver-se a representação do esquema unifilar de um FAPS.

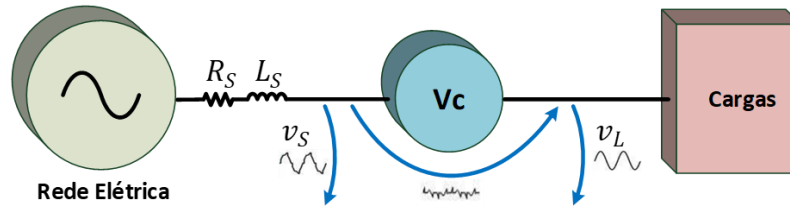


Figura 2.2 Sistema elétrico com filtro ativo de potência série.

2.2.3 Filtro Ativo de Potência Paralelo com Topologia *Interleaved*

No que diz respeito à operação de inversores com topologia *interleaved* como FAPs, a partilha da carga harmónica faz com que cada inversor seja sujeito a apenas metade da potência total necessária do FAP, dado que, a corrente total de compensação é dada pela sobreposição da corrente sintetizada por cada módulo inversor individualmente, tal como se pode observar na Figura 2.3, onde $i_{f1} + i_{f2} = i_f$, isto resume-se a uma simples aplicação do teorema da sobreposição.

A divisão da potência pelos diversos módulos, permite a utilização de semicondutores mais baratos e/ou construídos com base em tecnologias capazes de suportar frequências de comutação mais elevadas, o que aumenta ainda mais a largura de banda em que o FAP pode operar [9].

É importante salientar que as ondas portadoras utilizadas para modular as correntes i_{f1} e i_{f2} encontram-se desfasadas 180° entre si, fazendo com que a sua frequência de *ripple* seja o dobro e a amplitude do *ripple* seja reduzida para metade dos valores produzidos por cada um dos módulos inversores. Logo, a corrente de compensação sintetizada pelo FAP apresenta um valor mais próximo da corrente de referência calculada pela teoria de controlo. Na secção 2.4.3, encontra-se uma explicação mais detalhada da modulação *interleaved*.

Um dos principais fatores de interesse desta topologia reside na modularidade que lhe está intrinsecamente associada e que aumenta a sua confiabilidade, tornando-a adequada para aplicações de alta potência [10]. Para além disso, esta topologia mostra-se potencialmente interessante para o projeto de inversores compactos, uma vez que, já foi demonstrado que os componentes passivos podem ser significativamente reduzidos [11]. A utilização de bobinas menores e a substituição do transformador de isolamento por bobinas de modo comum, que será abordada na secção 2.10, proporciona a redução dos custos do projeto e aumenta a capacidade de resposta do sistema na perseguição à variável de referência [9]. Na Figura 2.3 pode ver-se o esquema unifilar de um sistema com um FAPP com topologia *interleaved*.

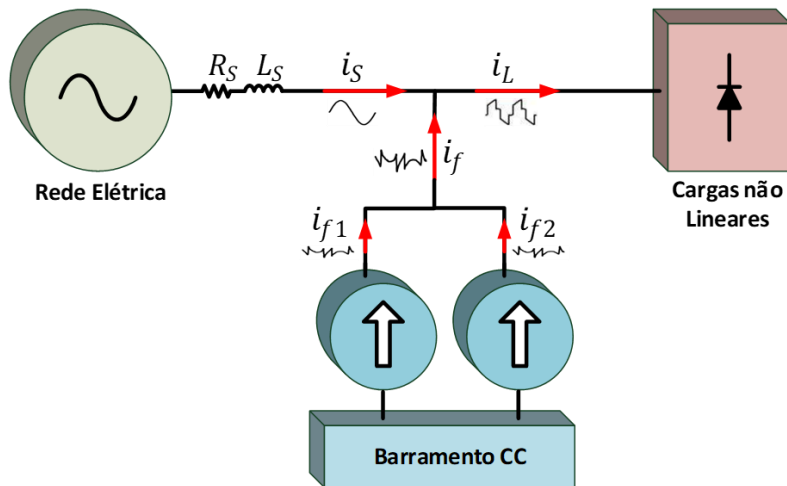


Figura 2.3 Sistema elétrico com filtro ativo de potência paralelo com topologia *interleaved*.

2.2.4 Constituição de um Filtro Ativo de Paralelo Monofásico

Um FAPP monofásico pode ser dividido em duas partes principais, o sistema de potência e o sistema de controlo. O sistema de potência é constituído pelo inversor, enquanto que o sistema de controlo é constituído pela placa de aquisição de dados, responsável por monitorizar os sinais que são obtidos através de sensores de tensão e corrente, que servem de interface com a rede elétrica. Geralmente, o sistema de controlo encontra-se implementado num *Digital Signal Processor* (DSP). A placa de aquisição de dados monitoriza a tensão do barramento CC, V_{CC} , a tensão da rede elétrica, V_S , e a corrente consumida pela carga ou conjunto de cargas que se pretende compensar, i_L . O valor das variáveis adquiridas é interpretado, por intermédio de teorias de potência, de forma a que se obtenha o valor da corrente de compensação, i_f . Sabendo o valor da corrente de compensação, o DSP atua o sistema de potência através da aplicação de sinais de comando. Na Figura 2.4 encontra-se o diagrama de blocos de um FAPP monofásico.

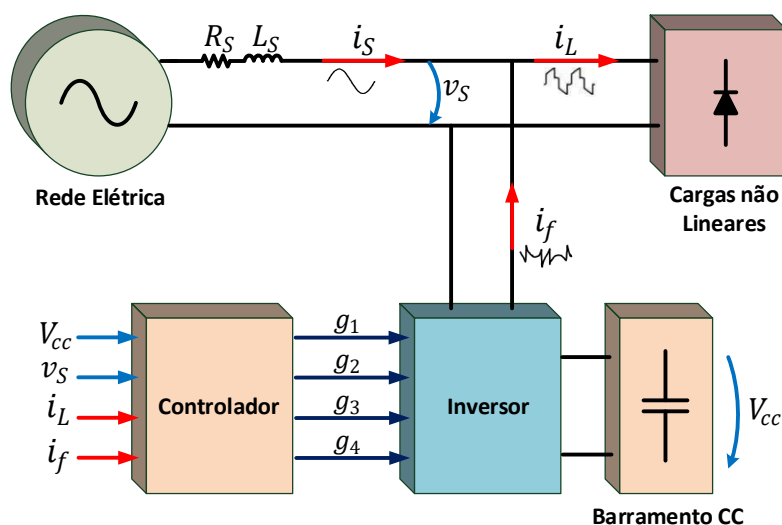


Figura 2.4 Diagrama de blocos de um FAPP monofásico.

2.3 Conversores CC-CA

Os conversores CC-CA, frequentemente designados por inversores, são dispositivos utilizados em diversas aplicações na área de eletrónica de potência, tais como, acionamento de motores de CA, fontes de alimentação ininterruptas (UPS – *Uninterruptible Power Supplies*) e FAPs [12]. Estes equipamentos têm vindo a ganhar uma importância ainda maior, uma vez que o aumento das preocupações com a QEE tem estimulado o surgimento de novas topologias de soluções ativas [13][14]. Os inversores são constituídos, entre outros componentes, por semicondutores de potência totalmente controlados. Ou seja, os semicondutores só transitam de estado consoante os sinais de comando que lhe são enviados pelo dispositivo de controlo.

Os inversores podem ser separados e classificados em dois grandes grupos. Um primeiro grupo de inversores do tipo fonte de tensão (VSI - *Voltage Source Inverter*) que é constituído por elementos capacitivos do lado do barramento CC e um segundo grupo do tipo fonte de corrente (CSI - *Current Source Inverter*) que é constituído por elementos indutivos do lado do barramento CC [15]. No entanto, ao longo desta dissertação apenas serão abordados os inversores do tipo fonte de tensão.

2.3.1 Inversor Monofásico de Meia Ponte

O inversor de meia ponte, também conhecido por *half-bridge*, é um tipo de inversor extremamente simples. Possui dois semicondutores de potência totalmente controlados, cada um com um diodo em antiparalelo. Estes diodos são necessários para proteger os semicondutores quando surgem correntes em direções opostas. Possui dois condensadores conectados em série para formar um barramento CC, quando estes componentes se encontram carregados, apresentam um comportamento semelhante ao de uma fonte de tensão [16]. A tensão de saída resulta da diferença de potencial entre o ponto médio dos semicondutores ligados à fase, e o ponto médio dos condensadores, ligado ao neutro. Na Figura 2.5 pode ver-se o esquemático de um inversor *half-bridge*.

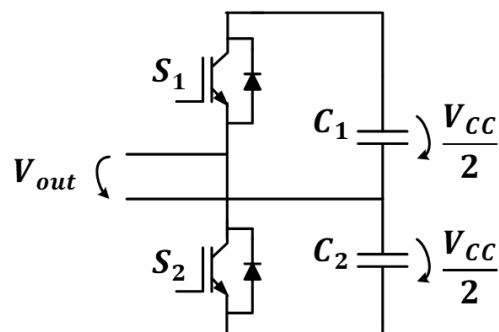


Figura 2.5 Esquemático de um inversor em *half-bridge*.

Esta topologia permite a obtenção de dois níveis de tensão, sendo que cada nível de tensão corresponde à diferença de potencial existente aos terminais de cada um dos condensadores constituintes do barramento CC. Assim é possível constatar que a implementação desta topologia implica a existência de uma tensão de alimentação com o dobro da amplitude da tensão que seria utilizada para alimentar topologias com apenas um condensador do lado do barramento CC. Isto torna-se ainda mais relevante se tivermos em conta que deste modo os semicondutores empregues nesta topologia terão de suportar tensões com o dobro da amplitude. Apesar da aparente simplicidade com que é possível controlar um inversor, esta topologia necessita de um controlo adicional sobre o barramento CC de modo dividir a tensão do barramento equitativamente pelos dois condensadores [15]. Na Tabela 2.1 encontram-se os estados de operação de um inversor *half-bridge*.

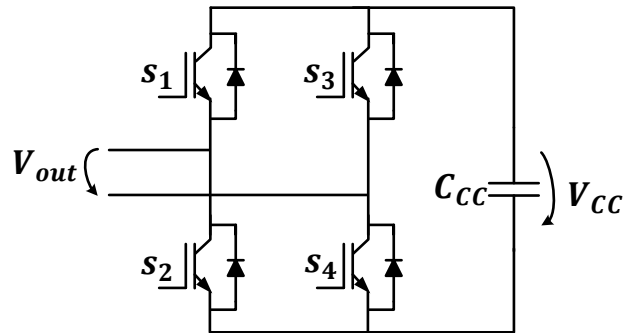
Tabela 2.1 Estados de operação de um inversor *half-bridge*.

Estado	<i>S1</i>	<i>S2</i>	<i>Vout</i>
1	ON	OFF	$+V_{cc}/2$
2	OFF	ON	$-V_{cc}/2$

2.3.2 Inversor Monofásico de Ponte Completa

O inversor de ponte completa, também conhecido por *full-bridge* devido ao formato que os dois braços em paralelo lhe conferem, é uma topologia amplamente difundida no sector da eletrónica de potência. Esta topologia é utilizada em diversas aplicações, tais como interface com sistemas fotovoltaicos, acionamento de motores, filtros ativos e fonte de alimentação [17].

A topologia de ponte completa possui 1 condensador para formar o barramento CC, 4 semicondutores de potência totalmente controlados, sendo que cada semicondutor contém um diodo em antiparalelo. O principal motivo do sucesso que esta topologia alcançou na área de eletrónica de potência deve-se à sua capacidade de permitir obter 3 níveis de tensão aos seus terminais, fazendo com que o sinal sintetizado apresente um THD reduzido. Não menos importante, observa-se que esta configuração só necessita de um único condensador para formar o barramento CC, logo, cada semicondutor apenas terá de suportar tensões na ordem das tensões que estarão presentes nesse barramento. Ao contrário da topologia apresentada anteriormente, esta topologia não carece de um controlo adicional sobre o barramento CC, pois, tal como foi referido anteriormente, o barramento é formado por apenas 1 condensador. Na Figura 2.6 pode ver-se o esquemático de um inversor *full-bridge*.

Figura 2.6 Esquemático de um inversor em *full-bridge*.

Os *deadtimes* dos semicondutores de potência requerem particular atenção, uma vez que a condução simultânea dos semicondutores associados ao mesmo braço do inversor provocará um curto-circuito no barramento CC. Na Tabela 2.2 encontram-se os estados de operação de um inversor *full-bridge*.

Tabela 2.2 Estados de operação de um inversor *full-bridge*.

Estado	S1	S2	S3	S4	Vout
1	ON	OFF	OFF	ON	+Vcc
2	ON	OFF	ON	OFF	0
3	OFF	ON	OFF	ON	0
4	OFF	ON	ON	OFF	-Vcc

2.4 Técnicas de Modulação de Largura de Pulso Sinusoidal

Os inversores são controlados através dos sinais de comando aplicados às *gates* dos semicondutores, sendo que a largura do pulso de comando varia de acordo com as regras estabelecidas pelo algoritmo de controlo, de modo a que se sintetizem sinais com tensão e frequências controladas. A técnica de modulação de largura de pulso sinusoidal, *Sinusoidal Pulse Width Modulation* (SPWM) é bastante utilizada devido à sua capacidade de aliar a simplicidade de implementação com um bom desempenho do inversor.

Esta técnica baseia-se na comparação entre dois sinais, nomeadamente entre um sinal de referência, V_{ref} , com uma onda portadora, V_{tri} , sendo que o sinal, V_{ref} , corresponde ao sinal que se pretende sintetizar e V_{tri} , é o sinal responsável por definir a frequência de comutação dos semicondutores. Assim, percebe-se que a frequência da onda portadora deve apresentar um valor tanto mais elevado quanto maior for a qualidade da onda que se pretende obter à saída do inversor. No entanto, este valor encontra-se limitado pela frequência de comutação a que os semicondutores podem operar. Sabendo que a frequência de comutação é definida pela onda triangular, e a frequência da onda triangular não varia no tempo, então, facilmente se percebe outro dos benefícios inerentes à

implementação deste tipo de modulação, que é a existência de uma frequência fixa de comutação. Uma frequência de comutação fixa faz com que exista uma redução da complexidade no dimensionamento dos filtros passivos. A comparação entre os dois sinais obedece às equações 2.1 e 2.2.

$$V_{ref} > V_{tri} \Rightarrow V_{out} = 1 \quad (2.1)$$

$$V_{ref} < V_{tri} \Rightarrow V_{out} = 0 \quad (2.2)$$

Através das equações 2.1 e 2.2, pode-se concluir que, caso o sinal modulador, V_{ref} , seja superior à onda portadora, V_{tri} , a tensão de saída assume o valor lógico “1”, enquanto que, na situação inversa, a tensão de saída assume o valor lógico “0”. É importante salientar que a amplitude do sinal modulador nunca deverá ultrapassar a amplitude da onda portadora, pois, só assim se garante que a frequência de comutação se mantém constante e o sinal é corretamente modulado.

2.4.1 Modulação Bipolar

Na modulação bipolar só existe uma onda portadora e um sinal modulador. O sinal modulador serve de referência para comparação com a onda portadora, ou seja, a comparação apenas poderá retornar dois valores possíveis, V_{res} e $\overline{V_{res}}$. Os valores retornados pela modulação são aplicados nas *gates* dos semicondutores do inversor [18][19]. Considerando um inversor de ponte completa apresentado na secção 2.3.2, o sinal V_{res} , corresponde ao sinal responsável pelas comutações dos semicondutores S_1 e S_4 , e o sinal $\overline{V_{res}}$ corresponde ao sinal que controla as *gates* dos semicondutores S_2 e S_3 . Sendo que, S_1 , S_2 , S_3 e S_4 correspondem à ordem pela qual os dispositivos estão numerados na Figura 2.6 [12]. Na Figura 2.7 encontra-se a representação da modulação SPWM bipolar.

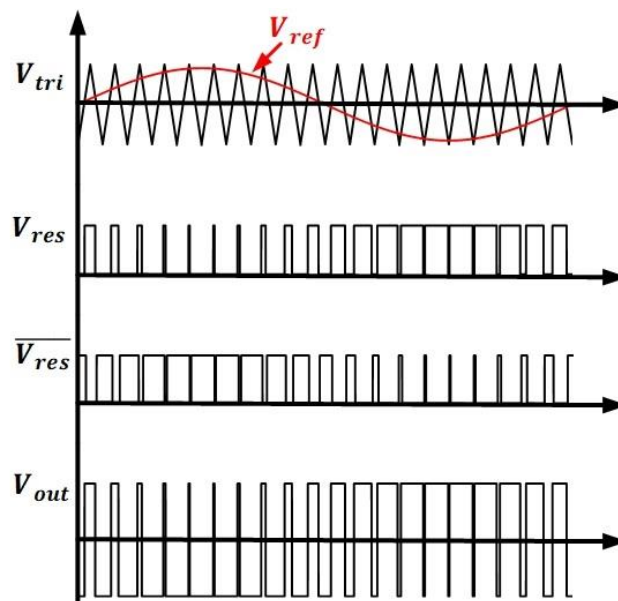


Figura 2.7 Modulação bipolar.

2.4.2 Modulação Unipolar

Neste tipo de modulação existe apenas uma onda portadora, mas ao contrário do que acontece na modulação bipolar, a modulação unipolar necessita de 2 sinais moduladores, V_{res1} e V_{res2} . Sendo que, V_{res2} é dual do sinal V_{res1} , uma vez que é exatamente o mesmo sinal, mas invertido. Desta forma, é necessário utilizar uma comparação adicional para que seja possível realizar as duas comparações adicionais geradas pela adição do segundo sinal modulador. Assim, obtém-se os 4 sinais de comando a serem aplicados aos 4 semicondutores constituintes do inversor de ponte completa [19].

Esta técnica permite que cada um dos sinais moduladores esteja na origem dos sinais de comando que controlam apenas um único braço do inversor, sendo que cada sinal modulador dá origem a um sinal de comando e ao seu sinal complementar, para que ambos os sinais sejam aplicados às *gates* dos semicondutores constituintes do mesmo braço. O sinal V_{res1} está na origem dos sinais de comando que atuam as *gates* dos semicondutores do braço 1 e V_{res2} estará na origem dos sinais de comando que atuam as *gates* dos semicondutores do braço 2.

O conjunto das combinações possíveis através deste tipo de modulação permite que sejam gerados 3 níveis de tensão aos terminais do inversor, $+V_{CC}$, $-V_{CC}$ e 0. Como este nível de tensão adicional, a técnica de modulação unipolar apresenta-se como uma solução capaz de sintetizar sinais com um valor de THD inferior ao dos sinais sintetizados através da modulação bipolar [18][12]. Na Figura 2.8 encontra-se a representação dos níveis de tensão gerados por intermédio da modulação SPWM unipolar.

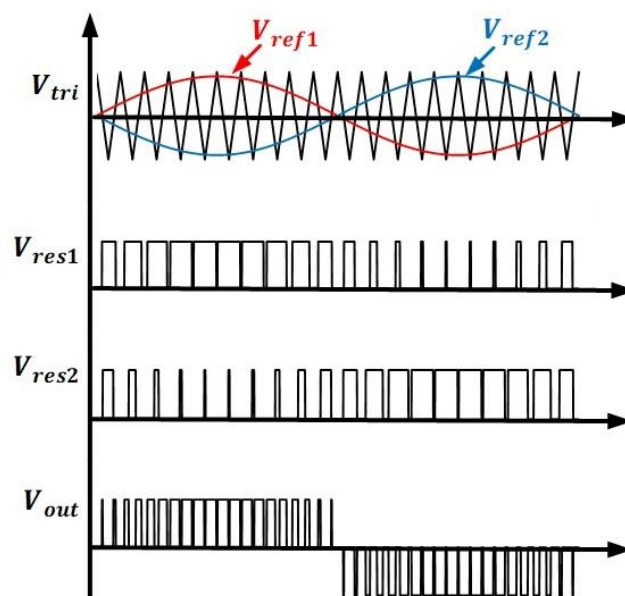


Figura 2.8 Modulação unipolar.

2.4.3 Desfasamento das Ondas Portadoras para Modulação *Interleaved*

Quando se opera com um conjunto de módulos inversores em paralelo surgem algumas possibilidades relativas à modulação e ao sincronismo existente entre os módulos. Através de estudos realizados sobre a otimização da performance da operação de diversos módulos inversores em paralelo, surgiu a configuração *interleaved*. Esta configuração baseia o seu princípio de funcionamento no desfasamento das ondas portadoras. Assim, a frequência resultante é o dobro da frequência de comutação de cada do inversor [20][21]. Nas topologias *interleaved*, cada módulo inversor possui as suas próprias ondas portadoras, ou seja, por cada n módulos inversores, existem n ondas triangulares [22]. As ondas portadoras encontram-se sincronizadas e desfasadas φ graus entre si, onde φ é calculado segundo a equação 2.3.

$$\varphi = \frac{360^\circ}{n} \quad (2.3)$$

Como as ondas portadoras se encontram desfasadas φ graus, o sinal de saída apresenta uma frequência de *ripple* n vezes maior do que a frequência de comutação dos semicondutores [23][24]. Logo, os primeiros harmónicos presentes no sinal de saída, surgem em torno de frequências n vezes superiores à frequência das ondas portadoras. Ao contrário do que acontece com as ondas portadoras, é imperativo que os sinais moduladores se encontrem em fase um com o outro. Isto é fundamental para que se garanta que todos módulos se encontram sincronizados, em fase e a sintetizar exatamente o mesmo sinal [25]. Na Figura 2.9 encontra-se a representação da modulação unipolar para módulos inversores com topologia *interleaved*.

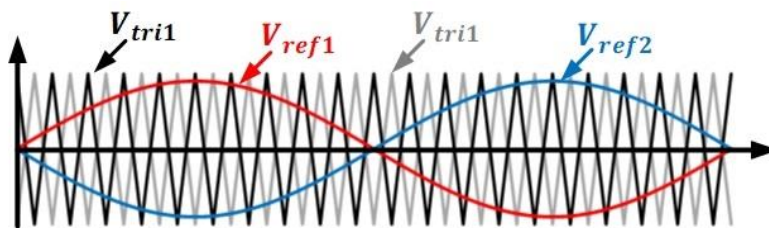


Figura 2.9 Modulação unipolar para módulos inversores com topologia *interleaved*.

2.5 Controle de Corrente para Inversores Fonte de Tensão

Tal como foi dito anteriormente, as técnicas de modulação permitem modular os sinais que atuam as *gates* dos semicondutores, fazendo com que sintetizem sinais com tensão e frequências controladas. No entanto, as técnicas de modulação carecem da implementação de estratégias de controle de corrente. Sabendo que, o grau de aproximação entre o sinal de referência e a forma de onda sintetizada pelo inversor estão diretamente relacionados com o controle de corrente. Então, percebe-se que o

controlo de corrente tem uma influência direta sobre o conteúdo harmónico do sinal sintetizado [26][27]. As técnicas de controlo de corrente para inversores são implementadas num sistema em malha fechada. Para tal, procede-se à monitorização de diversas variáveis através do sistema de controlo, de forma a que seja possível determinar o valor que o inversor deve produzir em cada instante.

2.5.1 Controlo de Corrente PI

Na técnica de controlo proporcional integral (PI) calcula-se o erro existente entre a corrente de referência, i_{ref} , e a corrente de saída do inversor, i_{out} . Através da diferença existente entre estas duas variáveis, obtém-se a variável, erro, que serve com variável de entrada para o controlo PI. O controlo PI fornece um sinal que serve de referência para comparação com uma onda portadora. Desta comparação, surgem os sinais de comando que atuam os semicondutores de potência [28].

A implementação do controlo PI revela alguma complexidade adicional. Isto deve-se à dificuldade em ajustar os ganhos, K_p e K_i . No entanto, esta técnica apresenta uma frequência de comutação fixa, uma vez que a frequência de comutação é estabelecida pela frequência da onda portadora. Com a frequência de comutação previamente estabelecida é mais fácil proteger os semicondutores das comutações em frequência próximas ao seu limite de funcionamento. Através do estabelecimento de uma frequência de comutação fixa reduz-se a complexidade do dimensionamento dos filtros passivos, uma vez que, através dessa informação sabe-se a ordem das componentes de alta frequência que são provocadas pela comutação dos semicondutores. Porém, esta técnica apresenta a desvantagem de possuir um atraso entre a corrente de saída i_{out} , e a corrente de referência i_{ref} . Sendo que, este atraso pode ser mitigado através do ajuste dos ganhos, mas nunca pode ser completamente extinto pois é uma característica que está intrinsecamente associada a este tipo de controlo [12]. Na Figura 2.10 encontra-se o diagrama de blocos correspondente ao controlo de corrente PI.

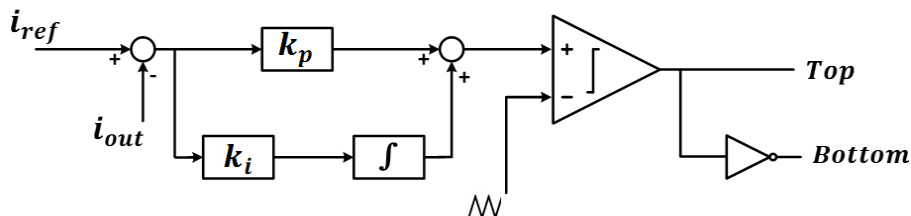


Figura 2.10 Diagrama de blocos do controlo PI com modulação PWM.

2.5.2 Controlo de Corrente Preditivo

O método de controlo de corrente preditivo baseia-se no modelo elétrico do sistema para tentar prever os futuros valores das variáveis a controlar. Assim, facilmente se percebe que a precisão do método de controlo preditivo encontra-se diretamente relacionada com a exatidão com que os parâmetros do sistema são obtidos [29]. Através da previsão realizada pelo controlo preditivo, torna-se possível satisfazer as necessidades de uma resposta rápida e dinâmica do controlo sobre corrente de um inversor [30]. Os resultados obtidos através desta técnica de controlo de corrente podem ser melhorados através de uma abordagem *interleaved* [14].

O controlo preditivo apresenta um comportamento linear, tal como acontecia com o controlo PI, ou seja, este método também se apresenta como uma solução viável para a resolução do problema da frequência de comutação variável.

Comparativamente com o controlo PI, o facto de o controlo preditivo não possuir ganhos, apresenta um benefício, uma vez que, não é necessário proceder ao seu ajuste.

Quando existem variações bruscas no valor variável de referência, este tipo de controlo apresenta uma resposta ainda mais rápida do que o controlo anteriormente referido. Esta capacidade confere-lhe um desempenho superior em termos de THD [15]. Na Figura 2.11 encontra-se o esquema elétrico do inversor *full-bridge* conectado à rede elétrica.

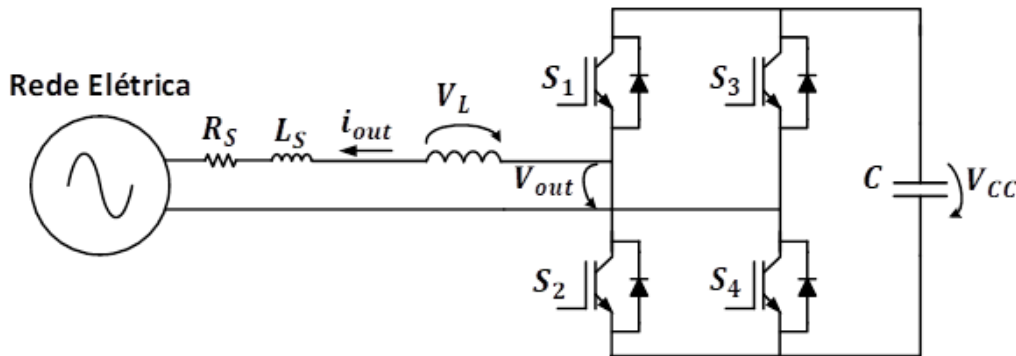


Figura 2.11 Esquema elétrico do inversor *full-bridge* conectado à rede elétrica.

Com a análise do modelo elétrico representado na Figura 2.11, através da lei das malhas verifica-se que a tensão no inversor, V_{out} , é igual à queda de tensão na bobina, V_L , somada com a queda de tensão na rede elétrica, V_S , tal como se pode ver na equação 2.5.

$$V_{out} = V_L + V_S \quad (2.5)$$

Substituindo a queda de tensão na bobina, V_L , pela sua equação característica obtém-se a seguinte equação.

$$V_{out} = L \frac{di_{out}(t)}{dt} + V_S \quad (2.6)$$

À semelhança dos métodos de controlo anteriormente apresentados, a realimentação é feita através da corrente de saída. Por intermédio da equação 2.7 obtém-se o valor do erro na corrente.

$$i_{erro} = i_{ref} + i_{out} \quad (2.7)$$

Substituindo a corrente i_{out} da equação 2.7 na equação 2.6, obtém-se a equação 2.8.

$$L \frac{di_{erro}}{dt} = L \frac{di_{ref}}{dt} + V_S - V_{out} \quad (2.8)$$

Tendo em conta que o processamento desta equação se realiza com recurso a um DSP, percebe-se a necessidade de converter a equação para o domínio discreto. Como a frequência de amostragem possui um valor bastante superior à frequência do sinal de saída, considera-se que a variação do erro é praticamente constante, Δi_{erro} . Assim, a equação 2.8 pode ser reescrita na equação 2.9, onde dt é substituído pelo tempo de amostragem T_S e Δi_{ref} representa a variação da corrente de referência.

$$L \frac{i_{erro}}{T_S} = L \frac{\Delta i_{ref}}{T_S} + V_S - V_{out} \quad (2.9)$$

Para anular o erro da corrente, a tensão gerada pelo inversor deve anular a corrente de erro. Logo, essa tensão produzida deve estar em oposição ao valor calculado anteriormente. Assim sendo, a equação 2.9 pode ser reescrita na equação 2.10.

$$V_{out} = L \frac{\Delta i_{ref}}{T_S} + L \frac{i_{erro}}{T_S} + V_S \quad (2.10)$$

Reescrevendo a equação 2.10 no tempo discreto, obtém-se a seguinte equação.

$$V_{ref}[k] = \frac{L}{T_S} (i_{ref}[k] - i_{ref}[k-1] + i_{erro}[k]) + V_S[k] \quad (2.11)$$

Substitui-se o termo i_{erro} pela expressão 2.7 e obtém-se a equação 2.12 que é utilizada para implementação do controlo de corrente preditivo.

$$V_{ref}[k] = \frac{L}{T_S} (2i_{ref}[k] - i_{ref}[k-1] - i_{out}[k]) + V_S[k] \quad (2.12)$$

2.6 Teorias de Controlo para Filtros Ativos de Paralelos Monofásicos

Tal como foi referido anteriormente, um FAPP é um equipamento capaz de fornecer os harmónicos de corrente e potência reativa requeridos pela carga. Desta forma, o FAPP faz com que o sistema eléctrico passe a ver o conjunto carga não linear mais filtro, como um conjunto linear. Para que seja possível efetuar a compensação necessária, adquire-se os valores instantâneos de tensão e corrente através de um sistema de aquisição de dados. Os valores adquiridos são processados e aplicados a

uma teoria de controlo que, por sua vez, calcula os valores de compensação, tanto em regime permanente, como no caso de existir uma variação de alguma carga ligada ao sistema elétrico. Então, percebe-se que a escolha da teoria de controlo desempenha crucial no desempenho do FAPP. De seguida apresentam-se duas teorias de controlo no domínio do tempo, sendo elas, a teoria P-Q e a teoria FBD. Adicionalmente, apresenta-se uma técnica no domínio da frequência, sendo que, esta técnica recorre à transformada de Fourier para decompor o sinal periódico nas suas diversas componentes de frequência.

2.6.1 Teoria P-Q

A teoria de potência instantânea, ou teoria P-Q, é uma teoria de controlo de potência no domínio do tempo que foi originalmente proposta por Akagi em 1983 para sistemas trifásicos sem neutro, sendo posteriormente alargada a sistemas trifásicos desequilibrados a quatro fios [31][32]. Como esta técnica apresenta uma resposta rápida e não implica que sejam realizados cálculos complexos, a teoria acabou por ser adaptada a sistemas monofásicos [33]. Nos FAPs, a corrente de compensação calculada pela teoria de potência cancela o valor oscilante da potência real instantânea, \tilde{p} , que corresponde à energia por unidade de tempo que é trocada entre a fonte e a carga e vice-versa. Também cancela também a potência imaginária instantânea, q , mitigando os harmónicos de corrente. A aplicação da teoria P-Q passa por uma transformação que permite simplificar o sistema trifásico. Assim, as tensões (v_a, v_b, v_c) e as correntes (i_a, i_b, i_c), transforma-se as coordenadas a-b-c, num sistema α - β -0 [33].

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & \frac{-1}{2} & \frac{-1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{-\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.13)$$

$$\begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & \frac{-1}{2} & \frac{-1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{-\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.14)$$

Como a teoria P-Q foi desenvolvida para ser aplicada em sistemas trifásicos, quando se pretende aplicar o mesmo conceito a sistemas monofásicos, geram-se duas tensões e duas correntes virtuais,

para que se simule um sistema trifásico. Após a aplicação desta estratégia, a única diferença existente é que apenas se torna necessário calcular a corrente da fase α , pois a única corrente real do sistema.

De seguida, determina-se o valor das componentes instantâneas da potência.

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (2.15)$$

Realiza-se a decomposição das potências p e q [34].

$$p = \bar{p} + \tilde{p} \quad (2.16)$$

$$q = \bar{q} + \tilde{q} \quad (2.17)$$

Sendo que, as variáveis anteriormente representadas tem os seguintes significados físicos [35]:

- \bar{p} - Valor médio da potência real instantânea;
- \tilde{p} - Valor oscilante da potência real instantânea;
- \bar{q} - Valor médio da potência imaginária instantânea;
- \tilde{q} - Valor oscilante da potência imaginária instantânea;

As correntes de compensação nas coordenadas $\alpha\beta$ são obtidas segundo a equação 2.18.

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix}^{-1} \begin{bmatrix} -\tilde{p} \\ -q \end{bmatrix} \quad (2.18)$$

Tendo em conta que apenas se pretende compensar a fase α , dado que as outras fases servem apenas para simular um sistema trifásico, através da equação 2.19 obtém-se o valor que a corrente de compensação deve adquirir [36].

$$i_{c\alpha}^* = \frac{1}{v_\alpha^2 + v_\beta^2} (-v_\alpha \tilde{p} - v_\beta \bar{q}) \quad (2.19)$$

2.6.2 Teoria FBD

A teoria FBD é uma teoria de potência desenvolvida para operar no domínio do tempo e baseia-se nos estudos realizados por Fryze, que posteriormente sofreram incrementos por parte de Buchholz e Depenbrock [37].

A proposta de Fryze passa substituir uma carga monofásica por um modelo equivalente composto por uma condutância equivalente em paralelo com uma fonte de corrente, tal como é possível observar na Figura 2.12. De uma forma geral, o circuito equivalente não tem nada a ver com a estrutura original da carga, uma vez que só depende da corrente e tensão aos terminais da carga. Assim, o mesmo

circuito equivalente modela todas as cargas concebíveis que causem a mesma corrente para uma determinada tensão. No modelo equivalente, a parte real da corrente encontra-se representada pela condutância, G , enquanto que a parte da corrente que contribui exclusivamente para a corrente aparente encontra-se representada pela fonte de corrente. Este modelo garante que as leis de Kirchhoff são cumpridas pelas correntes decompostas [38].

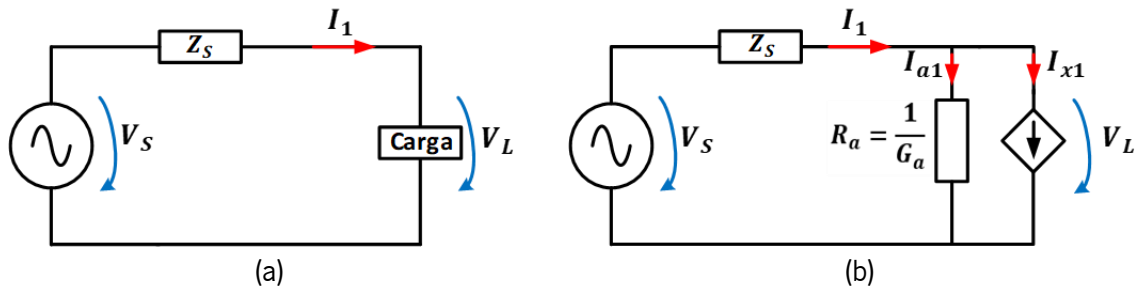


Figura 2.12 Princípio base da análise de Fryze: (a) Exemplo de um circuito monofásico; (b) Circuito equivalente para a decomposição da corrente da carga.

Para determinar a condutância da carga, calcula-se o valor da potência ativa média, P , e o valor eficaz da tensão na rede elétrica, V_s .

$$P = \frac{1}{T} \int_0^T v_s(t) i_L(t) dt \quad (2.20)$$

$$V_s^2 = \frac{1}{T} \int_0^T v_s(t)^2 dt \quad (2.21)$$

Calcula-se a condutância através dos valores obtidos nas equações anteriores.

$$G = \frac{P}{V_s^2} \quad (2.22)$$

Obtém-se a corrente ativa através da equação 2.23.

$$i_a = G v_s \quad (2.23)$$

Sabendo a corrente ativa, através da equação 2.24 determina-se o valor da variável, i_f , que corresponde ao valor que o FAP deve sintetizar.

$$i_f = i_L - i_a \quad (2.24)$$

2.6.3 Transformada de Fourier

Segundo o teorema Fourier, todas as funções periódicas não sinusoidais podem ser representadas pelo somatório das suas componentes de frequência. Assim, um sinal é composto por uma frequência sinusoidal fundamental, componentes de frequência (harmónicos) cujas frequências correspondem a

múltiplos inteiros da frequência fundamental e, adicionalmente, pode existir uma componente contínua.

Através da transformada de Fourier é possível decompor um sinal nas suas diversas componentes, possibilitando a mitigação seletiva dos harmónicos. Esta técnica pode ser utilizada em sistemas monofásicos e em sistemas trifásicos.

Quando se pretende amostrar sinais através de uma placa de aquisição de dados, realiza-se a transformada de Fourier no tempo discreto DFT (*Discrete Fourier Transform*) [39].

No domínio do tempo, a corrente consumida por uma carga não-linear pode ser representada pela equação 2.25. Nesta equação, as variáveis representadas têm os seguintes significados matemáticos:

- t - Representa o tempo;
- $i(t)$ - Representa o sinal no domínio do tempo;
- ω - Representa a frequência angular da rede;
- n - Representa a ordem do harmónico;
- A_n - Representa a amplitude do harmónico de ordem n ;
- Θ_n - Representa a fase do harmónico de ordem n em relação à componente fundamental da onda;

$$i(t) = \sum_{n=0}^H A_n \sin(n\omega t + \Theta_n) \quad (2.25)$$

Discretizando o sinal do domínio do tempo para o domínio da frequência, obtém-se a equação 2.26. Onde as variáveis representadas na equação 2.26 tem os seguintes significados matemáticos:

- k - Representa a frequência discreta;
- $I[k]$ - Representa o sinal no domínio da frequência;
- n - Representa o tempo discreto;
- $i[n]$ - Representa o sinal no domínio do tempo;

$$I[K] = \sum_{n=0}^{N-1} i[n] e^{-j2\pi \frac{kn}{N}} \quad (2.26)$$

Decompõem-se o sinal na sua parte real e na sua parte imaginária.

$$Re[K] = \sum_{n=0}^{N-1} i[n] \cos(2\pi \frac{kn}{N}) \quad (2.27)$$

$$Im[K] = \sum_{n=0}^{N-1} i[n] \sin(2\pi \frac{n}{N}) \quad (2.28)$$

Depois de se ter procedido à decomposição do sinal na sua parte real e na sua parte imaginária, determina-se a amplitude e fase para uma determinada componente de índice k .

Calcula-se a amplitude através da equação 2.29 e a fase através da equação 2.30.

$$A[k] = \sqrt{Re[k]^2 + Im[k]^2} \quad (2.29)$$

$$\theta[k] = \tan^{-1}\left(\frac{Im[k]}{Re[k]}\right) \quad (2.30)$$

Sabendo o valor da amplitude e a fase de uma determinada componente do sinal, é necessário aplicar a transformada inversa de Fourier, uma vez que a compensação se realiza no domínio do tempo. Assim, através da IDFT da equação que representa o sinal no domínio da frequência, obtém-se a equação 2.31 onde se pode ver a parte real e a parte imaginária no domínio do tempo [40].

$$i[n] = \sum_{k=0}^{N/2} Re\bar{I} \cos(2\pi k \frac{n}{N}) + \sum_{k=0}^{N/2} Im\bar{I} \sin(2\pi k \frac{n}{N}) \quad (2.31)$$

Apesar desta técnica se revelar bastante atrativa para aplicações de compensação seletiva de harmónicos, quando é necessário compensar cargas com conteúdo harmónico de ordens elevadas, o tempo de resposta pode inviabilizar a aplicação desta estratégia. Isto, devido ao elevado custo computacional requerido pela aplicação desta técnica.

2.7 Paralelismo de Inversores

A necessidade de aumentar a potência e a qualidade das ondas sintetizadas pelos inversores, faz com que exista a necessidade de aumentar a corrente, tensão e frequência de comutação a que os semicondutores estão sujeitos.

A compensação harmónica é uma das aplicações que mais carece de topologias que solucionem este problema, dado que, encontra-se frequentemente limitada pela tecnologia de semicondutores disponíveis [9]. Várias soluções, tais como topologias híbridas [41][42][43], multiníveis [44], e inversores em paralelo [45][46][47], tem vindo a ser propostas ao longo dos anos.

No que diz respeito ao método de colocação de inversores em paralelo, a solução revela-se altamente promissora para aplicações industriais, onde a possibilidade de aumentar a potência e a redundância

do sistema, através da adição de novos módulos em paralelo, resulta numa possibilidade economicamente atrativa, uma vez que, não implica um investimento tão elevado numa fase inicial do projeto [48]. Em algumas situações, as topologias modulares permitem a realização de processos de manutenção sem que seja necessário interromper o funcionamento do equipamento por completo [47][49]. Na Figura 2.13 encontra-se a representação de um sistema com n módulos inversores em paralelo.

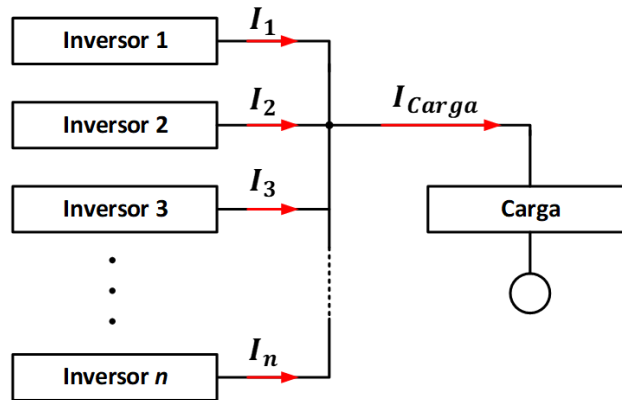


Figura 2.13 Esquema representativo de um sistema com n módulos inversores de paralelo (imagem modificada de [48]).

Paralelamente, a redundância presente neste esquema proporciona o aumento da confiabilidade do sistema. Pois, a confiabilidade de um sistema aumenta com o número de componentes em paralelo e diminui com o número de componentes em série, tal como é possível observar nas equações 2.32 e 2.33.

$$R(t)_{série} = \prod_i R(t)_i \quad (2.32)$$

$$R(t)_{paralelo} = \prod_i (1 - R(t)_i) \quad (2.33)$$

Assim, esta abordagem apresenta-se como uma solução altamente desejável para aplicações onde a redundância de circuitos é utilizada para aumentar a confiabilidade dos sistemas, tais como no sector industrial, aeroespacial, automóvel, militar etc...

2.8 Organização de Sistemas Inversores para Módulos Inversores em Paralelo

Quando se desenvolve um sistema inversor através do emparelhamento de diversos módulos, é necessário considerar alguns princípios básicos de funcionamento.

O equilíbrio da tensão produzida pelos diversos módulos é fundamental, por isso, todos os módulos devem possuir a mesma classificação de potência máxima, de tal modo que não exista um módulo que limite a potência do sistema abaixo dos limites que outros módulos poderiam suportar.

A maximização da redundância do sistema, também é um aspeto que deve ser tido em conta durante o desenvolvimento destes sistemas. Uma vez que, a implementação do sistema de controlo não deve limitar a redundância que a topologia confere ao sistema, ou seja, numa situação ideal, a interdependência entre módulos deve ser limitada de forma a que a existência de um módulo defeituoso não perturbe os módulos na sua vizinhança.

O correto funcionamento destes sistemas, só é possível quando existe uma boa sincronização entre módulos. Pois, todos os módulos do inversor conectados em paralelo devem apresentar a mesma tensão de saída, frequência e fase. Se a tensão de saída dos módulos não for igual, surge a um fluxo de corrente, do módulo com a tensão mais alta para a tensão mais baixa. Estas correntes aparecem referidas na literatura como *cross-current* e daqui em diante será referida como corrente circulante [48].

A organização de inversores colocados em paralelo desempenha um papel fundamental para que os princípios de funcionamento aqui apresentados sejam respeitados. Esta organização pode ser dividida em 2 grupos principais. Um primeiro grupo onde os conjuntos inversores desconhecem a existência dos outros inversores colocados em paralelo com o sistema, logo, não existe qualquer partilha de dados entre eles. Esta estratégia pode ser encontrada na literatura com o nome de *Wireless Independent Control, Frequency and Voltage Droop, No Control Interconnections ou Without Control Interconnections* [25][50]. No entanto, este tipo de abordagem não se revela particularmente interessante em aplicações onde se requer uma elevada capacidade de sincronismo, como é o caso de inversores com topologia *interleaved* para aplicação como FAPs.

O segundo grupo é o grupo de inversores com controlo partilhado, neste tipo de configuração existe uma troca de informação entre os diversos módulos que constituem o sistema. Com a necessidade de trocar e gerir as informações relativas ao estado em que cada inversor se encontra, surge a necessidade de estabelecer uma hierarquia estrutural entre os diferentes módulos do sistema.

Existem diversas categorias segundo as quais se pode classificar a forma como um sistema inversor está organizado, sendo que as 3 categorias principais são: controlo mestre-escravo, controlo central, controlo distribuído.

2.8.1 Controlo Mestre-Escravo para Módulos Inversores em Paralelo

A técnica vulgarmente chamada de controlo “mestre-escravo” também pode ser encontrada na literatura com a designação de MSC (*Master Slave Control*) [51][52]. Tal como o nome indica, esta técnica baseia o seu princípio de funcionamento num módulo central designado de “mestre”. Para além funcionar como inversor de tensão, este módulo tem de controlar a tensão de saída, processar e enviar todos os dados relativos ao modo de funcionamento segundo o qual os outros módulos inversores “escravos” devem operar. Esta técnica apresenta-se como uma técnica de fácil implementação e com resultados bastante satisfatórios ao nível da eficiência do controlo, isto porque, os módulos “escravos” atuam como inversores de corrente seguindo a referência fornecida pelo módulo “mestre” [53]. Outra das vantagens que este método apresenta reside na possibilidade de acrescentar novos módulos caso seja necessário aumentar a potência total do sistema, o que torna esta técnica bastante útil quando se pretende lidar com um elevado número de inversores em paralelo [48].

A utilização desta técnica apresenta desvantagens como: a falta de redundância no controlo do sistema, uma vez que a falha do módulo “mestre” implica a interrupção do funcionamento de todo o sistema. A necessidade de existência de um barramento de comunicação que permita a partilha de dados entre o módulo “mestre” e os respetivos “escravos” é outro dos fatores que limita a aplicação deste tipo de organização, pois, esta abordagem implica um aumento do tempo de resposta a transitórios, dado que, o tempo de resposta está diretamente relacionado com o tempo de resposta do módulo “mestre” [54][55]. Na Figura 2.14 pode ver-se o diagrama do controlo “mestre-escravo”.

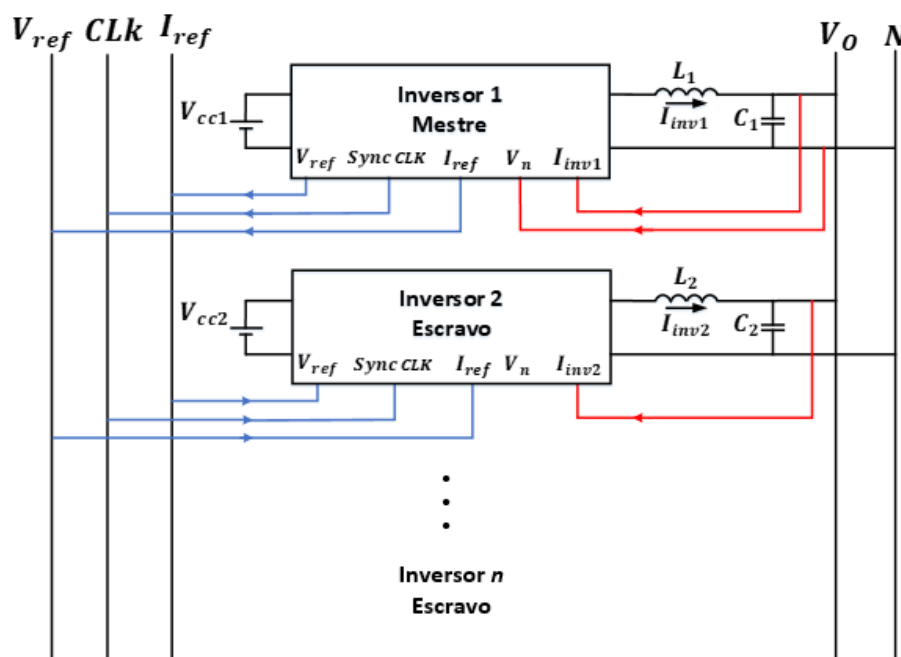


Figura 2.14 Diagrama do controlo mestre-escravo.

2.8.2 Controlo Central para Módulos Inversores em Paralelo

O método de controlo central (*Central Mode Control*), tal como o nome indica, baseia-se numa unidade de controlo central responsável pelo controlo do paralelismo. Esta unidade adquire e manipula os dados de forma a calcular a corrente que os módulos inversores devem sintetizar. Este sistema de controlo é considerado um sistema MIMO (*Multiple Input Multiple Output*), pois, recebe e fornece múltiplas informação relativas aos diversos módulos [48].

Este tipo de controlo pode ser dividido em dois grupos. Um grupo onde todo o controlo está centralizado na unidade responsável pelo controlo do paralelismo e onde apenas são enviados aos inversores os respetivos pulsos correspondentes ao sinal modulado pela unidade central de processamento. No segundo grupo, podemos considerar que apenas o controlo do paralelismo se encontra centralizado. Sendo que, esta unidade envia para os inversores a referência relativa à corrente que devem sintetizar. Neste tipo de configuração o inversor também transmite um valor de tensão para sincronizar os inversores [56][50].

Esta configuração apresenta uma resposta dinâmica mais satisfatória a perturbações no sistema do que a técnica MSC, visto que todos os módulos recebem as informações de controlo simultaneamente.

2.8.3 Controlo Distribuído para Módulos Inversores em Paralelo

Até agora foram apresentadas técnicas com algum nível de redundância, no entanto, nenhuma delas apresenta um sistema com uma redundância verdadeira. Com a necessidade de aumentar a redundância ao nível do barramento de comunicação, surge o controlo distribuído (*Distributed Logic Control*) [57].

Este tipo de controlo baseia-se num princípio, segundo o qual, todos os inversores possuem um sistema de controlo individual, são controlados em tensão e não existe nenhuma diferença hierárquica entre eles, razão pela qual a falha de um inversor não implica a interrupção completa do sistema.

Cada módulo inversor deve transmitir as respetivas informações a um barramento de comunicação. A comunicação neste barramento funciona de forma bidirecional, de forma a que o inversor também tenha a capacidade de receber as informações relativas ao funcionamento dos outros inversores que se encontram associados ao sistema.

As informações partilhadas e recebidas por cada placa de aquisição de dados devem ser manipuladas de forma a garantir a existência de uma divisão adequada da corrente ou potência de carga entre módulos [58].

A principal desvantagem desta técnica está na elevada dependência do barramento de dados, o que se pode tornar particularmente preocupante em situações onde a comunicação é altamente afetada por interferências eletromagnéticas, ou seja, em determinadas situações, a elevada dependência do barramento de comunicação também pode limitar a utilização desta técnica.

2.9 Configuração *Interleaved* para Inversores em Paralelo

A configuração de inversores para funcionamento em modo *interleaved* é um tipo de conexão em paralelo onde n inversores são conectados em paralelo e as ondas portadoras são sincronizadas e desfasadas de maneira a sintetizar sinais de saída com uma frequência de *ripple* n vezes superior, mas com uma amplitude n vezes menor, logo, apresenta uma menor distorção no sinal à saída do inversor, bem como, uma melhoria no seu desempenho em condições transitórias [23][59][60].

A compensação harmónica em aplicações em que os FAPs são obrigados a suportar potências elevadas é frequentemente limitada pela tecnologia de semicondutores disponível, devido às correntes, tensões, perdas e frequência de comutação a que estes componentes podem ser sujeitos [9].

É implícito que o incremento de um módulo inversor é tanto mais significativo quanto menor for o número de módulos já colocados em paralelo. O número de módulos inversores não pode ser incrementado indefinidamente ao ponto de reduzir os elementos passivos para valores quase insignificantes, uma vez que isso ditaria o aumento da corrente circulante trocada entre os módulos inversores.

Apesar da topologia representada na Figura 2.15 não ser totalmente redundante, devido ao facto do barramento CC ser partilhado entre inversores, esta topologia apresenta-se como uma solução interessante para a redução do *stress* a que o banco de condensadores eletrolíticos está sujeito, uma vez que a partilha do barramento CC faz com que a tensão no barramento apresente maior estabilidade [9][61]. Na Figura 2.15 encontra-se a representação da topologia que serve de base à realização desta dissertação. Nesta topologia utilizam-se 2 módulos inversores, sendo que, cada módulo é composto por 2 bobinas de acoplamento e 4 semicondutores com os respetivos díodos em antiparalelo.

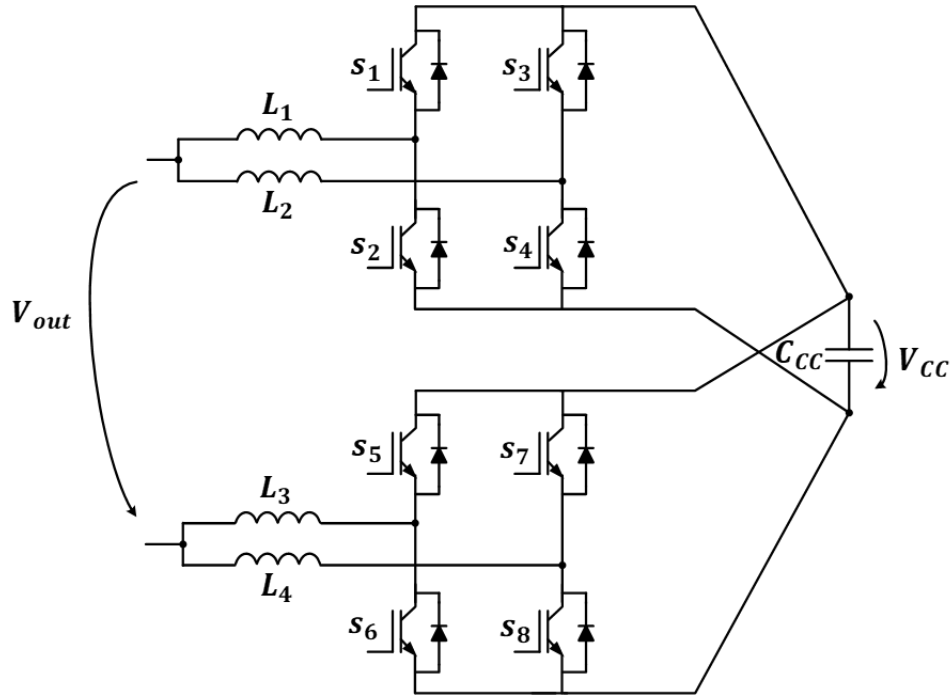


Figura 2.15 Esquemático de um inversor com topologia *interleaved*.

A redução da oscilação no barramento CC, é particularmente importante se tivermos em conta que a compensação harmónica tem um relação direta com a estabilidade do barramento CC. Outro aspeto bastante significativo, prende-se com o facto de que, os condensadores eletrolíticos são dos componentes eletrónicos que mais vezes afetam a confiabilidade e durabilidade dos sistemas, principalmente quando se encontram submetidos a ambientes onde as temperaturas são elevadas, como no caso de um inversor compacto [62].

2.10 Correntes Circulantes

Quando se opera com inversores em paralelo, os sinais sintetizados podem apresentar diferenças entre si. Estas diferenças podem ser causadas por vários motivos, tais como, diferença nos sinais de controlo, semicondutor, *drivers* etc... Estes sinais são comparados com a mesma onda portadora, logo, a existência de diferenças nos sinais moduladores implica a existência de diferenças nos sinais modulados pelos inversores.

Como os inversores são concebidos de forma a apresentarem uma baixa impedância de saída, as diferenças existentes nos sinais modulados pelos inversores fazem com que exista uma situação propícia à propagação de correntes entre inversores [25]. As correntes circulantes provocam o aumento das perdas por comutação e em condução dos semicondutores [9].

Quando a onda portadora é partilhada entre os vários módulos projetados para serem o mais idênticos possível, a diferença entre os instantes de tempo em que os sinais de comando são aplicados aos semicondutores apresenta-se bastante reduzida, fazendo com que haja uma redução da diferença da potência processada entre cada um dos inversores, evitando a absorção de potência ativa e troca de potência reativa entre inversores. Desta forma percebe-se a importância da existência uma elevada similaridade entre módulos [50].

Quando se configura inversores para que apresentem um funcionamento *interleaved*, o desfasamento entre as ondas portadoras é inerente à própria configuração, fazendo das correntes circulantes uma consequência natural deste modo de funcionamento.

A corrente circulante pode ser dividida em dois grupos, corrente circulante de alta frequência e corrente circulante de baixa frequência.

O primeiro grupo surge quando dois inversores são conectados em paralelo com filtros de saída insuficientes, isto provoca diferenças na tensão de saída do inversor. A tensão gerada na frequência comutação cria corrente circulante [48][63].

O segundo grupo surge quando existe um pequeno desequilíbrio entre os dois inversores, fazendo com que apresentem fases e amplitudes diferentes, isto faz com que os módulos operem de forma imprópria e pode implicar a falha num dos módulos ou até mesmo da totalidade do sistema [64].

Ao longo dos anos foram estudadas diversas soluções que se propõem a mitigar as correntes circulantes. Algumas das soluções recorrem a transformadores para criar isolamento galvânico [65], separação entre os dois bancos de condensadores CC [66], estratégias de PWM com maior frequência de comutação [67] e bobinas de modo comum.

Todas as situações mencionadas apresentam desvantagens, como por exemplo, nas situações onde se recorre ao transformador para criar isolamento galvânico, este deve ser dimensionado para alta frequência e para a corrente nominal do inversor, sendo que em situações onde se pretende que inversor funcione como FAP, este dimensionamento pode ser ainda mais complexo.

Nas situações onde se recorre à separação do banco de condensadores, perde-se o benefício da redução do *stress* a que o banco de condensadores eletrolíticos está sujeito.

O recurso a estratégias de PWM com maior frequência de comutação também pode estar limitado pela tecnologia dos semicondutores utilizados, visto que, podem ser eles o motivo de se ter recorrido à topologia *interleaved*.

A utilização de bobinas de modo comum também não é muito simples, particularmente para situações onde se opera com potências mais elevadas e/ou como FAP. A dificuldade de implementação desta solução está relacionada com a possibilidade de o núcleo saturar mais rapidamente do que o esperado inicialmente. Isto, porque quando se opera como um inversor típico ligado à rede elétrica fornecendo apenas corrente com frequência de 50 Hz, o dimensionamento das bobinas de modo comum é relativamente simples. No entanto, no caso particular da utilização do inversor como FAP, a componente de 50 Hz não apresenta grande amplitude, mas a amplitude dos harmónicos torna-se extremamente significativa, logo, os harmónicos também devem ser considerados quando se pretende prever a saturação do núcleo. A necessidade desta previsão aumenta a complexidade do projeto. Todavia, a utilização deste tipo de solução é relativamente frequente na indústria, para proteger os inversores contra ruído de modo comum [9].

2.11 Conclusão

Ao longo deste capítulo foram abordados diversos tipos de FAPs, tais com FAPS e FAPP, percebendo-se que este tipo de equipamento constitui uma boa opção para a mitigação de problemas de qualidade de energia elétrica. No entanto a compensação harmónica encontra-se frequentemente limitada pela tecnologia de semicondutores existentes.

Neste sentido, ao longo deste capítulo efetuou-se o levantamento de estado da arte sobre os inversores do tipo VSI e sobre o emparelhamento de inversores tendo em vista o aumento da potência do sistema. Uma vez que os inversores do tipo VSI apresentam um nível de performance e robustez bastante significativo, percebeu-se que esta topologia apresenta enormes possibilidades no que diz respeito ao desenvolvimento de equipamentos para mitigação de problemas de QEE. Também foi possível perceber que o paralelismo de inversores permite superar algumas limitações existentes no campo da compensação harmónica, no entanto, o paralelismo de inversores implica a criação de um barramento de dados. Como a criação de um barramento de dados pode ser facilmente afetada por interferências eletromagnéticas, optou-se por evitar a criação desse barramento e efetuar o controlo a partir de uma unidade de central de processamento do tipo MIMO, com múltiplas entradas e múltiplas saída, capaz de gerir o funcionamento dos diversos módulos através de conexões diretas entre o a placa de aquisição de dados e os *drivers* do sistema de potência.

Durante a abordagem ao tema dos inversores, descreveu-se a técnica de modulação SPWM bipolar e unipolar, passando pelo desfasamento das ondas portadoras e consequentemente pelo funcionamento *interleaved* entre os módulos constituintes do sistema inversor. Através do estudo

realizado, percebeu-se que a técnica de modulação unipolar é capaz de sintetizar sinais com THD inferior ao dos sinais sintetizados pela modulação bipolar. Também se constatou que o funcionamento *interleaved* pode servir como um elemento adicional para o aumento de qualidade da forma de onda sintetizada pelo inversor. Desta forma optou-se pela utilização de uma modulação unipolar com as duas ondas portadoras desfasadas 180° entre si.

Foram apresentadas duas técnicas de controlo de corrente com frequências de comutação fixa, sendo que, estas as técnicas possibilitam o modo de funcionamento *interleaved* e uma maior facilidade no dimensionamento dos filtros passivos, bem como, um afastamento de zonas onde os semicondutores sejam obrigados a comutar com *duty cycle* muito reduzido. Assim, optou-se pela implementação de um controlo de corrente preditivo, uma vez que esta técnica apresenta uma frequência de comutação fixa e não apresenta um atraso inerente à sua topologia, ao contrário do que acontece com o controlo PI.

Realizou-se uma análise a diversas teorias de potência para o cálculo de correntes de compensação em FAPs monofásicos. Sabendo que a teoria *P-Q* foi desenvolvida para sistemas trifásicos e que a sua utilização num sistema monofásico implicaria a necessidade de simular duas fases adicionais, descartou-se esta possibilidade, uma vez que a utilização desta técnica teria um custo computacional demasiado elevado. A compensação harmónica com base na análise de Fourier no domínio das frequências também foi descartada, uma vez que a utilização desta técnica implica a realização de muitos cálculos, o que resulta num aumento do tempo de resposta do FAP. Tendo isto em consideração, optou-se pela implementação da teoria FBD, dado que, esta teoria baseia o seu princípio de funcionamento na substituição da carga monofásica a compensar pela sua condutância equivalente em paralelo com uma fonte de corrente, logo, permite calcular a corrente de compensação sem que seja necessário recorrer a uma capacidade computacional tão elevada.

Por último, realizou-se a uma abordagem ao tema das correntes circulantes, percebendo-se que a utilização de bobinas de modo comum pode ser uma solução de baixo custo e com uma dimensão bastante reduzida, o que pode ser bastante importante do ponto de vista construtivo, uma vez que esta dissertação visa o desenvolvimento de um FAPP monofásico compacto.

Capítulo 3

Simulação do Filtro Ativo Paralelo Monofásico com Topologia *Interleaved*

3.1 Introdução

As simulações computacionais assumem um papel de destaque no desenvolvimento de projetos de engenharia e a área da eletrónica de potência não é exceção.

A possibilidade de prever o comportamento dos sistemas faz com que seja possível observar o comportamento dos diversos elementos do sistema em diversas gamas de potência, sem que exista o risco de colocar em causa a integridade do equipamento. Desta forma, as simulações permitem reduzir significativamente o preço e tempo de desenvolvimento dos projetos. Tendo isto em consideração, optou-se pela realização de simulações computacionais de modo a prever o comportamento do sistema. Para tal, utilizou-se o software *PSIM 9.1* desenvolvido pela *Powersim Inc.*

Ao longo deste capítulo realiza-se uma apresentação sobre as simulações realizadas, tendo em vista a observação do comportamento de um inversor com topologia *interleaved* a operar como FAPP. Numa fase inicial apresenta-se uma breve comparação entre diversas topologias de conversores paralelos e *interleaved*, de seguida apresenta-se o modelo de simulação em malha aberta, o método de sincronização com a rede elétrica, o método de regulação do barramento, o controlo de corrente preditivo, o cálculo das correntes de compensação e por último apresentam-se os resultados obtidos através das simulações do inversor a funcionar como FAPP *interleaved* e FAPP no modo de funcionamento parcial.

3.2 Comparação de Topologias

Nesta secção, realiza-se a comparação de duas topologias *interleaved*, uma delas com barramento CC partilhado entre os módulos inversores e outra com a barramento CC separado. Também se observa o comportamento das duas topologias na situação em que se encontram a operar sincronizados e sem desfasamento.

A comparação foi realizada através da comparação do THD da forma de onda sintetizada por cada uma das topologias. Os resultados foram obtidos com os inversores a sintetizar correntes de 16 A. Na Tabela 3.1 encontram-se os resultados obtidos através das simulações computacionais.

Tabela 3.1 Comparação do valor de THD dos sinais sintetizados pelas diversas topologias.

Topologia	THD
Inversor Paralelo com Barramento CC Separado	3,795%
Inversor Paralelo com Barramento CC Partilhado	3,795%
Inversor <i>Interleaved</i> com Barramento CC Separado	1,053%
Inversor <i>Interleaved</i> com Barramento CC Partilhado	1,048%

No que diz respeito aos modos de operação sem desfasamento das ondas portadoras, tanto na situação com barramento CC partilhado como na situação com barramento CC separado, percebe-se que a corrente sintetizada por um único módulo do inversor, apresenta um valor de THD igual ao da onda resultante da soma das correntes sintetizadas pelos inversores colocados em paralelo.

Quando se opera no modo *interleaved*, ou seja, com as ondas portadoras desfasadas, verifica-se que na topologia com barramento CC separado, o valor do THD da corrente sintetizada pelos módulos apresenta-se muito semelhante ao valor obtido no modo de funcionamento sem desfasamento das ondas portadoras. Porém, o THD da forma de onda resultante da soma das sintetizadas por cada um dos módulos apresenta um valor de 1,053 %. Esta redução de THD, deve-se ao facto de o desfasamento das ondas portadoras provocar uma diminuição da amplitude do *ripple* da onda sintetizada.

Na situação em que se opera no modo *interleaved*, mas com uma topologia com barramento CC partilhado, percebe-se que os módulos inversores sintetizam ondas com um THD de 2,0278 %, ou seja, inferior ao dos módulos das topologias apresentadas anteriormente. A qualidade das ondas sintetizadas pelos módulos, aliada ao modo de funcionamento *interleaved* faz com que a onda resultante apresenta um THD de 1,048 %. Na Figura 3.1 encontra-se um exemplo de um dos quatro modelos de simulação utilizados para realizar a comparação das diversas topologias.

Através da comparação aqui apresentada, verifica-se que a topologia *interleaved* com barramento CC partilhado apresenta um melhor desempenho. Desta forma, optou-se pela utilização desta topologia para o desenvolvimento das restantes simulações, bem como para a construção do protótipo desenvolvido no âmbito desta dissertação.

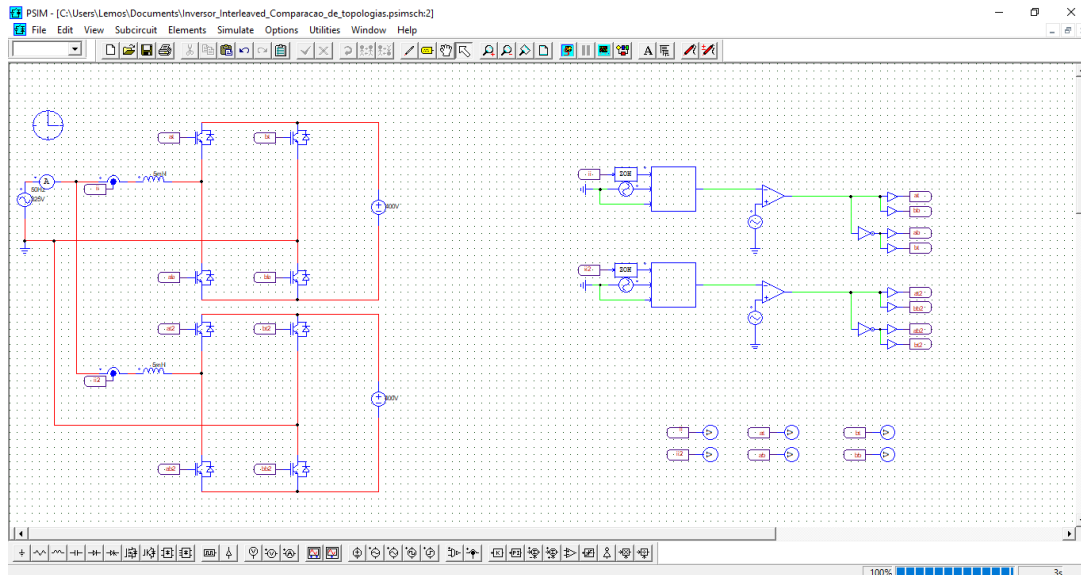


Figura 3.1 Exemplo de um dos modelos de simulação utilizados para realizar a comparação das diversas topologias - inversor *interleaved* com barramento CC separado.

3.3 Modelo de Simulação do um Inversor com Topologia *Interleaved* para Sintetizar uma Corrente Sinusoidal em Malha Aberta

Nesta secção apresenta-se o modelo de simulação utilizado para validação dos circuitos de *driver*. Apesar de se tratar de uma simulação em malha aberta, esta simulação revelou-se uma importante ferramenta para efeitos de comparação com os resultados obtidos na parte prática. Assim, apresenta-se aqui o modelo de simulação utilizado, bem como os resultados obtidos. Na Figura 3.2 pode ver-se o modelo de simulação de um inversor *interleaved* com barramento CC partilhado.

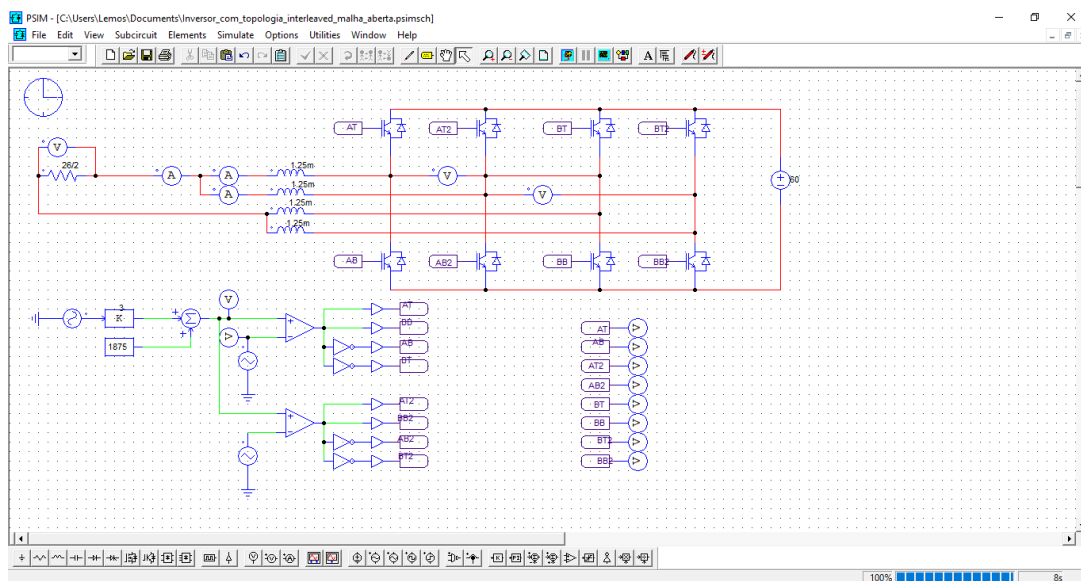


Figura 3.2 Modelo de simulação de um inversor *interleaved* com barramento CC partilhado – Simulação em malha aberta.

Na Figura 3.3 encontra-se a representação da forma de onda esperada através do circuito implementado na prática. Verifica-se que a corrente sintetizada deve apresentar um THD inferior ao valor de THD dos sinais sintetizados por cada um dos módulos. A corrente sintetizada deve apresentar um valor eficaz de 2,67 A. Através do resultado apresentado na Figura 3.4 também é possível observar a duplicação da frequência de *ripple*.

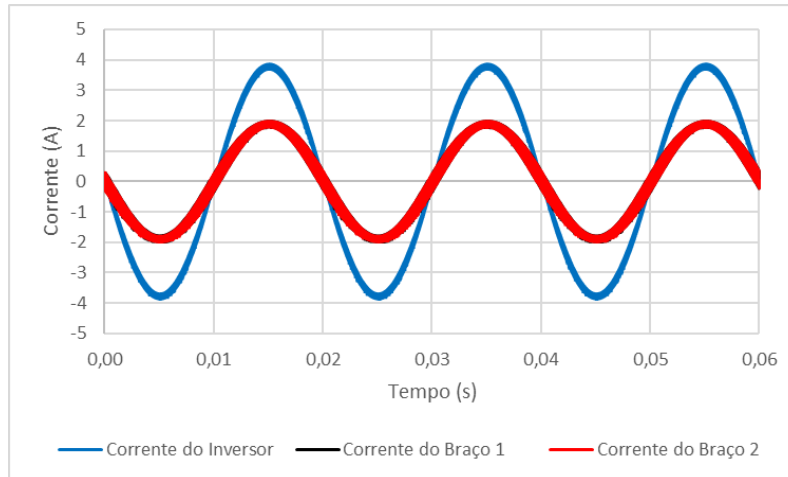


Figura 3.3 Forma de onda da corrente sintetizada pelo inversor *interleaved* em malha aberta.

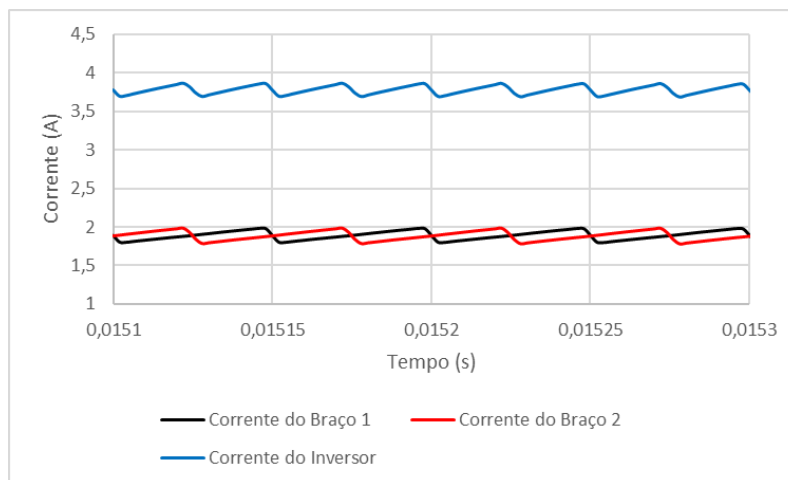


Figura 3.4 *Ripple* do sinal sintetizado pelo inversor *interleaved*.

3.4 Sincronização com a Rede Elétrica

O correto funcionamento do FAPP carece de um algoritmo de sincronização com a rede elétrica que forneça uma referência sinusoidal sem harmônicos. Desta forma, torna-se necessário recorrer a uma *Phase Locked Loop* (PLL).

A utilização da PLL permite a obtenção de uma referência com a fase e a amplitude sincronizadas com a componente fundamental da tensão da rede elétrica. Tal como é possível observar na Figura

3.5. A estrutura de uma PLL é constituída por um *Phase Detector* (PD), um *Loop Filter* (LF) e um *Voltage-controlled Oscillator* (VCO).

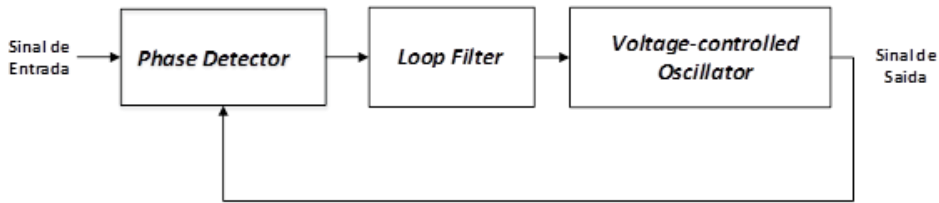


Figura 3.5 Diagrama de blocos da PLL [68].

Na Figura 3.6 é possível observar a estrutura de PLL mais detalhadamente. A PLL tem como alvo um componente específico do sinal de entrada, $u(t)$, sendo que o sinal de entrada corresponde à rede elétrica. O sinal de entrada é comparado com o sinal de saída, $y(t)$, e simultaneamente extrai o valor da amplitude, A , e da fase, ϕ . O sinal de erro, $e(t)$, representa o desvio entre o sinal de entrada e o sinal de saída. O sinal de saída é determinado pela frequência, ω_o . Os ganhos k_i e k são ajustados de forma a estabelecer um compromisso entre a estabilidade e a velocidade de sincronismo com que a PLL segue o sinal de referência.

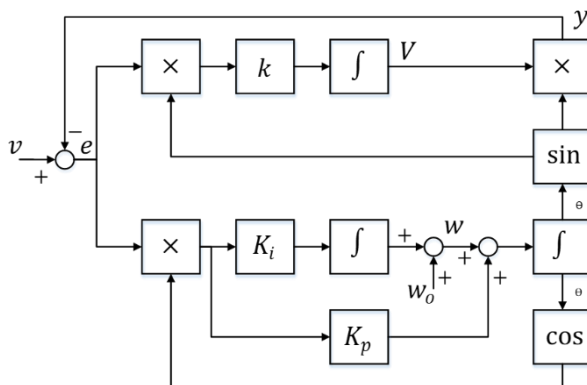


Figura 3.6 Estrutura da PLL.

Na Figura 3.7 encontra-se a representação dos resultados obtidos em ambiente de simulação *PSIM*. Verifica-se que a tensão na rede elétrica e a referência gerada pela PLL encontram-se sincronizadas com a fase e com a amplitude da tensão da rede elétrica ao fim de alguns ciclos de rede.

Uma vez que neste tipo de aplicação, o sinal de entrada se encontra distorcido devido ao conteúdo harmónico presente na rede elétrica. Realiza-se a simulação para o caso em que PLL recebe um sinal de entrada distorcido. Através desta simulação é possível verificar que a PLL implementada em ambiente de simulação se sincroniza com a rede elétrica e fornece uma referência sinusoidal com uma amplitude correspondente à componente fundamental do sinal de entrada. Assim, verifica-se que a PLL apresenta um comportamento adequado para aplicação em FAPs. Na Figura 3.8 pode ver-se o

resultado obtido através da simulação da sincronização do sinal de saída da PLL com a tensão da rede elétrica distorcida.

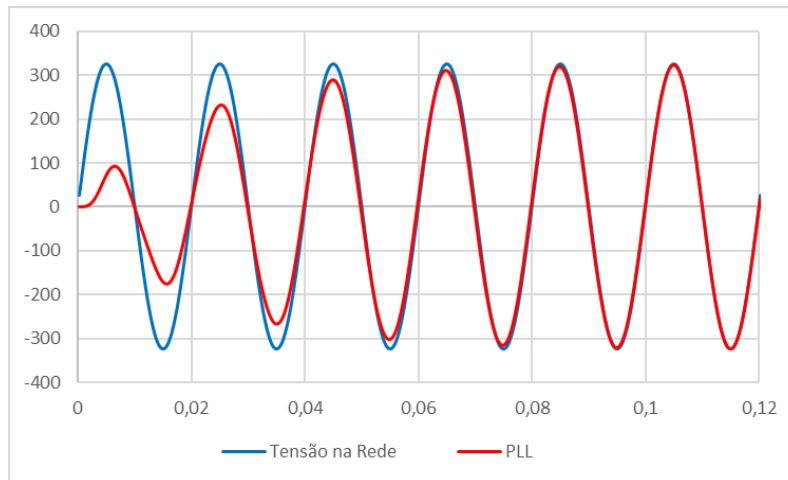


Figura 3.7 Resultados de simulação da sincronização do sinal de saída da PLL com a tensão da rede elétrica.

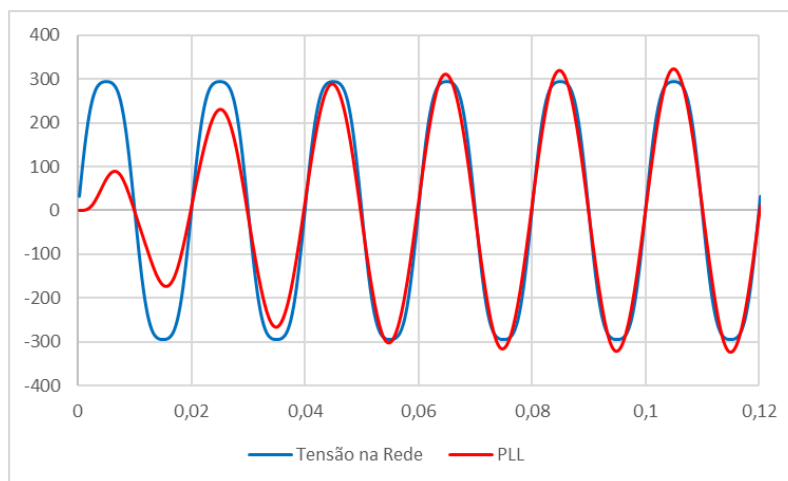


Figura 3.8 Resultados de simulação da sincronização do sinal de saída da PLL com a tensão da rede elétrica distorcida.

3.5 Modelo de Simulação do Filtro Ativo Paralelo Monofásico com Topologia *Interleaved*

Neste modelo pode-se considerar que o sistema de potência é constituído pelo inversor, o sistema de pré-carga dos condensadores do barramento CC, as bobinas de acoplamento à rede elétrica e as cargas.

O sistema de controlo é constituído pelos sensores de tensão e corrente que fornecem os dados relativos às variáveis que o sistema pretende controlar. O sistema de controlo também é responsável por efetuar a modulação necessária para atuar os semicondutores de potência.

No que diz respeito ao cálculo da corrente de compensação, optou-se pela implementação o algoritmo de controlo num “*bloco C*” disponibilizado pelo *PSIM*. Uma vez que já se tinha optado pela utilização do software *Code Composer v7* para implementar o algoritmo de controlo no DSP através de linguagem C. Assim, tornou-se possível reutilizar alguns blocos de código desenvolvidos em ambiente de simulação. Na Figura 3.9 encontra-se o modelo implementado em ambiente de simulação *PSIM*. Sendo que, o sistema pode ser dividido em dois conjuntos distintos, sendo eles o andar de potência e o andar de controlo.

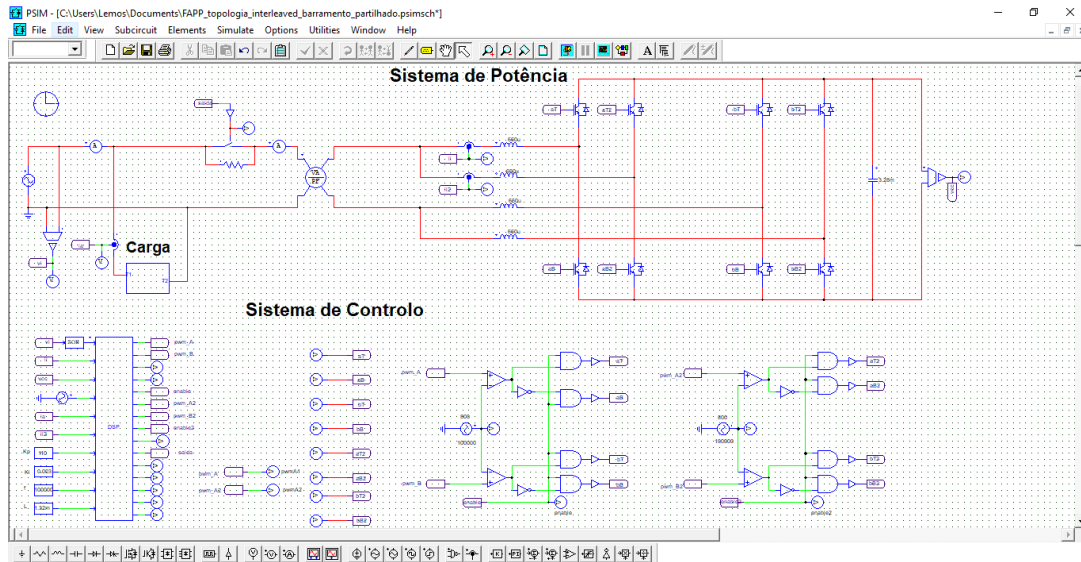


Figura 3.9 Modelo de simulação do FAPP *interleaved* monofásico com barramento CC partilhado.

De modo a facilitar a compreensão da estrutura do algoritmo desenvolvido para efetuar o controlo necessário para atuar os semicondutores, apresenta-se aqui um fluxograma correspondente à lógica implementada.

É importante notar que o estado 4 que se encontrar representado na máquina de estados não corresponde a um estado para o qual o sistema deva evoluir naturalmente. Ou seja, como é facilmente compreensível pelo fluxograma, as variáveis *enable módulo 1* e *enable módulo 2* apresentam sempre valores iguais, logo, o estado 4 nunca se verifica. No entanto, este estado foi adicionado ao sistema tendo o objetivo de aumentar a redundância do sistema. Assim, caso o sistema entre no modo de proteção, estado 5, seja devido ao acionamento da proteção por hardware ou por software e o utilizador identifique o módulo responsável pelo erro, o sistema poderá ser colocado num estado de funcionamento parcial, sintetizando apenas metade da potência. Na secção 3.6.4 apresenta-se a situação em que o utilizador desabilita um dos módulos.

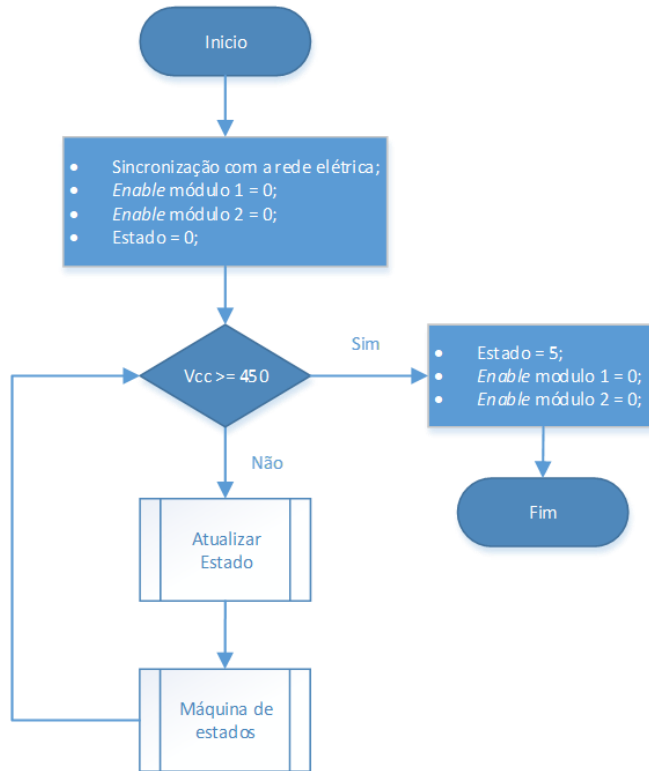


Figura 3.10 Fluxograma do software desenvolvido para controlo do sistema.

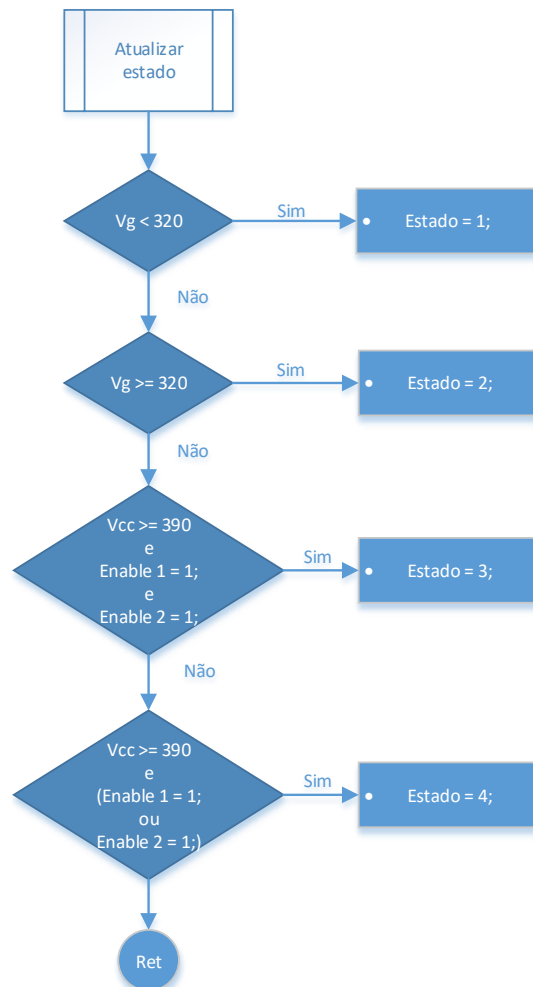


Figura 3.11 Fluxograma representativo da atribuição do estado do sistema.

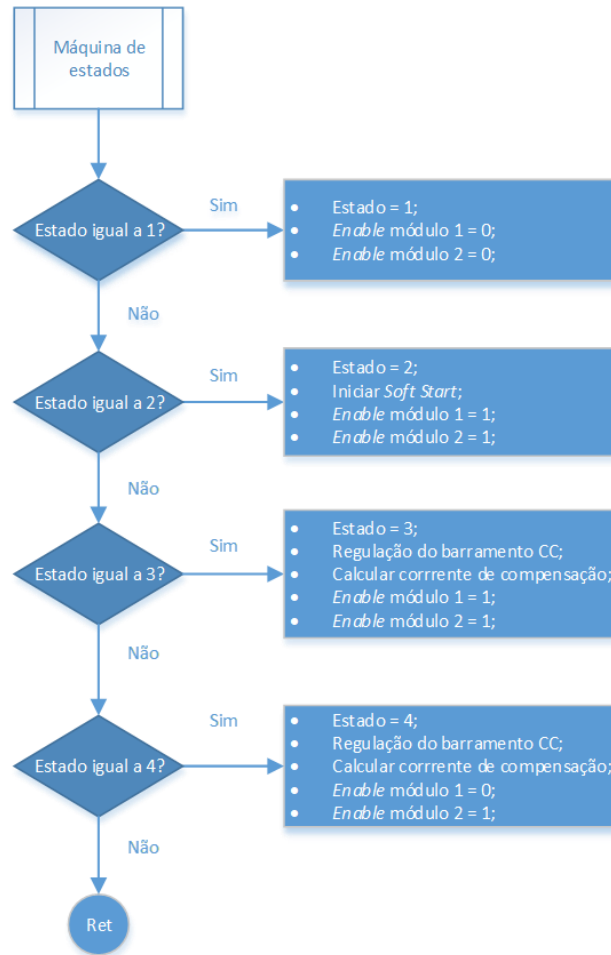


Figura 3.12 Fluxograma da máquina de estados.

3.5.1 Implementação do Controlo PI para Regulação da Tensão no Barramento CC

A estabilidade do valor da tensão no barramento CC de um FAPP é um fator bastante importante para o seu desempenho.

A referência de tensão do barramento CC deve tomar um valor superior ao valor de pico da tensão da rede onde o FAPP está instalado. Tendo isto em consideração, optou-se por realizar a regulação do barramento CC para os 400 V. Para tal, foi necessário implementar um controlo proporcional integral, PI, para calcular um valor de potência, P_{reg} proporcional ao erro entre a variável de referência, v_{ref_cc} , e a variável medida, v_{cc} . Assim, recorreu-se a um *C block* para implementar o código correspondente às expressões seguintes.

$$erro = v_{ref_cc} - v_{cc} \quad (3.1)$$

$$integral = integral + erro \quad (3.2)$$

$$P_{reg} = (k_p \times erro) + (k_i \times integral) \quad (3.3)$$

Onde:

- *erro* – Variável que corresponde à diferença entre a tensão de referência a tensão medida;
- v_{ref_cc} – Valor da tensão de referência;
- v_{cc} – Valor de tensão medido pelo sensor de tensão do barramento CC;
- *integral* – Integral do erro;
- k_p – Ganho proporcional;
- k_i – Ganho integral;
- P_{reg} – Potência ativa;

Uma vez calculado o valor da P_{reg} , aplica-se a expressão 3.4 e obtém-se o valor de corrente que deve ser aplicado ao controlo preditivo, de modo a efetuar a regulação do barramento CC para a tensão desejada.

$$i_{PCC} = \frac{P_{reg}}{V_g^2} v_g(t) \quad (3.4)$$

Como a tensão de pico é de 325 V e a tensão de referência é de 400 V, optou-se por implementar uma estratégia de *soft-start* para evitar que a tensão sofra oscilações tão acentuadas que se aproxime dos limites estabelecidos no *datasheet* do condensador. Desta forma, declarou-se a variável de referência com o valor de pico da rede elétrica e realizam-se incrementos sucessivos na variável de referência até que esta alcance o valor da tensão pretendida no barramento CC. A partir desse momento a variável de referência permanecerá estável no valor previamente determinado. Na Figura 3.13 verifica-se que a tensão no barramento CC segue a evolução da tensão de referência e apresenta uma *ripple* reduzido.

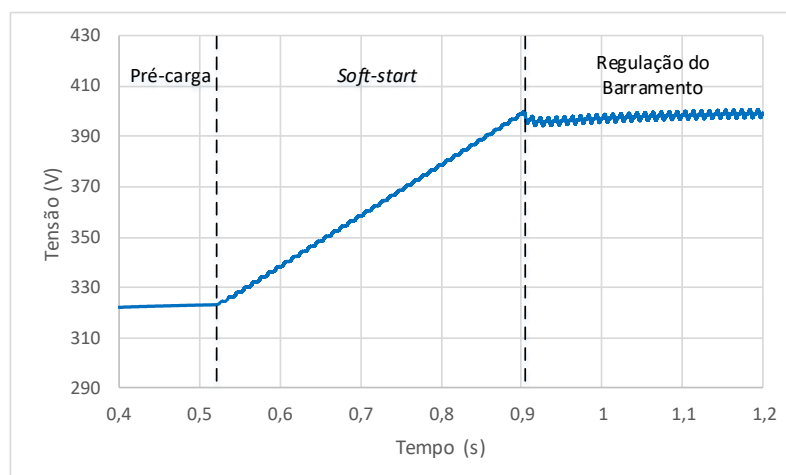


Figura 3.13 Resultados de simulação da regulação da tensão no barramento CC do FAPP.

Na Figura 3.14 encontra-se a forma de onda da corrente na rede elétrica no momento em que o inversor transita do modo *soft-start* de regulação do barramento, para o modo de compensação harmónica.

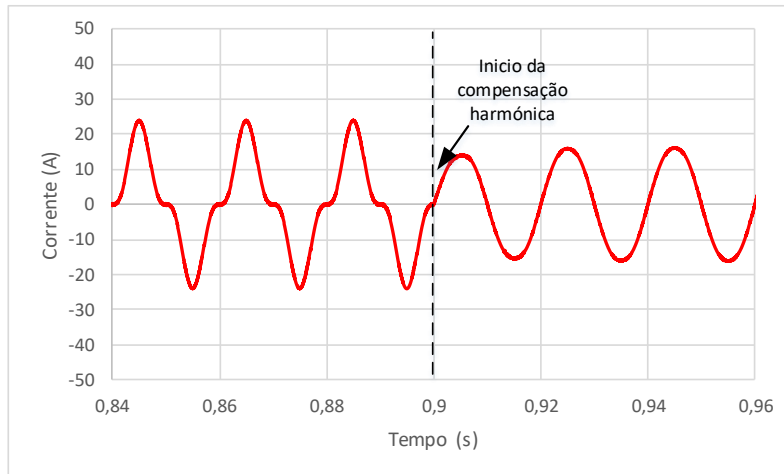


Figura 3.14 Forma de onda da corrente na rede elétrica no momento e que FAPP transita do estado de regulação *soft-start* do barramento CC para o modo de compensação harmónica.

3.5.2 Implementação da Teoria de Potência Elétrica para Mitigação de Problemas de QEE

Como referido na secção anterior, optou-se pela utilização da teoria FBD para proceder ao cálculo da corrente de compensação. Na Figura 3.15 encontra-se um diagrama de blocos que pretende representar o controlo implementado FAPP monofásico. Através da observação desta figura percebe-se a necessidade de adicionar o valor da potência, P_{reg} , para regular a tensão no barramento CC do inversor. Este valor é obtido através da regulação PI explicada na secção anterior.

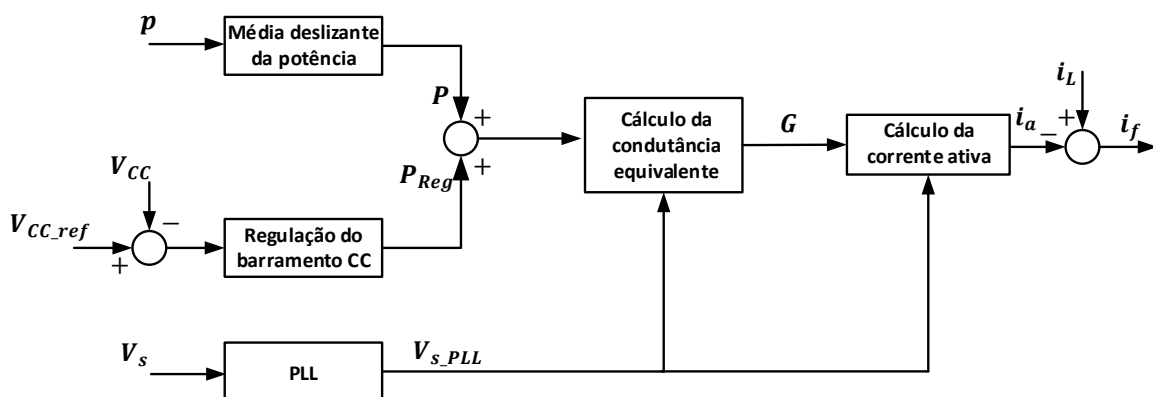


Figura 3.15 Diagrama de blocos da implementação da teoria FBD.

O cálculo do valor da potência média, P , que o inversor deve fornecer à carga realiza-se através de um algoritmo de média deslizante aplicado sobre o valor da potência instantânea. Sendo que o valor

da potência instantânea é obtido através da multiplicação do valor da tensão instantânea da rede elétrica, v_s , pelo valor da corrente instantânea na carga, i_L .

Uma vez calculado o valor de P , aplica-se a equação 3.5 e obtém-se o valor de corrente de compensação que deve ser aplicado ao controlo preditivo.

$$i_f = i_L - G v_{PLL} \quad (3.5)$$

Sendo que G é calculado tendo em consideração o valor de P_{Reg} .

$$G = \frac{P + P_{Reg}}{V_S^2} \quad (3.6)$$

Realiza-se a simulação de forma a comprovar o correto funcionamento do código desenvolvido para implementação da teoria FBD.

Na Figura 3.16 encontra-se a forma de onda da tensão na rede, bem como, a corrente absorvida por uma carga não linear. Na Figura 3.17 pode ver-se a forma de onda da corrente de compensação sintetizada pelo FAPP com topologia *interleaved*, calculada com base na teoria FBD.

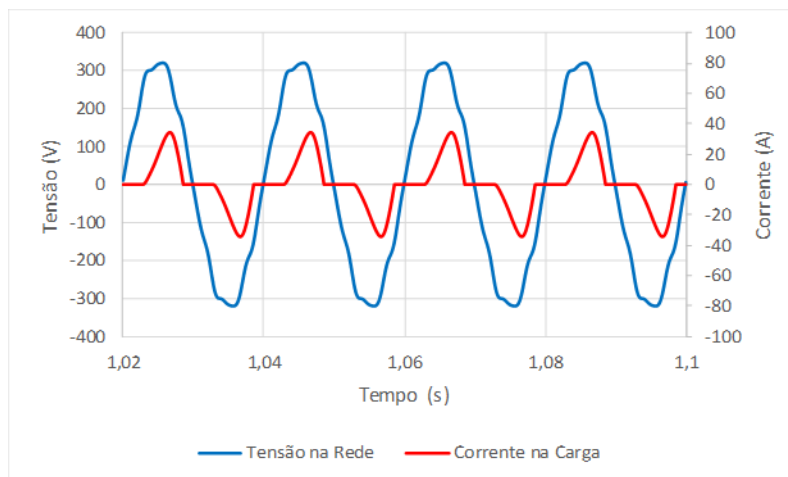


Figura 3.16 Forma de onda da corrente na consumida pela carga não linear.

Na Figura 3.17 pode ver-se a forma de onda da corrente de compensação sintetizada pelo FAPP com topologia *interleaved*, calculada com base na teoria FBD. Na Figura 3.18 encontra-se a forma de onda da corrente na rede elétrica. Esta corrente resulta da soma entre a corrente na carga e a corrente de compensação calcula com o método anteriormente referido. Nesta figura é possível constatar que a corrente da rede adquire uma forma de onda sinusoidal e em fase com a tensão da rede elétrica.

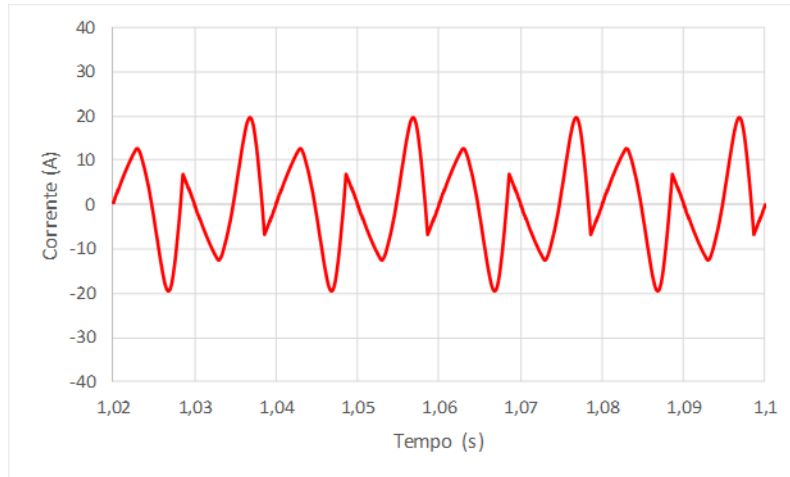


Figura 3.17 Forma de onda da corrente de compensação sintetizada pelo FAPP.

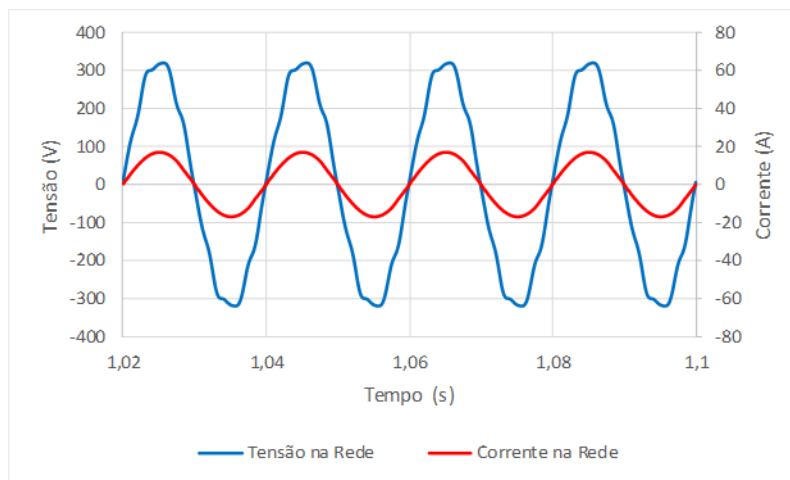


Figura 3.18 Forma de onda corrente na rede elétrica.

3.5.3 Controlo de Corrente Preditivo e Técnica de Modulação

No modelo simulado, realiza-se o controlo da corrente de saída do inversor através da aplicação do controlo de corrente preditivo. O diagrama de blocos representado na Figura 3.19 tem como objetivo ilustrar o controlo preditivo aplicado a uma técnica de modulação unipolar para um inversor com topologia *interleaved*. Observando o diagrama de blocos, percebe-se que as variáveis tensão da rede, v_g , frequência de amostragem, f , e corrente de referência, i_{ref} , devem ser partilhadas. No entanto, através desta figura também se verifica que a corrente de referência deve ser dividida pelo número de módulos que constituem o inversor. Outro aspeto importante relativo ao controlo preditivo, reside no facto de que, é imperativo que cada módulo receba uma variável de entrada que lhe forneça a indicação do valor da corrente instantânea que o percorre em cada momento. Por último, também é importante que cada função responsável pelo algoritmo de controlo receba a indicação do valor da indutância, L , que está associada ao braço do módulo inversor que se pretende controlar.

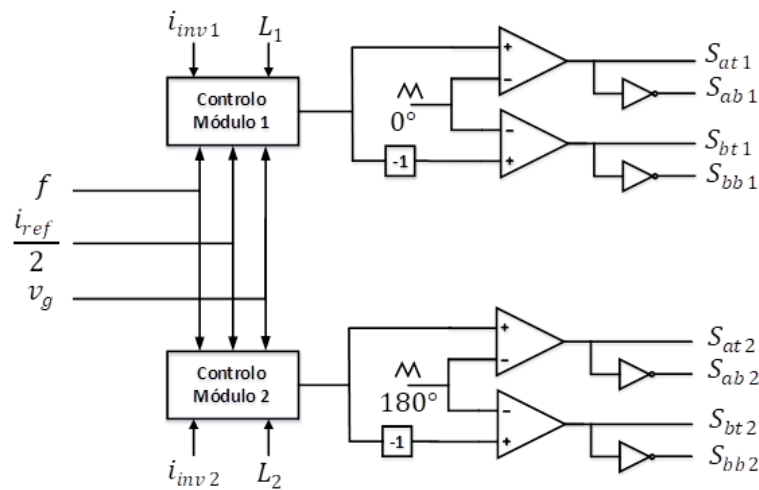


Figura 3.19 Diagrama de blocos do controlo preditivo com modulação PWM unipolar para um inversor com topologia *interleaved*.

3.6 Resultados de Simulação do Funcionamento como Filtro Ativo de Potência

Nesta secção encontram-se os resultados obtidos através da simulação do FAPP com topologia *interleaved*. Inicialmente, observa-se o comportamento do FAPP no modo de compensação de fator de potência. Seguidamente, observa-se o comportamento do FAPP no modo de compensação harmónica. Por último, verifica-se a resposta dinâmica do sistema relativamente à entrada e saída de operação de diferentes cargas e módulos inversores.

3.6.1 Compensação de Fator de Potência

Inicialmente, realizou-se a simulação do comportamento do FAPP num sistema com uma carga RL, uma vez que numa fase inicial existiu a intenção de observar o comportamento do sistema quando se opera com cargas lineares. Desta forma, o FAPP passa a ter a função de ajustar o fator de potência.

A carga RL utilizada nesta simulação apresenta uma resistência de 10Ω e uma indutância de 30 mH . Na Figura 3.20 encontra-se a representação da forma de onda da corrente e da tensão numa situação onde não há compensação por parte do FAPP. Através da observação desta figura pode-se constatar que a corrente se encontra desfasada relativamente à tensão, causando um fator de potência para $0,73$.

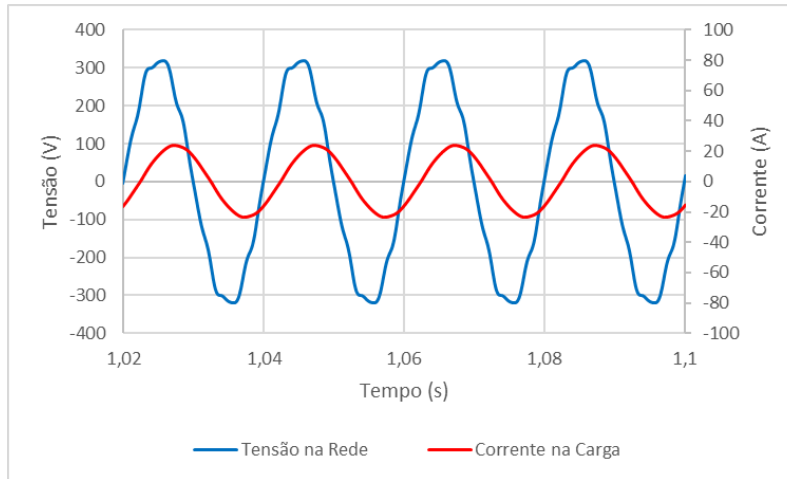


Figura 3.20 Forma de onda da tensão na rede elétrica e da corrente consumida pela carga RL.

Na Figura 3.21 encontra-se a representação da forma de onda corrente e da tensão numa situação onde existe compensação por parte do FAPP. Através da observação desta figura, constata-se que a corrente fica em fase com a tensão da rede elétrica, corrigindo o fator de potência para um valor bastante próximo do valor unitário.

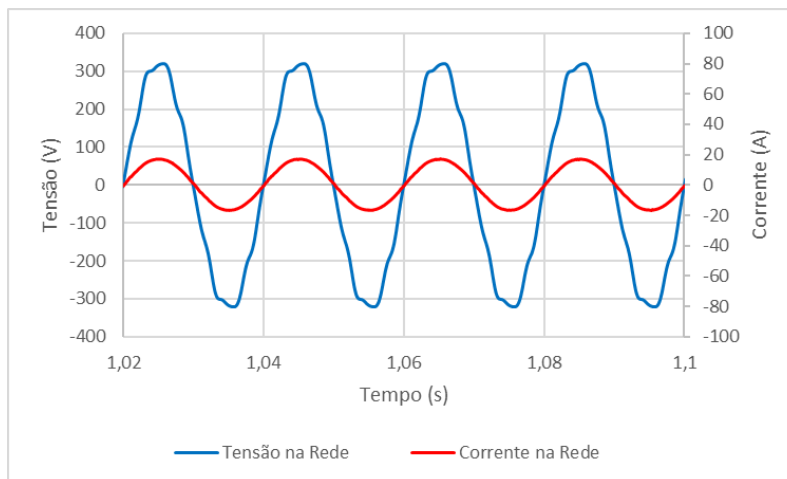


Figura 3.21 Forma de onda da corrente em fase com a rede elétrica, após a compensação de fator de potência por parte de um FAPP no modo *interleaved*.

Na Tabela 3.2 encontram-se os valores relativos à corrente na carga, fonte e FAPP para o modo de funcionamento *interleaved*. Através da análise dos dados presentes na Tabela 3.2, percebe-se que o valor do fator de potência é corrigido para um valor bastante aproximado do valor unitário.

Tabela 3.2 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento *interleaved* num sistema com carga RL.

	Fonte	Carga	FAP
Valor Eficaz	11,97 A	16,61 A	11,03 A
Fator de Potência	0,99	0,73	—

Através dos resultados obtidos com esta simulação, percebe-se que a atuação do FAPP com topologia *interleaved* provoca uma diminuição da corrente na fonte, sendo esta diminuição de 16,61 A para 11,97 A. Também foi possível perceber que a corrente de compensação sintetizada pelo FAPP foi capaz de mitigar os efeitos provocados pela carga indutiva.

3.6.2 Compensação Harmónica

De modo a observar a performance do FAPP monofásico em aplicações de compensação harmónica, procedeu-se à simulação da sua operação a compensar os problemas de QEE causados por uma carga não linear, cujo conteúdo harmónico se encontra representado na Figura 3.22.

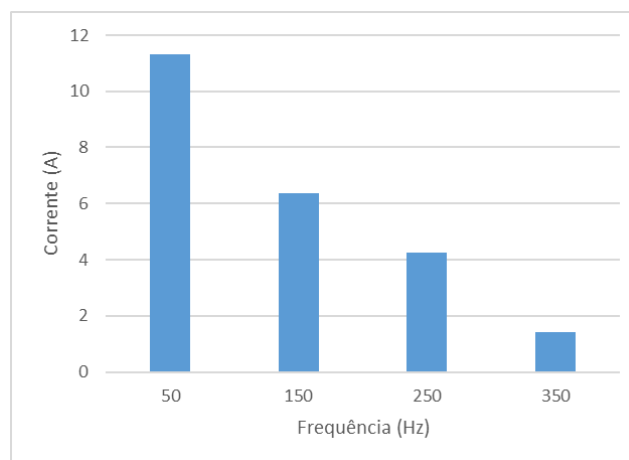


Figura 3.22 Espectro harmónico de uma carga não linear.

Na Figura 3.23 encontra-se a representação da forma de onda corrente e da tensão numa situação onde não há compensação por parte do FAPP. Através da observação desta figura, constata-se que a corrente absorvida pela carga não apresenta uma forma de onda sinusoidal.

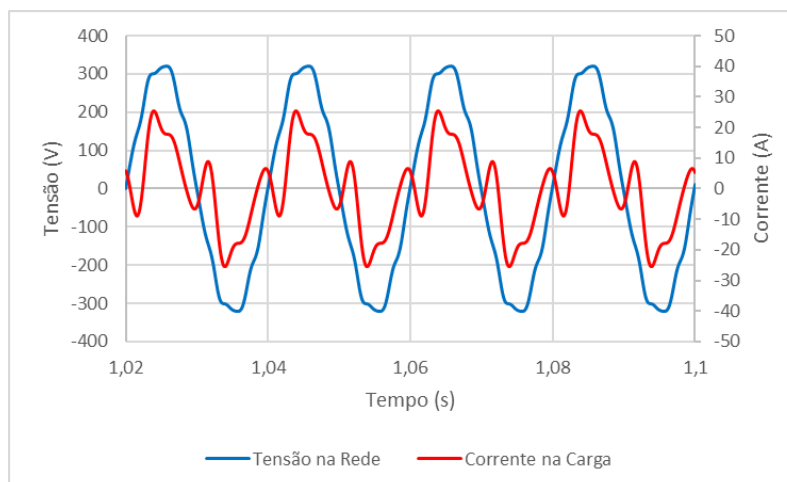


Figura 3.23 Forma de onda da tensão na rede elétrica e da corrente consumida pela carga não linear.

Na Figura 3.25 encontra-se a representação da forma de onda corrente e da tensão numa situação em que o FAPP entra no modo de compensação harmónica. Neste estado de operação, a corrente de compensação, i_f , calculada com base na teoria FBD assume a forma de onda representada na Figura 3.24. Assim, quando FAPP injeta a corrente, i_f , na rede elétrica, a corrente na fonte adquire uma forma de onda sinusoidal. Na Figura 3.25 encontra-se a representação da forma de onda da corrente e da tensão numa situação onde existe compensação por parte do FAPP. Através da observação do desta figura pode-se constatar que a corrente do conjunto, carga não linear mais FAPP, adquire uma forma de onda sinusoidal.

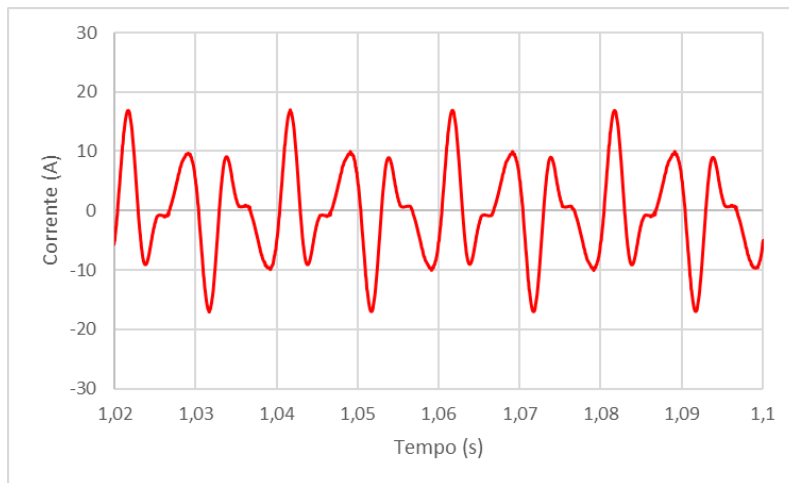


Figura 3.24 Forma de onda corrente de compensação sintetizada pelo FAPP com topologia *interleaved*.

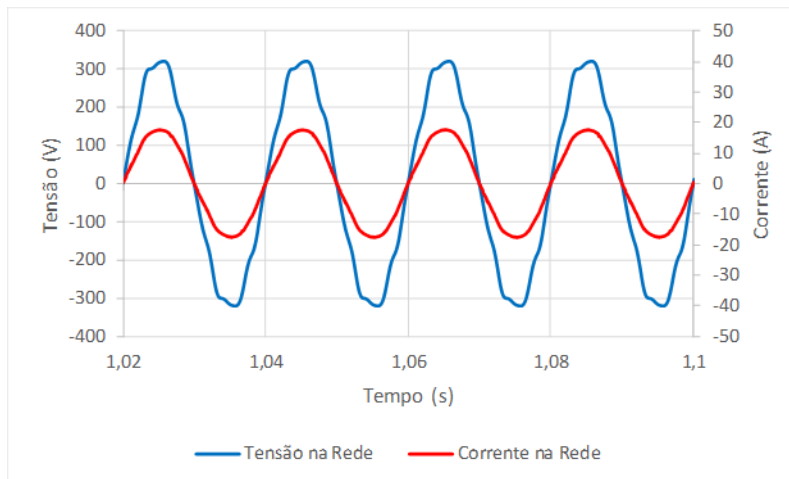


Figura 3.25 Forma de onda da tensão e da corrente na rede elétrica após a compensação harmónica por parte de um FAPP com topologia *interleaved*.

De modo a comprovar os benefícios inerentes à utilização de uma configuração *interleaved* em aplicações de compensação harmónica, simulou-se um inversor com a mesma topologia, mas com as ondas portadoras partilhadas. Assim, os resultados apresentados na Tabela 3.3 servem de

comparação para os resultados que obtidos através da simulação do inversor com configuração *interleaved*.

Observando a Tabela 3.3, percebe-se que existe uma redução no THD de 68,76 % para 2,24 %. Também se percebe que a correção fator de potência foi efetuado com sucesso, uma vez que o seu valor passou de 0,83 para 0,99.

Na Tabela 3.4 encontram-se os valores relativos à corrente na carga, fonte e FAPP com os módulos configurados para operarem no modo *interleaved*. Através da análise dos dados presentes na tabela, percebe-se que existe uma redução no THD de 68,76 % para 2,03 %. A correção do fator de potência foi efetuada com sucesso, uma vez que o seu valor passou de 0,83 para 0,99.

Tabela 3.3 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento paralelo num sistema com uma carga não linear.

	Fonte	Carga	FAP
Valor Eficaz	12,49 A	13,73 A	7,85 A
THD	2,24 %	68,76 %	—
Fator de Potência	0,99	0,83	—

Tabela 3.4 Valor eficaz e fator de potência do sistema com o FAPP com dois módulos no modo de funcionamento interleaved num sistema com uma carga não linear.

	Fonte	Carga	FAP
Valor Eficaz	12,63 A	13,73 A	7,86 A
THD	2,03 %	68,76 %	—
Fator de Potência	0,99	0,83	—

Através da comparação das duas topologias, percebe-se que o modo *interleaved* permite efetuar uma redução de THD mais satisfatória do que o modo de funcionamento paralelo, pois, o THD da forma de onda corrente na rede elétrica é de 2,03 %, enquanto que o modo de operação sem desfasamento nas ondas portadoras apresentava um THD de 2,24 %.

Na Figura 3.26 pode ver-se o espectro harmónico da corrente na rede elétrica numa situação onde existe compensação harmónica por parte de um FAPP com configuração *interleaved*. Comparando a Figura 3.26 com a Figura 3.22, facilmente se percebe que o FAPP com topologia *interleaved* pode ser utilizado em aplicações de compensação harmónica.

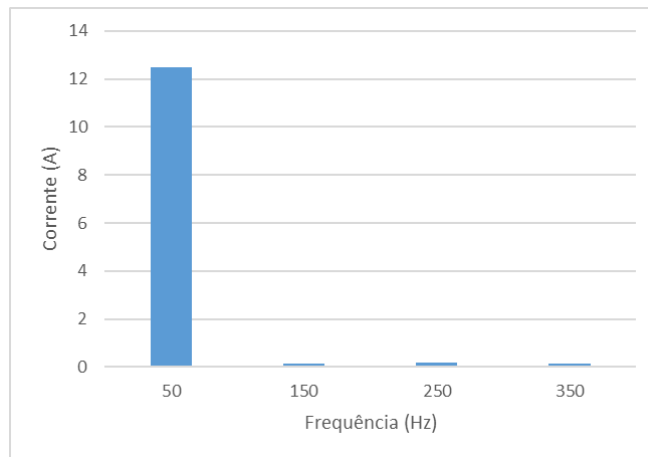


Figura 3.26 Espectro harmónico da corrente na rede elétrica durante a compensação harmónica.

3.6.3 Resposta Dinâmica do Filtro Ativo Paralelo

A entrada e a saída de cargas são acontecimentos bastante frequentes nos sistemas elétricos. Tendo isto em consideração, percebe-se a necessidade de testar a resposta dinâmica do FAPP a este tipo de acontecimentos.

Inicialmente, o FAPP foi colocado em funcionamento num sistema com uma carga não linear, a que se deu o nome de “carga 1”. No instante 2,70 s foi introduzida uma segunda carga não linear, “carga 2”, de modo a aumentar a corrente e o THD do conjunto de cargas não lineares associadas ao sistema. Por último, no instante 3,00 s retirou-se a carga que tinha sido introduzida no instante 2,70 s. Na Figura 3.27 pode ver-se a evolução da corrente consumida pelo conjunto das cargas. Na Figura 3.27 pode-se observar a variação da corrente consumida pelas cargas não lineares introduzidas no sistema elétrico.

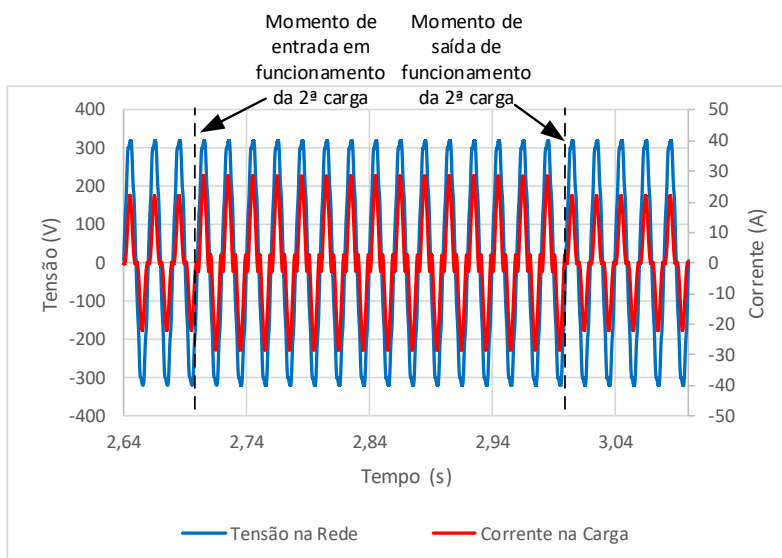


Figura 3.27 Variação da corrente consumida pelas cargas não lineares introduzidas no sistema.

O espectro harmónico das cargas introduzidas no sistema encontra-se representado na Figura 3.28. A corrente da “carga 1” encontra-se representada a laranja e a corrente da “carga 2” encontra-se representada a cinzento. A corrente a azul representa o conteúdo harmónico do conjunto das cargas entre os 2,70 s e os 3,00 s.

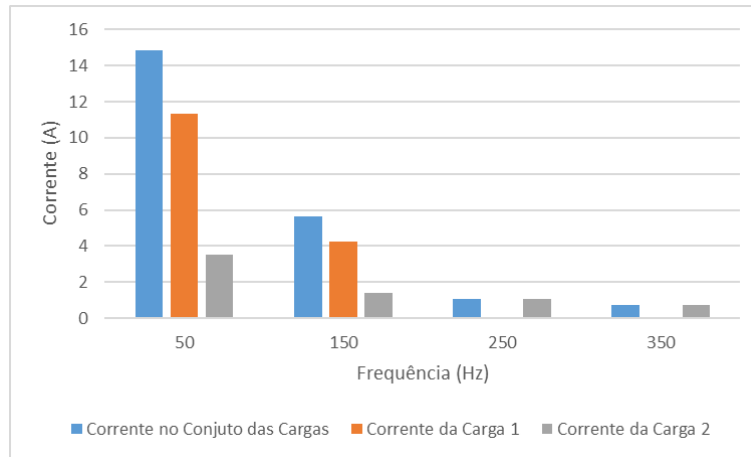


Figura 3.28 Espectro harmónico das cargas introduzidas no sistema.

Na Figura 3.29 encontra-se a representação da evolução do valor da tensão no barramento CC. É visível que no momento em que se introduz uma nova carga no sistema, existe uma variação brusca da tensão no barramento CC. Isto deve-se à corrente que o inversor é obrigado a injetar num curto espaço de tempo, tal como se pode observar na Figura 3.30.

Apesar desta perturbação no valor da tensão não elevar os valores de tensão para níveis absurdos, o pico da tensão dependerá do quão significativa essa carga for para o sistema. Assim, percebe-se a necessidade de limitar os valores de tensão que o barramento CC pode tomar, isto, para que seja possível garantir a manutenção da integridade do equipamento.

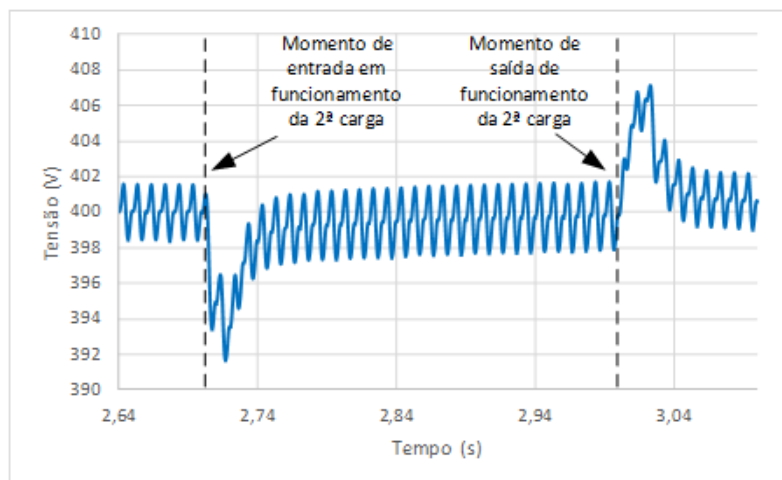


Figura 3.29 Perturbação da tensão provocada pela entrada e saída da segunda carga não linear.

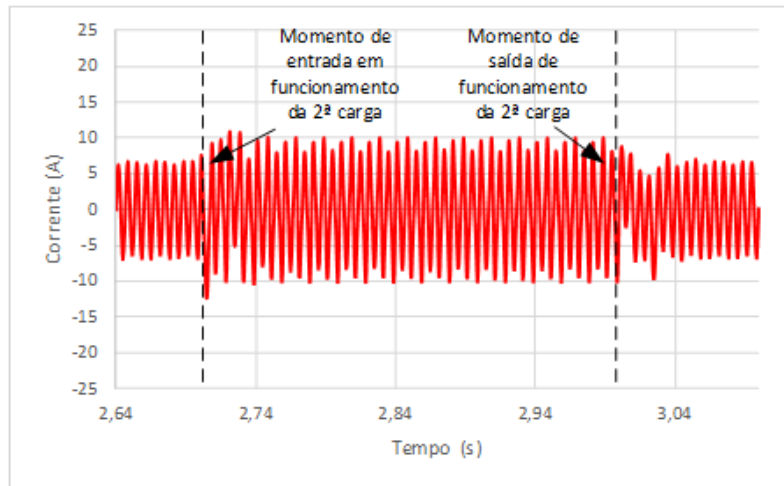


Figura 3.30 Resposta dinâmica da corrente sintetizada pelo FAPP *interleaved*, devido à entrada e saída da segunda carga não linear.

Tal como foi possível perceber através da figura apresentada anteriormente, o controlo do FAPP faz com que o equipamento seja capaz de se ajustar a variações provocadas pelas entrada e saída de cargas. Na Figura 3.31 encontra-se o gráfico relativo à evolução da corrente na rede elétrica durante este processo. Através da observação desta figura, compreende-se que existe uma ligeira subida do valor da corrente no momento em que a carga entra em operação, no entanto, também é possível perceber que o valor da corrente tende a estabilizar ao fim de 2 ciclos de rede. Sendo que, durante este processo a forma de onda da corrente na rede elétrica mantém sempre uma forma de onda sinusoidal.

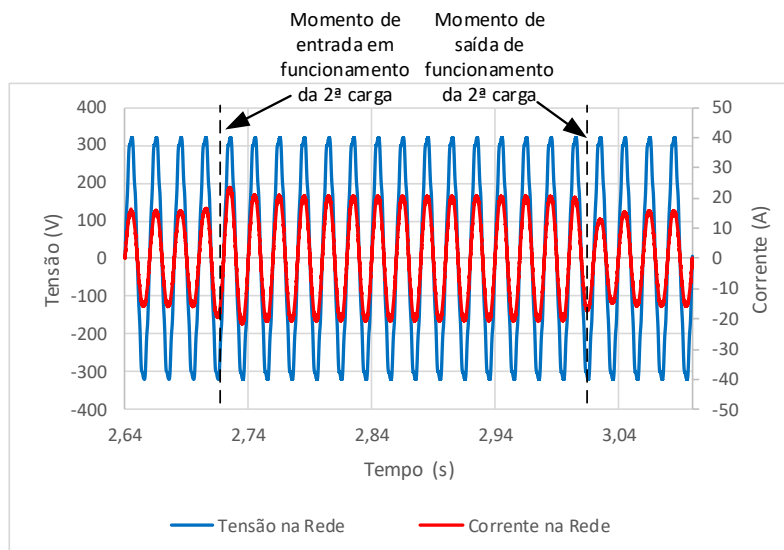


Figura 3.31 Forma de onda da corrente na rede elétrica durante a perturbação provocada pela entrada e saída da segunda carga não linear.

3.6.4 Resposta Dinâmica do Filtro Ativo Paralelos em Caso de Paragem de um dos Módulos

Tal como foi dito anteriormente, a topologia *interleaved* apresenta-se como uma solução altamente promissora para aplicações que careçam de elevada confiabilidade. Tendo isto em consideração realizou-se a simulação do comportamento do inversor num estado de compensação harmónica, no momento em que um dos módulos inversores é desabilitado. Na Figura 3.32 pode ver-se a forma de onda da corrente consumida pela carga no momento em que um dos módulos é desabilitado.

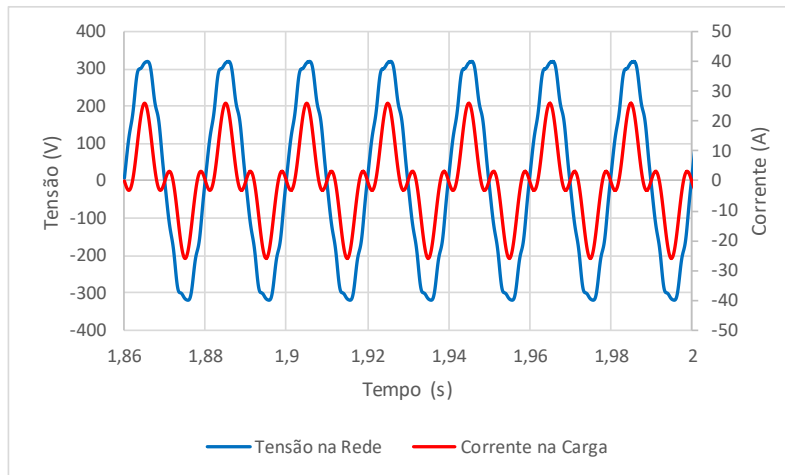


Figura 3.32 Forma de onda da corrente consumida pela carga no momento em que um dos módulos é desabilitado.

Na Figura 3.33 é possível perceber que o módulo inversor é desabilitado no instante 1,91 s. Através da observação da figura pode-se constatar que a corrente de compensação sintetizada pelo inversor é reduzida para metade. Isto, porque cada módulo sintetiza metade da potência total do inversor.

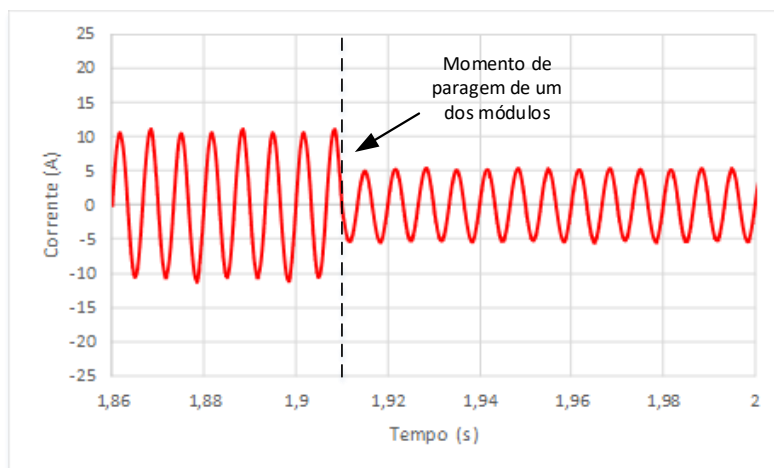


Figura 3.33 Evolução da forma de onda da corrente de compensação sintetizada pelo inversor no momento em que um dos módulos é desabilitado.

Como aos 1,91 s, a corrente de compensação é reduzida para metade, facilmente se percebe que não é possível realizar uma redução tão significativa do valor de THD, no entanto, ainda é possível

permanecer num estado de compensação harmónica, mesmo que de forma limitada, tal como ser encontra representado na Figura 3.34.

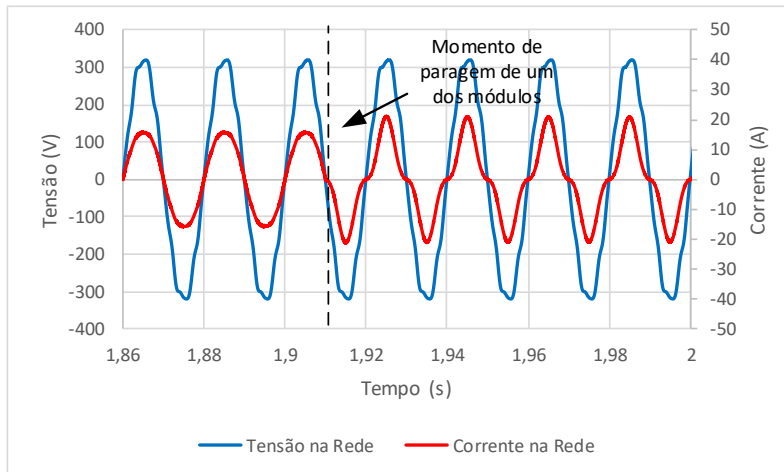


Figura 3.34 Evolução da forma de onda da corrente na rede elétrica no momento em que um dos módulos é desabilitado.

Na Tabela 3.5 encontram-se os valores relativos à corrente na carga, fonte e FAPP com os módulos configurados para operarem no modo *interleaved*. Na Tabela 3.6 encontram-se os valores relativos à corrente na carga, fonte e FAPP, após um dos módulos ter sido desabilitado.

Tabela 3.5 Valor eficaz e fator de potência do sistema com o FAPP com topologia *interleaved* antes da paragem de um dos módulos.

	Fonte	Carga	FAP
Valor Eficaz	11,51 A	13,34 A	7,50 A
THD	4,07 %	62,51 %	—
Fator de Potência	0,99	0,85	—

Tabela 3.6 Valor eficaz e fator de potência do sistema com o FAPP com topologia *interleaved* após a paragem de um dos módulos.

	Fonte	Carga	FAP
Valor Eficaz	11,82 A	13,34 A	3,70 A
THD	29,82 %	62,51 %	—
Fator de Potência	0,95	0,85	—

Uma vez que se optou por uma topologia *interleaved* com barramento CC partilhado, é necessário observar a evolução da tensão no momento em que um dos módulos é desabilitado. Na Figura 3.35 percebe-se que quando se desabilita um dos módulos, existe uma ligeira oscilação no valor da tensão no barramento CC, no entanto, esta oscilação pode ser significativamente reduzida através da utilização do valor médio da tensão para o cálculo do erro do controlo PI efetuado sobre o

barramento CC. Também se percebe que existe uma redução no *ripple* da tensão no barramento, no entanto, isto deve-se à redução da compensação harmónica.

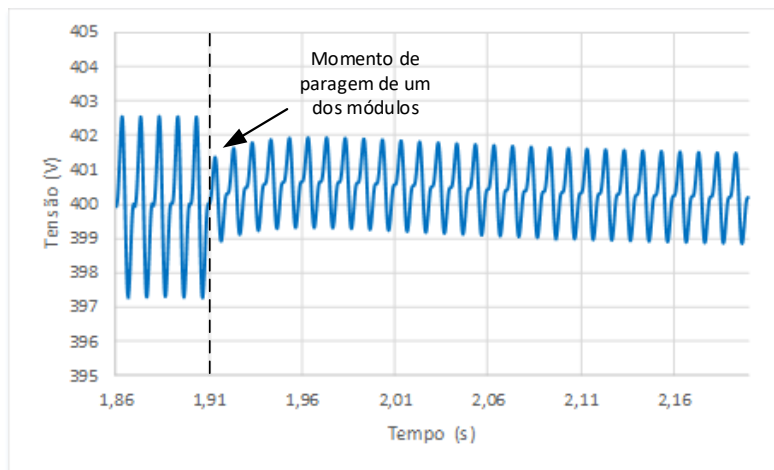


Figura 3.35 Evolução da tensão no barramento CC no momento em que um dos módulos é desabilitado.

3.7 Conclusão

Ao longo deste capítulo apresentaram-se resultados obtidos através de simulações computacionais.

Inicialmente, realizou-se uma comparação entre duas topologias *interleaved*, sendo elas, com barramento separado e barramento comum. Também se optou por realizar uma comparação com os resultados obtidos através de inversores com as ondas portadoras em sincronizadas e em fase. Estas comparações permitiram confirmar que a topologia *interleaved* com barramento comum permite sintetizar sinais com THDs inferiores às restantes topologias utilizadas para esta comparação.

Realizou-se a simulação do funcionamento do circuito do inversor em malha aberta. Isto, para que fosse possível validar a modulação que serviria de base à implementação do algoritmo de controlo.

Apresentou-se o algoritmo e o modelo de simulação que serviram de base à implementação do sistema de controlo. De seguida, foram apresentados os resultados obtidos através da simulação relativa à compensação dos problemas de QEE mitigados pelo FAPP com topologia *interleaved*. Foi possível perceber que o FAPP foi capaz de mitigar os problemas de QEE. Adicionalmente, também possível perceber que a topologia *interleaved* se revela mais promissora do que a topologia com as ondas portadoras em fase, no que diz respeito a aplicações de compensação harmónica. Observou-se a resposta dinâmica do sistema em situações em que existe o acionamento de cargas durante o estado de compensação harmónica e percebeu-se que o FAPP com topologia *interleaved* apresenta uma resposta bastante satisfatória.

Por último, verificou-se que fazendo uso da redundância inerente a esta topologia, pode-se manter o FAPP em funcionamento com apenas um módulo inversor. Sendo que, nesta situação a compensação de THD é inferior.

Capítulo 4

Implementação do Hardware do Filtro Ativo Paralelo com Topologia *Interleaved*

4.1 Introdução

Ao longo deste capítulo realiza-se a apresentação do hardware desenvolvido para implementar o protótipo do Filtro Ativo de Potência Paralelo com topologia *Interleaved*.

Inicialmente, apresenta-se a PCB dedicada ao sistema de controlo. Para tal, são apresentados os sensores de tensão e corrente, placa de condicionamento de sinal e deteção de erros. Sendo realizada uma apresentação detalhada de todos os circuitos e cálculos do dimensionamento relativo aos componentes introduzidos na PCB.

Numa segunda fase, descreve-se a implementação do sistema de potência e o respetivo hardware desenvolvido ao longo desta dissertação. Realiza-se uma breve apresentação sobre a organização do hardware e das duas PCBs desenvolvidas. Seguidamente apresentam-se os componentes utilizados e, por último, apresenta-se o circuito de *driver* dos semicondutores.

4.2 Organização e Desenvolvimento do Sistema de Controlo

O sistema de controlo tem a função de monitorizar as variáveis de entrada do sistema e detetar a existência de situações anómalas. Assim, sabendo da necessidade de um sistema de controlo, foi necessário desenvolver hardware para condicionamento de sinal, de forma a ajustar os sinais lidos pelos sensores, para que pudessem ser lidos pelos ADCs do DSP apresentado na secção 4.5. Numa fase inicial procedeu-se à implementação em *breadboard* dos diversos circuitos a integrar na PCB. Após a validação dos circuitos, procedeu-se ao desenvolvimento da PCB. O desenvolvimento da PCB foi realizado através do software de *design* de PCBs, *PADS*, da *Mentor Graphics Corporation* e ao software *CAM350* para analisar as PCBs desenvolvidas.

Tendo em consideração que o tempo necessário para a aquisição e processamento de dados durante uma situação anómala pode ser demasiado elevado para que o circuito de *driver* seja desabilitado a tempo de garantir a integridade do equipamento, optou-se pelo desenvolvimento de um sistema

deteção de erros por hardware que atua paralelamente com proteção de erros por software. Assim, sabendo que esta dissertação visa o desenvolvimento de um FAPP compacto, optou-se apenas pelo desenvolvimento de hardware de proteção contra variações bruscas da corrente nos braços de cada um dos módulos. Como existe uma menor propensão para a ocorrência de variações bruscas na tensão da rede ou do barramento CC, não se identificou a necessidade de desenvolver hardware para proteção contra variações bruscas de tensão.

A PCB dedicada ao sistema de controlo proporciona uma saída com um potencial de +5 V para alimentar o DSP e foi desenvolvida tendo em consideração o tamanho da placa de suporte da DSP. Este aspeto construtivo foi tido em consideração, uma vez que a placa de suporte da DSP já se encontrava desenvolvida pelo GEPE. Assim, percebendo que o tamanho da placa de suporte implicaria uma limitação ao aspeto construtivo do projeto, privilegiou-se a utilização de componentes SMD e procedeu-se à disposição dos sensores e dos conectores da forma que é possível observar na Figura 4.3. Na Figura 4.1 encontra-se o *layout* da placa de deteção de erros e condicionamento de sinal desenvolvida através do software *PADS Layout*. Na Figura 4.2 encontra-se o *layout* da placa de deteção de erro e condicionamento de sinal desenvolvida através do software *CAM 350*. Este software foi bastante útil para analisar os ficheiros *Gerber* gerados pelo *PADS layout*, de modo a que fosse possível pré-visualizar a existência de erros no *design* das PCBs.

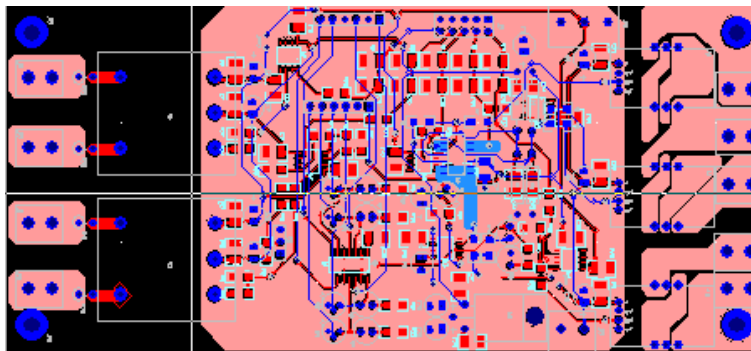


Figura 4.1 *Layout* da placa de deteção de erro e condicionamento de sinal desenvolvida através do software *PADS Layout*.

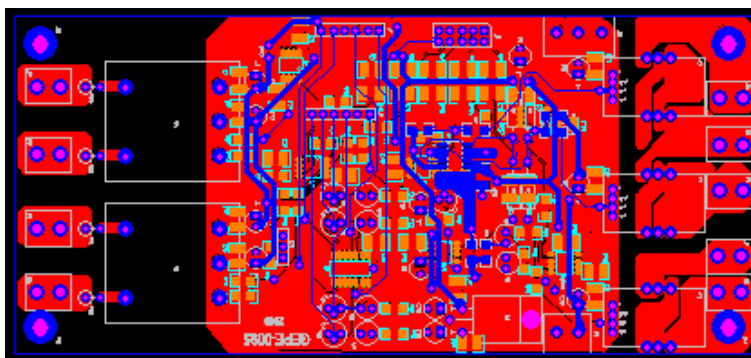


Figura 4.2 *Layout* da placa de deteção de erro e condicionamento de sinal desenvolvida através do software *CAM 350*.

Como houve a intenção de monitorizar a corrente em cada um dos braços do inversor, e como há um ponto comum entre os dois braços, optou-se pela colocação de apenas 3 conectores de modo a facilitar a junção das fases de cada um dos módulos. É importante ter em consideração que o facto de os dois sensores de corrente se encontrarem a ler a mesma fase através do ponto comum representado na Figura 4.3, faz com que seja necessário inverter o valor lido pelo ADC.

O sensor de tensão do barramento CC foi colocado do lado inferior direito, tal como indica na Figura 4.3, apenas por uma questão de proximidade entre o sensor e o barramento CC.



Figura 4.3 PCB do sistema de controlo – Parte superior.

Na Figura 4.4 percebe-se que existiu uma preocupação na compactação do sistema, bem como, um elevado cuidado na distribuição dos componentes na PCB. Isto, para que houvesse uma distribuição uniforme da potência dissipada pelos componentes, de modo a que o calor não afetasse o comportamento do circuito. Também é possível constatar a existência de condensadores SMD de 100 nF para desacoplar os circuitos integrados.

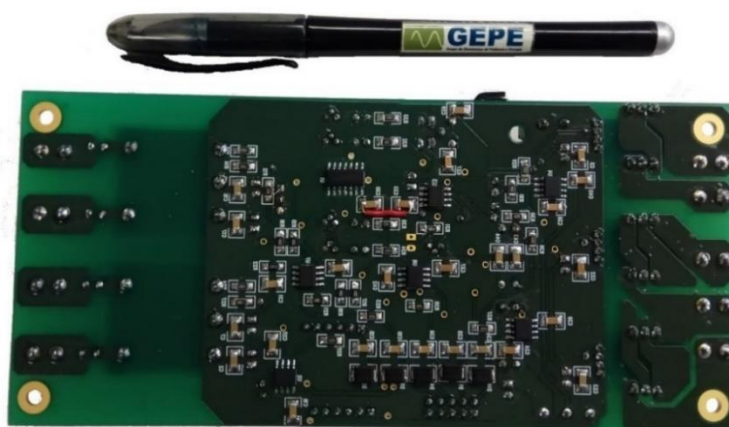


Figura 4.4 PCB do sistema de controlo – Parte inferior.

4.3 Sensores de Tensão

O controlo aplicado ao FAPP com topologia *interleaved* necessita de informação relativas aos valores de tensão em determinados pontos do equipamento, sendo eles, a tensão na rede elétrica e a tensão no barramento CC partilhado pelos diversos módulos inversores.

As tensões presentes neste equipamento são bastante superiores aos valores que os ADCs do DSP podem ser sujeitos. Então, torna-se necessário recorrer a sensores que façam a leitura dos sinais, de seguida é necessário recorrer à instrumentação necessária para ajustar o valor de saída dos sensores para a gama de tensões admitida pelos ADCs.

Tendo em conta os requisitos anteriormente apresentados, as medições das tensões devem ser feitas através de dispositivos que garantam o isolamento galvânico. Desta forma, as medições das tensões foram realizadas através de sensores de efeito de *Hall* do fabricante *ChenYang Technologies* com a referência *CYHVS5-25A* [69]. Estes sensores garantem um isolamento galvânico de 2,5 kV a uma frequência de 50 Hz durante 1 minuto. Estes sensores devem alimentados a ± 15 V e podem ler valores de tensão 2 kV.

Este sensor possui uma razão de espiras de 5000:1000. Assim, tendo em conta que o lado primário apresenta uma corrente nominal de 5 mA é implícito que do lado secundário existirá uma corrente nominal de 25 mA. Assim, é necessário dimensionar as resistências tendo em consideração que a corrente no lado primário não deve ultrapassar os 5 mA.

Durante a realização deste projeto foram desenvolvidas PCBs, tendo como objetivo a aquisição e condicionamento de sinal. Os sensores e respetivo condicionamento dos sinais adquiridos, foram integrados na mesma PCB. Desta forma, tornou-se necessário realizar o dimensionamento das resistências do lado primário e secundário do sensor. A escolha dos valores das resistências foi realizada tendo em consideração os valores das resistências disponíveis para a realização deste projeto.

Dimensionando o valor da resistência do lado primário do sensor de tensão da rede elétrica através da equação 4.1.

$$R_1 = \frac{V_{max}}{I_{N1}} \quad (4.1)$$

Sabendo que em condições normais a rede elétrica apresenta um valor de tensão de 230 V e que corrente nominal do lado primário do sensor é de 5 mA, realizou-se o calculo considerando um valor

de tensão de 270 V. Isto, para garantir que no momento em que a rede elétrica atinge 325 V de pico, a corrente não ultrapassa em demasia o valor da corrente nominal estipulada no *datasheet*.

Aplicando a expressão 4.1 percebe-se que a resistência do lado primário deve apresentar um valor de 54 kΩ. De forma a evitar o sobreaquecimento das resistências, optou-se por dividir o conjunto resistivo em duas resistências de 27 kΩ e colocá-las em série, para que cada uma delas dissipe metade da potência a que o conjunto está sujeito.

$$P = \frac{V^2}{R} \quad (4.2)$$

Dimensionando o valor da resistência do lado primário do sensor de tensão do barramento CC através da equação 4.1.

Sabendo que o barramento CC terá uma tensão de 400 V e que a corrente nominal do lado primário deve obedecer aos valores anteriormente apresentados, considerou-se que as resistências do lado primário devem ser dimensionadas para que o sensor esteja sujeito à corrente nominal no momento em que a tensão do lado primário seja de 470 V.

Aplicando a expressão 4.1 percebe-se que a resistência do lado primário deve apresentar um valor de 94 kΩ. No entanto, pelo mesmo motivo apresentado anteriormente, optou-se pela utilização de duas resistências de 47 kΩ colocadas em série.

O dimensionamento do valor da resistência de medida para o lado secundário de ambos os sensores é realizado através da expressão 4.3.

$$R_M = \frac{V_{ADC}}{I_{N2}} \quad (4.3)$$

Sabendo que a corrente do lado secundário do sensor é de 25 mA, e V_{ADC} corresponde ao valor máximo que o ADC pode suportar, torna-se simples descobrir o valor de R_M . No entanto, o *datasheet* do *CYHVS5-25A* apresenta algumas restrições para a escolha deste valor, sendo elas, o valor máximo de 350 Ω e um valor mínimo de 100 Ω.

Tendo isto em consideração, para o sensor lado secundário do sensor tensão da rede elétrica optou-se por um valor de R_M igual a 75 Ω. Isto, para que em condições normais, as tensões de entrada no ADC fiquem a 20 % do máximo permitido. Também foi necessário colocar uma resistência de 100 Ω em serie com a de 75 Ω, para que o conjunto resistivo se situe na gama de valores anteriormente apresentada.

A resistência do lado secundário do sensor de tensão do barramento CC deve apresentar um valor de 120 Ω . Isto, para que a tensão no ADC seja de 3 V no momento em que o sensor se encontra a operar à corrente nominal. Neste caso, também se optou por adicionar uma resistência de 100 Ω em série, para que o valor do conjunto ficasse mais centrado na gama de valores recomendada pelo fabricante.

Repare-se que substituindo o valor escolhido na fórmula 4.2, verifica-se que a dissipação de calor se efetua corretamente sem que se danifique nenhum componente, mesmo no caso da utilização de resistências *SMD* de 0,125 W, tal como ocorre nas PCBs apresentadas neste capítulo.

Na Figura 4.5 pode-se observar o sensor utilizado para ler os valores de tensão.



Figura 4.5 Sensor de Tensão - CYHVS5-25A.

4.4 Sensores de Corrente

O controlo aplicado ao FAPP com topologia *interleaved* necessita de informação relativas aos valores de corrente de cada um dos módulos inversores e da carga que se pretende compensar.

Os ADCs do DSP apenas podem ler valores de tensão, então é imperativo que sejam utilizados dispositivos que façam a leitura dos sinais e os exprimam em valores de tensão para que possam ser lidos pelos ADCs

Tendo em conta os requisitos anteriormente apresentados, as medições das correntes devem ser feitas através de dispositivos que garantam o isolamento galvânico. Assim, as medições das correntes foram realizadas através de sensores de efeito de *Hall* do fabricante *LEM* com a referência *LTSR 15-NP* [70]. Estes sensores garantem um isolamento galvânico de 3 kV a uma frequência de 50 Hz durante 1 minuto. Estes sensores apresentam um valor de corrente nominal no primário de 15 A e devem alimentados a 0 V e 5 V.

No entanto, este sensor permite operar com diversas configurações, tal como está explicado no *datasheet* do *LTSR 15-NP*, de modo a possibilitar o ajuste da sensibilidade e da gama de medição do sensor.

As tensões de saída do sensor obedecem à equação 4.4.

$$V_{out} = 2,5 \pm \left(0,625 \frac{I_P}{I_{PN}}\right) \quad (4.4)$$

Ao longo deste projeto foram utilizadas duas configurações diferentes para ajustar os valores de leitura dos sensores, fazendo um melhor aproveitamento da escala do sensor. Assim, sabendo que o sensor de leitura da corrente na carga deve ler valores de 16 A, utiliza-se uma configuração de I_{PN} igual 7,5 A, pois, este valor permite que quando a corrente da carga chegue ao seu valor de pico 22,6 A, o sensor apresente valores de tensão de 4,38 V, evitando que o sensor entre e na zona de não linear.

Os sensores de leitura da corrente nos braços do inversor *interleaved* foram dimensionados para a configuração de I_{PN} igual a 5 A, uma vez que cada um deles se encontra sujeito a metade da corrente de compensação. Este valor de I_{PN} permite o valor tensão de saída do sensor alcance 3,91 V quando a corrente atinge o seu valor de pico.

Este sensor não precisa de resistências de saída, uma vez que o valor de medida é dado em tensão. Assim, o sinal apenas deverá ser sujeito ao devido condicionamento, de modo a que os valores de tensão se mantenham dentro da gama de valores que o ADC suporta.

Tal como foi dito na secção anterior, durante a realização deste projeto foram desenvolvidas PCBs, tendo como objetivo a aquisição e condicionamento de sinal. Os sensores e respetivo condicionamento dos sinais adquiridos foram integrados na mesma PCB, pelo que o condicionamento de sinal dos sensores de corrente só será explicado na secção 4.6. Na Figura 4.6 pode-se observar o sensor utilizado para ler os valores de corrente.



Figura 4.6 Sensor de Corrente - *LTSR 15-NP*.

4.5 Digital Signal Processor

O sistema de controlo necessita de um microcontrolador para processar os dados adquiridos pelos periféricos e interpretá-los de acordo com o algoritmo de controlo. Tendo em conta as necessidades de processamento de sinal e o número de periféricos que o projeto envolve, optou-se pela utilização do *Digital Signal Processor TMS320F28335* (DSP) da *Texas Instruments*. O DSP utilizado apresenta as seguintes características: Capacidade para realizar operações a 32 bits; Frequência de *clock* de

150 MHz; 16 canais de conversão *analog-to-digital* (ADC) de 12 bits; 18 canais de PWM; Memória interna *flash* de 256 K x 16. Na Figura 4.7 pode ver-se a DSP e a placa de suporte.

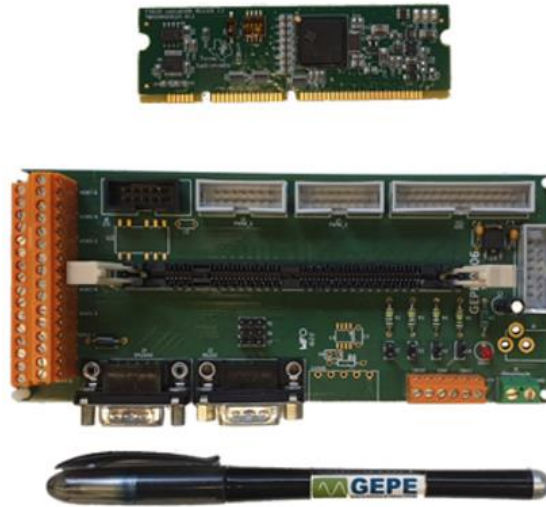


Figura 4.7 DSP e placa de suporte.

Para aceder ao DSP anteriormente referido, utilizou-se a placa de desenvolvimento *TMDSCNCD28335*, que foi desenhada pelo mesmo fabricante do DSP. O suporte desta placa é feito por uma placa previamente desenvolvida no GEPE, sendo que, ao longo desta dissertação procedeu-se à soldadura e validação dos componentes nela aplicados.

A programação dos algoritmos de controlo e respetivo *debug* ao DSP, foi realizada através do software *Code Composer v7*. Este software desenvolvido pela *Texas Instruments* é uma ferramenta extremamente útil para o desenvolvimento de projetos na área de eletrónica de potência, uma vez que permite realizar a monitorização e alteração de todas as variáveis em tempo real. Através da Figura 4.8 é possível observar o ambiente de desenvolvimento do software utilizado no âmbito desta dissertação, bem como a monitorização gráfica da evolução de uma variável ao longo do tempo.

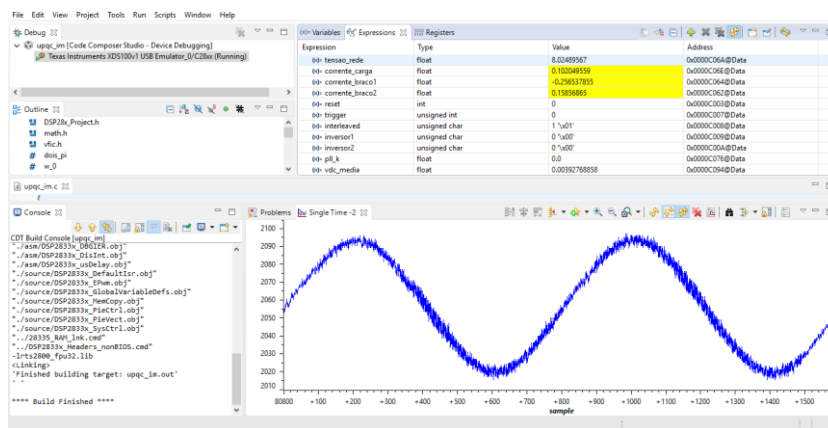


Figura 4.8 Ambiente de desenvolvimento — *Code Composer v7*.

4.6 Condicionamento de Sinal

Os sinais adquiridos pelos sensores de tensão e corrente necessitam de ser ajustados, de forma a que possam ser lidos corretamente pelos ADCs internos do DSP. Desta forma, torna-se necessário recorrer a circuitos auxiliares para realizar o condicionamento de sinal.

Neste caso em particular, os ADCs internos do DSP *TMS320F28335* adquirem valores compreendidos entre 0 V e 3,3 V, logo, os valores de saída dos sensores anteriormente apresentados necessitam de sofrer o devido ajuste.

No caso do sensor de tensão *CYHVS5-25A*, é imperativo que se utilize uma resistência de saída, dado que o valor de medida é dado através de uma corrente e os ADCs apenas podem ler valores de tensão. Uma vez que, a saída em corrente oscila entre valores negativos e positivos, facilmente se percebe que quando se utiliza este tipo sensor para ler valores alternados, como por exemplo a tensão da rede elétrica, a utilização de uma resistência na saída do sensor não é suficiente para que os sinais possam ser adquiridos pelo DSP. Pois, tal como foi dito anteriormente, os ADCs internos do DSP apenas permitem a aquisição de sinais positivos. Ou seja, é necessário recorrer a um circuito somador para aplicar um *offset* ao sinal lido pelo sensor. Na Figura 4.9 é possível visualizar o esquemático de circuito amplificador somador não inversor.

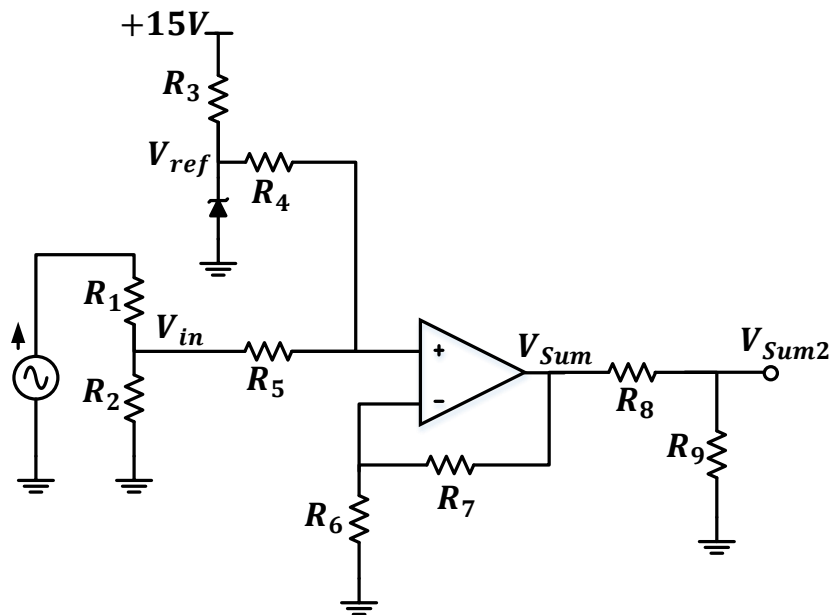


Figura 4.9 Circuito amplificador somador não inversor.

A resistência de saída foi dimensionada de acordo com os limites estabelecidos no *datasheet*, $100 \Omega \leq R_M \leq 350 \Omega$. Assim, optou-se por utilizar uma resistência de saída de 175Ω , no entanto, este valor resistivo encontra-se dividido entre duas resistências colocadas em série, pois, tal como foi

dito anteriormente, a saída do sensor de tensão é dada em corrente, logo, o valor da resistência R_2 , define o valor da amplitude do sinal aplicado ao circuito somador. Desta forma, sabendo que o valor nominal da corrente no lado secundário do sensor é de 25 mA, facilmente se percebe que para obter um sinal com 1,875 V de amplitude tem de se utilizar um valor de 75 Ω na resistência R_2 e como se assume que o valor total da resistência de saída é de 175 Ω , então a resistência R_1 toma o valor de 100 Ω .

Para aplicar o *offset* ao sinal de saída do sensor, utilizou-se de um circuito somador amplificador não-inversor. Para tal, foi necessário recorrer a um amplificador operacional. Optou-se pelo circuito integrado *LM358*, uma vez que este modelo é compatível com todas as formas de lógica e já se encontrava disponível no laboratório.

Uma vez que se pretende somar um valor de *offset* a um sinal lido através de um sensor de corrente, é imperativo que se utilize um valor de tensão com uma precisão bastante acentuada, uma vez que a falta de precisão da referência deturpa os valores medidos pelo sensor. Tendo isto em consideração, optou-se pela utilização do regulador de tensão *LT1009* desenvolvido pela *Texas Instruments*, capaz de gerar referências de 2,5 V com um desvio máximo de ± 5 mV, pelo que se torna uma excelente opção para aplicações de instrumentação.

O *LT1009* pode operar numa gama de correntes relativamente alargada. Assim, como a tensão disponível para alimentação do circuito é de 15 V, optou-se pela colocação de uma resistência, R_3 , em série com o regulador para que houvesse uma queda de tensão de 12,5 V sobre ela. A resistência R_3 , foi dimensionada para que houvesse aproximadamente 3,5 mA a percorrer o *LT1009*. Através da aplicação da lei de Ohm e tendo em conta os valores de resistências disponíveis, percebe-se que R_3 de apresentar um valor de 3,6 k Ω .

De seguida, encontra-se a expressão que permite calcular o valor de saída, V_{Sum} , da configuração amplificador não-inversora. Considera-se que as variáveis de entrada, V_{ref} e v_{in} , correspondem às variáveis de entrada representadas na Figura 4.9.

$$v_{Sum} = \left(1 + \frac{R_7}{R_6}\right) \left(\frac{V_{ref}}{R_4} + \frac{v_{M2}}{R_5}\right) (R_5 // R_4) \quad (4.5)$$

Reescrevendo a equação anterior.

$$v_{Sum} = \left(1 + \frac{R_7}{R_6}\right) \left(\frac{V_{ref}}{R_4} + \frac{v_{M2}}{R_5}\right) \left(\frac{R_4 R_5}{R_4 + R_5}\right) \quad (4.6)$$

Simplificando a expressão 4.6, obtém-se a expressão 4.7.

$$v_{sum} = \left(1 + \frac{R_7}{R_6}\right) \left(\frac{R_5}{R_4 + R_5} V_{ref} + \frac{R_4}{R_4 + R_5} v_{M2}\right) \quad (4.7)$$

Uma forma simples de obter o valor das resistências a utilizar na montagem amplificadora, passa por considerar valores iguais para as resistências R_6 e R_7 , isto faz com que o primeiro termo da expressão seja igual a 2. Assim, realiza-se uma abstração do valor destas resistências, considerando que o valor de *offset* pode ser obtido através da multiplicação de uma fração de V_{ref} por 2, tal com se encontra representado na expressão 4.8.

$$V_{offset} = 2 \left(\frac{R_5}{R_4 + R_5}\right) V_{ref} \quad (4.8)$$

Tendo em conta que se pretende obter um valor de V_{offset} igual ao valor de V_{ref} , facilmente se percebe que R_4 e R_5 tem de possuir valores idênticos.

Repare-se que mesmo sabendo o valor de todas as resistências utilizadas na configuração amplificadora não-inversora, o cálculo do *offset* foi realizado para um valor de 2,5 V e o valor de R_2 também foi calculado para que v_{M2} oscile entre $\pm 1,875$ V, logo, o valor de saída da montagem amplificadora não-inversora varia entre 0,625 V e 4,375 V. Como os ADCs internos do DSP apenas suportam valor entre 0 V e 3,3 V, implementa-se um divisor resistivo à saída do circuito amplificador somador não inversor, para obter um valor de saída que corresponda a 66 %, do valor de saída do circuito somador não-inversor.

É importante recordar que a o sensor responsável pela medição da tensão no barramento CC nunca lê valor negativos, logo, não necessita que lhe seja aplicado um *offset*, pelo que dispensa a implementação do circuito somador. Ou seja, o sensor de tensão do barramento CC necessita apenas da resistência de carga no lado secundário, para que o ADC possa adquirir os valores de tensão.

No que diz respeito aos sensores de corrente do tipo *LTSR 15-NP*, que foram apresentados na secção 4.4, dispensa-se a utilização de instrumentação adicional para aplicar valores de *offset* aos sinais lidos pelos sensores de corrente, uma vez que estes sensores já possuem um valor de *offset* de 2,5 V. Ou seja, a utilização deste tipo de sensores, apenas necessita que lhe seja aplicado um divisor resistivo para que o valor de *offset* seja reduzido para 66 % do seu valor original. Desta forma, optou-se pela utilização de um divisor resistivo constituído por uma resistência de 2 k Ω e outra de 3 k Ω , respeitando a recomendação presente no *datasheet*, que estipula a utilização de resistências de saída com valores superior a 2 k Ω .

Ainda no que diz respeito ao condicionamento de sinal, utiliza-se um circuito seguidor de tensão na saída de cada sensor de forma a aproveitar a alta impedância de entrada para proteger o DSP, tal como se pode observar na Figura 4.10. Esta configuração foi implementada com o componente *LM358* e não introduz qualquer ganho nas leituras efetuadas pelos sensores.

Na Figura 4.10 também se pode observar um filtro analógico RC passa-baixo após a saída de cada um dos sinais lidos pelos sensores. Isto, para que as leituras realizadas pelos ADCs não sejam afetadas por componentes alta frequência, prejudicando o sistema de controlo através da aquisição de dados deturpados. Estes filtros foram colocados o mais próximo possível da saída da saída da PCB onde está conectado o *flat-cable* para ligação à placa de suporte do DSP. A frequência de corte do filtro-RC passa-baixo é definida pela equação 4.9.

$$f_c = \frac{1}{2\pi RC} \quad (4.9)$$

A seleção da frequência de corte deve ser realizada, tendo em consideração o sinal que se deseja eliminar e o sinal que se pretende adquirir, ou seja, a frequência de corte deve estar algumas décadas acima do sinal que se deseja adquirir, para que não introduza atrasos significativos no sinal filtrado. No entanto, também não deve ser suficientemente elevada, ao ponto de permitir que o ruído perturbe as leituras efetuadas pelos sensores. Desta forma, optou-se pela utilização de uma frequência de corte de 10 kHz. Como os condensadores SMD disponíveis no laboratório tinham um valor de 100 nF, obtém-se um valor de resistência de 160 Ω .

Adicionalmente, tendo em vista a aumento da proteção da DSP, utilizam-se díodos *zener* com um V_Z de 4,3 V, conectados entre a saída do filtro RC e a massa. Apesar deste valor se encontrar acima dos 3,3 V suportados pelos ADC, o diodo zener é capaz de conferir a proteção necessária, uma vez que a sua atenuação se inicia em valores inferiores a 4,3 V. Na Figura 4.10 encontra-se o esquemático do seguidor de tensão, filtro passivo e diodo zener.

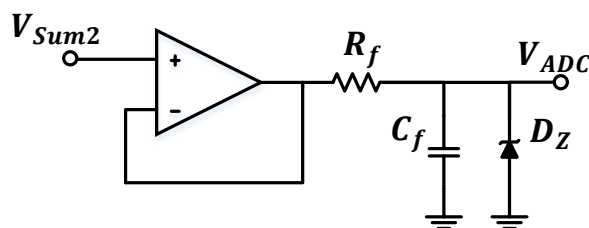


Figura 4.10 Esquemático do seguidor de tensão, filtro passivo e diodo de *zener*.

4.7 Detecção de Erros

A deteção de erros assume um papel de extremamente relevante para a manutenção da integridade dos equipamentos eletrónicos. Tendo isto em consideração, houve a necessidade proceder à implementação de proteções, tanto por hardware como por software, de forma a que os valores das variáveis monitorizadas se mantenham dentro dos limites previamente estabelecidos.

No que concerne às anomalias detetadas por hardware, apenas se aplicou este tipo de proteção ao controlo de corrente. Isto deveu-se à intenção de tornar o equipamento o mais compacto possível. Assim, como não existe a previsão de tanto a tensão na rede elétrica como a tensão no barramento CC variarem tão rapidamente que o DSP seja incapaz de desabilitar as comutações dos semicondutores de potência, optou-se por abdicar da implementação da proteção por hardware sobre estas variáveis. No entanto, como a corrente em cada um dos braços do inversor *interleaved* pode apresentar variações extremamente rápidas, ao ponto de poderem colocar em causa a integridade do mesmo, optou-se pela implementação da proteção contra sobrecorrentes através hardware, em detrimento da redução das dimensões do equipamento.

De uma forma bastante simplista, pode-se afirmar que a deteção de erros é constituída por um comparador de janela. Este tipo de circuito é formado por dois comparadores, um para cada limite da janela, sendo que a entradas positiva de um dos comparadores encontra-se conectada com a entrada negativa do outro comparador, tal como é possível observar na Figura 4.11.

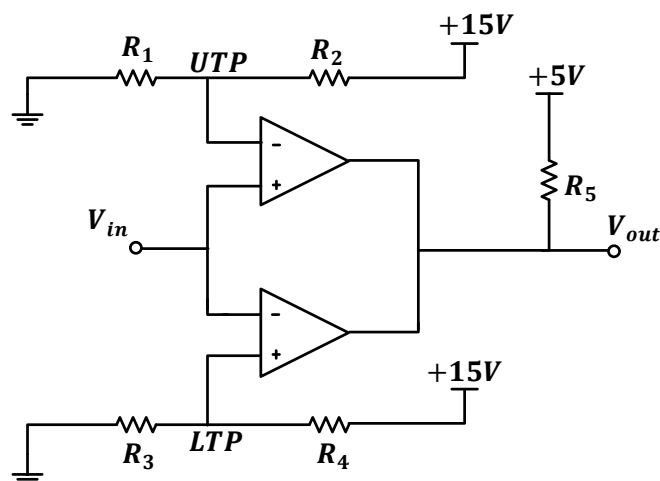


Figura 4.11 Esquema do comparador de janela.

O nome desta configuração deve-se ao formato que o gráfico representativo do comportamento do circuito apresenta, tal como é mostrado na Figura 4.12. Pode ver-se que a comparação entre um sinal de entrada e os valores de tensão de referência estabelecidos pelas resistências resulta numa janela de nível lógico alto ou nível lógico baixo (V_{CC} e 0 V).

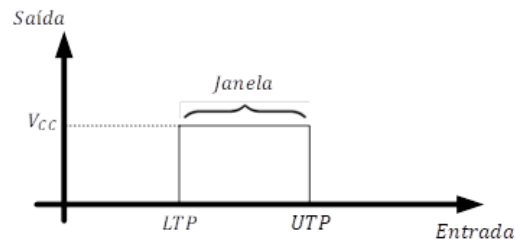


Figura 4.12 Gráfico representativo do comportamento de um comparador de janela.

Na Figura 4.13 encontra-se a representação esquemática do circuito de detecção de erros utilizado no projeto desenvolvido no âmbito desta dissertação. O esquemático deste circuito foi desenvolvido, tendo em conta as especificidades que a topologia *interleaved* apresenta, bem como as limitações construtivas a que estava sujeito, de forma a compactar o circuito.

Como cada módulo inversor suporta uma parte da corrente do sistema, optou-se por proteger os módulos individualmente através de um circuito integrado comum a todos os sensores responsáveis pela monitorização da corrente nos braços do inversor. Tendo isto em consideração, recorreu-se ao circuito integrado *LM339* da *Texas Instruments*, uma vez que este circuito integrado é constituído por 4 comparadores, tornando-se ideal para a implementação de 2 comparadores de janela. Outro dos motivos que levou à escolha deste circuito integrado, foi o interesse existente em curto-circuitar as saídas dos 4 comparadores, logo, como o *LM339* possui uma saída de coletor aberto, dispensa a implementação de lógica adicional para formar uma porta OR (ou uma AND caso o circuito tivesse sido implementado com lógica positiva). No entanto, é necessário referir que a saída de *LM339* necessita de uma resistência de *pull-up* na sua saída, de modo a poder estabelecer o valor lógico “1”.

A saída dos sensores de corrente apresenta um funcionamento aproximadamente linear para valores compreendidos entre 0,5 V e 4,5 V e a configuração dos sensores de corrente utilizados para medir a corrente nos braços de inversor é I_{PN} igual a 5 A. Assim, aplicando a formula apresentada na secção 4.4, percebe-se que esses valores só surgem quando o valor de pico da forma de onda da corrente estiver nos 16 A. No entanto, como existe uma perda de sensibilidade do sensor quando este se aproxima do fim da escala, implementou-se valores de referência superior e inferior, iguais a 4,4 V e 0,6 V. O que faz com que a corrente esteja limitada a valores de pico de cerca de 15,2 A, ou seja, um valor de corrente 1,32 vezes superior ao pico de corrente a que o circuito é submetido quando opera às condições nominais.

Implementou-se o circuito de detecção de erros através do ponto médio das resistências utilizadas à saída do sensor de corrente. Desta forma, os valores de referência que estabelecem o limite superior (*Upper Trip Point* – UTP) e inferior (*Lower Trip Point* – LTP) da janela de comparação, devem tomar

um valor 3/5 vezes menor do que o valor existente à saída do sensor. Logo, os divisores resistivos utilizados para formar os valores de UTP e LTP respectivamente, tem de ser dimensionados para estabelecer valores de referência de 0,36 V e 2,64 V. Como a alimentação das resistências utilizadas para criar as referências é feita a partir dos 15 V, o valor das resistências utilizadas de respeitar a relação 4.10 de modo a gerar o valor de UTP e a relação 4.11 para gerar o valor de LTP.

$$\frac{R_1}{R_2} = \frac{1}{24} \quad (4.10)$$

$$\frac{R_3}{R_4} = \frac{22}{53} \quad (4.11)$$

É importante salientar que na prática os valores das resistências apresentam valores ligeiramente diferentes ao valor indicado pelo fabricante, logo, é importante realizar a medição do valor real das resistências utilizadas na prática, bem como, proceder ao teste do condicionamento isoladamente através de um gerador de sinais. Como cada um dos dois módulos constituintes do inversor *interleaved* sintetiza metade da corrente do inversor, partilham-se as referências obtidas através dos divisores resistivos, de modo a reduzir o espaço ocupado pelo circuito. Também é importante salientar que este esquema faz a utilização de todas as portas lógicas do circuito integrado *LM339*. Na Figura 4.13 pode ver-se o comparador de janela partilhado entre dois dos módulos do inversor *interleaved*.

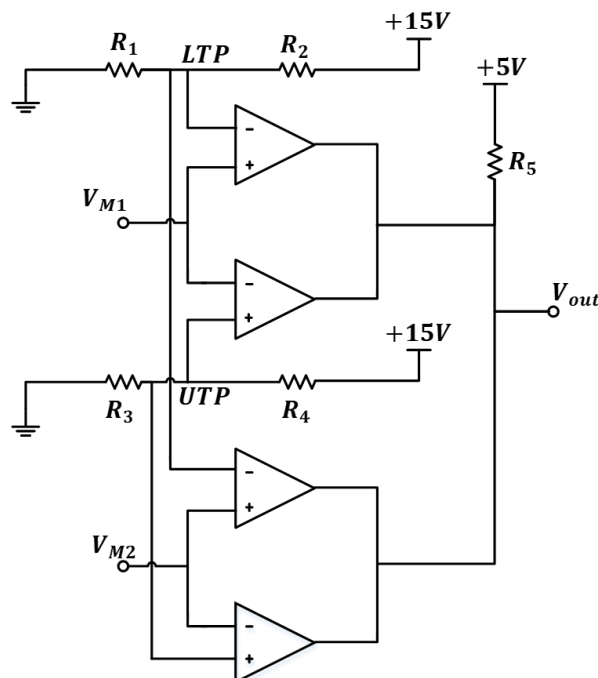


Figura 4.13 Esquema do comparador de janela partilhado entre dois módulos do inversor *interleaved*.

Repare-se que o circuito anteriormente apresentado, apenas utiliza comparações de valores instantâneos para colocar um valor lógico na sua saída. Tendo isto em consideração, percebe-se que

no caso de ocorrer um erro, o valor lógico na saída do comparador será alterado. No entanto, como se está a monitorizar valores de corrente alternada, o comparador deixará de conseguir identificar a situação de erro logo após a reentrada do sinal nos limites estabelecidos, fazendo com o funcionamento do inversor seja desativado e reabilitado durante todos ciclos em que a sobrecorrente se mantenha. Desta forma, este circuito revela-se insuficiente para bloquear o funcionamento do sistema após a ocorrência de um erro. Na Figura 4.14 encontra-se a representação do valor de saída do circuito comparador de janela com lógica negada.

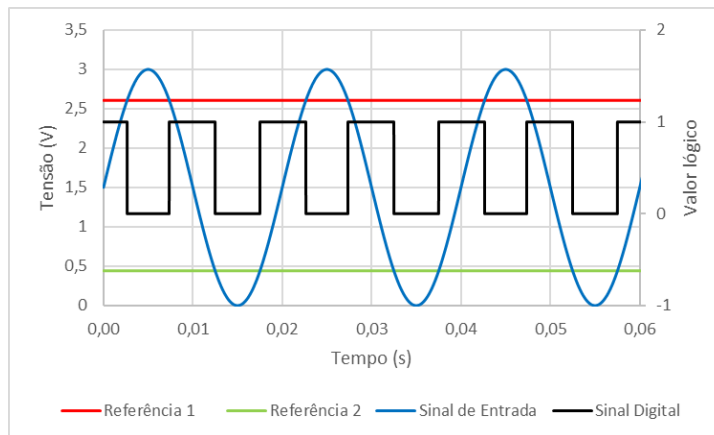


Figura 4.14 Representação da evolução da saída do *LM339*.

Existe a necessidade de memorizar o estado de erro, mesmo após a reentrada do sinal nos limites admissíveis, fazendo com que o funcionamento do inversor apenas seja reativado após uma instrução dada pelo utilizador.

Implementa-se a memorização do erro através do circuito integrado *LM555* da *Texas Instruments*. Este circuito integrado encontra-se amplamente difundido no mundo da eletrónica e é vulgarmente chamado de *timer 555*, devido à sua configuração astável. No entanto, este circuito também pode ser configurado para operar noutros modos de funcionamento, tais como, configuração biestável e monóstável.

No modo de funcionamento biestável, o *LM555* funciona como uma memória de um *bit*, operando basicamente com um *flip-flop*. Assim, sempre que ocorre um erro, o valor de entrada é memorizado e o funcionamento do inversor é interrompido até que o valor lógico na saída do *LM555* seja alterado através de um sinal de *reset*. O sinal de *reset* terá de ser enviado pelo utilizador, através do DSP.

É importante referir que o *LM555* memoriza os estados de erro sempre que for colocado o valor lógico “0” na sua entrada de *trigger*. Logo, é importante ter em atenção os valores das referências utilizadas nas entradas do comparador. Uma forma bastante simples de inverter a lógica de operação do comparador de janela anteriormente apresentado, passa por colocar as resistências utilizadas para

gerar a referência de maior valor na entrada positiva do comparador e as resistências utilizadas para gerar a referência de menor valor na entrada negativa, tal como se encontra representado na Figura 4.13.

Esta lógica é suficiente para desabilitar os circuitos de *driver*, uma vez que estes circuitos possuem um pino de *disable*, logo, estão ativos quando o valor lógico colocado na sua entrada é “0” e são desativados quando se coloca o valor lógico “1” na sua entrada. Os circuitos de *driver* são explicados mais detalhadamente na secção 4.13.

Apesar desta lógica ser suficiente para desabilitar o circuito através do circuito de deteção de erros por hardware, optou-se pela implementação de alguma lógica adicional para que as comutações dos semicondutores possam ser desabilitadas através do DSP por diferentes motivos. Para tal, recorreu-se à lógica *OR*, uma vez que, tal como foi dito anteriormente, os *drivers* são desabilitados quando recebem o valor lógico “1”. A redundância de proteções por hardware e software, tem o objetivo de aumentar a confiabilidade do circuito de deteção de erros.

No que diz respeito à interrupção feita por software, ela tanto pode ser efetuada devido à deteção de uma situação anómala como por uma instrução dada pelo utilizador. Sendo que, a interrupção feita devido a uma deteção anómala desativa todos os *drivers*, enquanto que a interrupção feita devido a uma instrução dada pelo utilizador desabilita apenas os braços que o utilizador desejar. Desta forma, caso tenha sido detetada uma anomalia e o utilizador identifique que o problema não inviabiliza o funcionamento do circuito completo, pode-se colocar o circuito a funcionar de forma parcial até que a anomalia seja resolvida.

Utilizando álgebra booleana para interpretar o funcionamento do circuito e respeitando a atribuição dos respetivos acontecimentos:

- A. *Disable* do braço 1 através de uma ordem dada pelo utilizador;
- B. *Disable* do braço 2 através de uma ordem dada pelo utilizador;
- C. *Disable* do braço 3 através de uma ordem dada pelo utilizador;
- D. *Disable* do braço 4 através de uma ordem dada pelo utilizador;
- E. Estado de erro armazenado na saída da célula de memória;

Percebe-se que o funcionamento *interleaved* só se encontra habilitado quando a condição 4.12 se verifica.

$$y = \bar{E}(\bar{A}\bar{B}\bar{C}\bar{D}) \quad (4.12)$$

Simplifica-se esta expressão através da aplicação do 2º teorema de Morgan, que diz que “O produto dos complementos é igual ao complemento da soma”. Assim, obtém-se a expressão seguinte.

$$y = \overline{(\bar{E} + A + B + C + D)} \quad (4.13)$$

É possível constatar que qualquer que seja a variável responsável por impedir o funcionamento do inversor, esta impede o funcionamento *interleaved*. No entanto, caso tenha sido detetada uma anomalia e o utilizador identificar que o problema não inviabiliza o funcionamento do circuito completamente, este pode colocar o circuito a funcionar como um inversor de ponte completa. Sendo que, a lógica representada na expressão 4.14 deve ser respeitada.

$$y = \bar{E}(\bar{A}\bar{C} + \bar{A}\bar{D} + \bar{B}\bar{C} + \bar{B}\bar{D}) \quad (4.14)$$

Aplicando a propriedade distributiva e obtém-se a equação 4.15.

$$y = \bar{A}\bar{C}\bar{E} + \bar{A}\bar{D}\bar{E} + \bar{B}\bar{C}\bar{E} + \bar{B}\bar{D}\bar{E} \quad (4.15)$$

Possibilitando diversos modos de funcionamento, faz-se o correto aproveitamento da redundância que esta topologia proporciona.

4.8 Organização e Desenvolvimento do Sistema de Potência

O protótipo desenvolvido no âmbito desta dissertação é constituído pelos *drivers*, semicondutores de potência, circuitos de proteção de *gate* dos SiC MOSFETs, condensadores do barramento CC, condensadores de desacoplamento e bobina de acoplamento à rede elétrica.

Inicialmente, foi necessário idealizar a arquitetura do sistema de forma a reduzir as suas dimensões. Para tal, optou-se por desenvolver uma PCB que integrasse todos os elementos constituintes do sistema de potência. Assim, decidiu-se que seria desenvolvida uma PCB de dupla face e que ficaria na vertical, de modo que os semicondutores pudessem ser soldados na parte de trás de PCB, para que houvesse a possibilidade de os aparafusar a um dissipador. Os condensadores do barramento CC foram colocados na parte inferior da PCB para garantir a estabilidade necessária e ao mesmo tempo servirem de suporte às bobinas de acoplamento.

De seguida, desenvolveu-se o *layout* de uma PCB que foi imprimida nas oficinas da Universidade do Minho. Contudo, apesar de ter sido possível validar o funcionamento do circuito, a oxidação do cobre devido à exposição ao meio ambiente e as interferências eletromagnéticas potenciadas pela compactação do sistema revelaram-se fatores difíceis de atenuar. Estes fatores, aliados à utilização de componentes SMD em PCBs fabricadas sem qualquer tipo de revestimento sobre o cobre,

resultaram no aumento da dificuldade de manter o circuito em boas condições de funcionamento. Apesar das dificuldades, esta PCB permitiu observar o modo de funcionamento *interleaved* em malha aberta, bem como adquirir experiência e conhecimento de forma a prevenir situações de implicariam uma maior vulnerabilidade do circuito às interferências eletromagnéticas e a redução do isolamento entre a parte de comando e a parte de potência. Na Figura 4.15 pode ver-se a primeira versão da PCB de *drivers* e potência desenvolvida no âmbito desta dissertação.



Figura 4.15 Primeira versão da PCB de *drivers* e potência.

Ao longo desta dissertação surgiu a oportunidade de desenvolver outra PCB com recurso a técnicas de fabricação mais apropriadas para este tipo de protótipos. Assim, foi necessário redesenhar o esquemático e o *layout* da PCB de potência, de forma a tirar o máximo proveito desta oportunidade.

A segunda versão da PCB de *drivers* e potência foi projetada tendo em consideração algumas das dificuldades sentidas durante o desenvolvimento do primeiro protótipo. Assim, apesar de se considerar que os componentes da primeira PCB foram organizados de forma adequada, respeitando a arquitetura previamente estabelecida para a disposição das PCBs, optou-se por redesenhar e redimensionar o *layout* da segunda PCB, para que existisse uma maior acessibilidade aos pontos de teste.

O aumento das dimensões da PCB fez com existisse um aumento do espaço disponível para o barramento CC. Logo, para que o não existisse um desperdício de espaço, identificou-se a possibilidade de aumentar a capacidade de barramento CC. Assim sendo, a capacidade do barramento CC passou de 2240 μF para 3280 μF .

Tendo em consideração as dificuldades sentidas para identificar a proveniência de algumas situações anómalas e, fazendo uso da modularidade inerente à topologia *interleaved*, foram colocados

conectores do tipo fio *jumper* fêmea de 2,54 mm em todas as alimentações dos *drivers* e fontes de alimentação isoladas, de forma a possibilitar que os módulos fossem analisados individualmente. Esta ferramenta revelou-se uma excelente opção na deteção de problemas causados por EMI durante a realização dos testes experimentais.

Sabendo da necessidade de um ponto com potência de +5 V para alimentar os circuitos integrados utilizados nesta PCB, recorreu-se a um *LM7805* para obter potencial desejado. Apesar de se tratar de um regulador linear percebeu-se que a sua utilização não implica um sobreaquecimento do sistema, uma vez que a corrente que o percorre é de apenas 0,11 A. Através da utilização deste regulador de baixo custo, dispensou-se a utilização de uma fonte maior e mais dispendiosa.

Na Figura 4.16 pode-se observar o *layout* da PCB de *drivers* e potência desenvolvida através do software de *design* de PCBs, *PADS*, da *Mentor Graphics Corporation*. Nesta figura percebe-se a existência de um conector de entrada para os quatro *disables* individuais. Isto, para que seja possível desabilitar os módulos individualmente, de forma a preservar a redundância proporcionada pela utilização de quatro módulos idênticos.

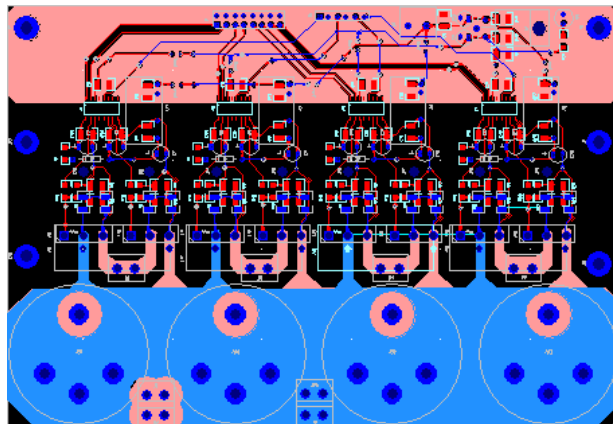


Figura 4.16 *Layout* da placa de *drivers* e potência desenvolvida através do software *PADS Layout*.

Durante o desenvolvimento desta PCB percebeu-se que existiria a possibilidade de compactar ainda mais o sistema, caso os condensadores de desacoplamento do barramento CC fossem colocados sobre as furações onde os semicondutores estariam soldados. Isto, aliado à necessidade aproximar os condensadores de desacoplamento dos braços formados pelos semicondutores, levou a fosse necessário editar os componentes existentes nas bibliotecas do software PADS.

Na Figura 4.17 é possível observar a PCB num ponto intermédio de desenvolvimento. Nesta figura é possível perceber as furações onde os semicondutores devem ser soldados. Também se pode constatar a existência de furações para aceder aos parafusos dos semicondutores através da parte superior da PCB. Através desta estratégia garante-se uma distribuição uniforme da pressão exercida

sobre os semicondutores, evitando o sobreaquecimento de alguns destes componentes, o que poderia originar diferenças na distribuição da potência sintetizada por cada um dos módulos inversores.

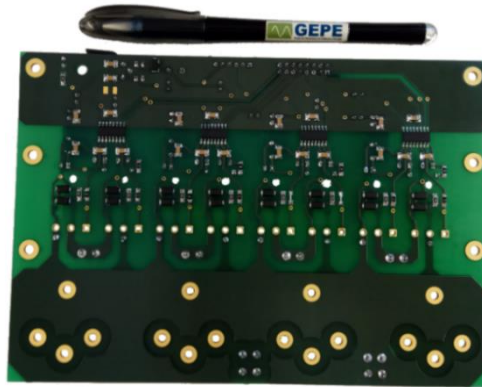


Figura 4.17 PCB num ponto intermédio de desenvolvimento – Vista do lado inferior.

Após se ter fixado o conjunto formado pelos semicondutores e dissipador na PCB, obteve-se a segunda versão da PCB de *drivers* e potência desenvolvida no âmbito desta dissertação. Na Figura 4.18 pode-se observar os semicondutores fixados no dissipador. Na Figura 4.19 encontra-se a PCB dedicada ao sistema de potência do FAPP com topologia *interleaved* de barramento CC partilhado. Na Figura 4.20 pode ver-se todo o hardware desenvolvido para implementação do inversor compacto com topologia *interleaved*. Nesta figura pode ver-se que, tal como foi dito anteriormente, o barramento CC serve de suporte às bobinas de acoplamento à rede elétrica.



Figura 4.18 Dissipador e semicondutores fixados com uma pressão uniformemente distribuída.

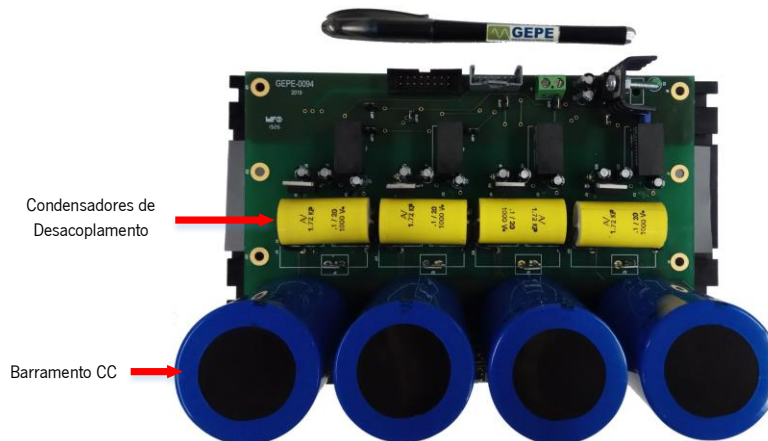


Figura 4.19 Segunda versão da PCB de *drivers* e potência.

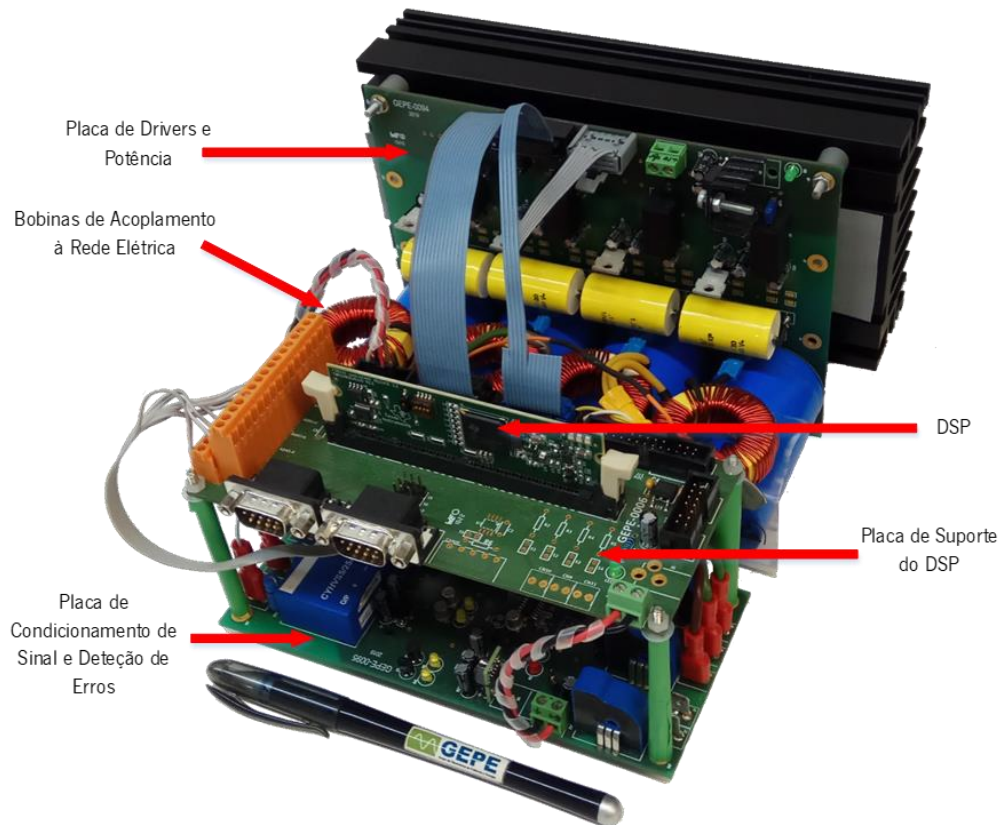


Figura 4.20 Protótipo do FAPP com topologia *interleaved*.

4.9 Semicondutores de Potência

Os semicondutores com tecnologia SiC MOSFET tem vindo a ganhar popularidade no setor da eletrónica de potência devido à sua alta velocidade de comutação. Como esta tecnologia já tinha revelado bons resultados em aplicações de compensação harmónica com topologia *interleaved*. [71]. Ao longo do desenvolvimento do protótipo construído no âmbito desta dissertação, optou-se pela utilização dos SiC MOSFET, *C3M0120090D*, da CREE. Estes semicondutores suportam correntes de 23 A e tensões de 900 V [72]. Na Figura 4.21 pode ver-se um dos oito semicondutores utilizados para formar o inversor *interleaved*.



Figura 4.21 Semicondutores de potência - SiC.

4.10 Barramento CC

Tendo em consideração os aspetos construtivos referidos na secção 4.8, bem como a importância que a estabilidade da tensão no barramento CC representa para aplicações de compensação harmónica, optou-se pela utilização de um barramento com uma capacidade de 3280 μF . Para tal, foram utilizados 4 condensadores eletrolíticos do fabricante *Vishay BCcomponents*. Estes condensadores apresentam uma capacidade de 820 μF e suportam tensões de 450 V [73].

É importante referir que foram adicionados 2 conectores na parte superior do barramento e 2 na parte inferior. Estes conectores foram adicionados com o objetivo de permitir a alimentação do lado CC através de uma fonte de alimentação, permitir a adição de novos módulos, bem como permitir a ligação do barramento CC ao sensor de tensão ou até mesmo como pontos de teste para permitir a monitorização da tensão do barramento CC durante a realização de testes experimentais. Na Figura 4.22 pode ver-se um dos quatro condensadores utilizados para formar o barramento CC.



Figura 4.22 Condensador eletrolítico de 820 μF .

4.11 Condensadores de Desacoplamento

Estes condensadores foram utilizados com o objetivo de desacoplar o barramento CC. Assim, optou-se por posicionar estes condensadores o mais próximo possível de cada braço do inversor.

Como o FAPP com topologia *interleaved* é constituído por quatro braços, utilizaram-se quatro condensadores de polipropileno do fabricante *Kemet*. Estes condensadores apresentam uma capacidade de 0,1 μF e uma tensão máxima de 1000 V [74]. Na Figura 4.23 pode ver-se um quatro condensador de desacoplamento utilizados na PCB de *drivers* e potência.



Figura 4.23 Condensador de desacoplamento.

4.12 Bobina de Acoplamento à Rede Elétrica

A bobina de acoplamento serve de interface com a rede elétrica e tem uma influência bastante significativa sobre o *ripple* da corrente sintetizada, uma vez que serve como filtro para as componentes de alta frequência, característica da modulação SPWM.

No que diz respeito às topologias *interleaved*, o valor de indutância apresenta uma influência direta na corrente trocada entre os módulos, tal como foi abordado na secção 2.10. No entanto, como a topologia *interleaved* permite sintetizar correntes com um *ripple* reduzido, percebe-se que existe a possibilidade de reduzir o valor de indutância da bobina de acoplamento.

Inicialmente, optou-se pela utilização de bobinas com núcleo de ferrite, dado que, a indutâncias apresentadas por estas bobinas não varia significativamente com o aumento da corrente. Isto, revelou-se um aspeto importante para facilitar a determinação do valor de indutância a utilizar no controlo preditivo, numa fase em que se pretendia validar o algoritmo de controlo a sintetizar correntes com diversas amplitudes.

Posteriormente, procedeu-se à substituição das bobinas apresentadas anteriormente, por bobinas de pó de ferro. Isto, porque, comparativamente com as bobinas com núcleo de ferrite, as bobinas com núcleo de pó de ferro ocupam um espaço mais reduzido e sem tanta dispersão magnética. Outro fator que esteve na origem desta substituição, foi o facto de se pretender validar o funcionamento do circuito com diversas frequências de comutação, logo, foi conveniente utilizar bobinas que não apresentassem variações tão significativas no valor da sua indutância, quando sujeitas a diferentes frequências. Na Figura 4.24, pode ver-se uma das quatro bobinas de 550 μH com núcleo de ferro utilizada para acoplamento à rede.

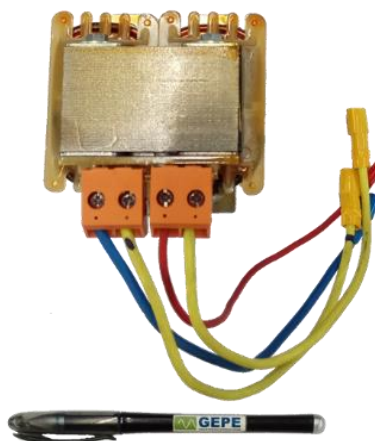


Figura 4.24 Bobina com núcleo de ferro utilizada para acoplamento à rede elétrica.

Na Figura 4.25, pode ver-se uma das quatro bobinas de 550 μH com núcleo de pó de ferro utilizada para acoplamento à rede.



Figura 4.25 Bobina com núcleo de pó de ferro utilizada para acoplamento à rede elétrica.

4.13 Circuito de *Driver*

Os *drivers* de potência são circuitos responsáveis por realizar a interface entre o sistema de potência e o sistema de controlo. Esta interface necessita de isolamento galvânico, de forma a garantir a manutenção da integridade do sistema de controlo. Por outro lado, o circuito de *driver* também pode ser visto como um circuito amplificador de potência, que tem o objetivo amplificar os sinais de comando enviados pelo DSP, para que seja possível atuar dispositivos que carecem de sinais de comando com especificações de tensão e corrente superiores às que o DSP proporciona.

Durante o desenvolvimento deste protótipo, optou-se pela utilização de um circuito de *driver* *ADUM3223* fabricado pela *Analog Devices*, uma vez que este circuito está disponível na versão SMD pelo que se torna ideal para o desenvolvimento de equipamentos compactos, tal como é o objetivo do protótipo desenvolvido ao longo desta dissertação. Este circuito integrado possui dois potenciais isolados e pode operar com frequências de comutação até 1 MHz, valor bastante superior à frequência de 100 kHz com que se pretende comutar os semicondutores de potência [75]. Assim, este circuito integrado torna-se bastante atrativo para o desenvolvimento de circuitos responsáveis pela atuação de semicondutores de potência localizados no mesmo braço do inversor.

O *ADUM3223* pode ser sujeito a diferenças de potencial de 800 V entre o lado primário e secundário, e garante a existência de isolamento galvânico para diferenças de potencial inferiores a 3 kV para períodos de tempo inferiores a 1 minuto. Este circuito integrado deve ser alimentado com tensões entre 3,3 V e 5 V.

As saídas do *driver* carecem de fontes de alimentação externa, pelo que numa fase inicial do projeto recorreu-se à utilização de conversores isolados CC-CC do tipo *TMA0515S* fabricados pela *Traco Power*. Estes conversores devem ser alimentados com tensões de 5 V e disponibilizam uma tensão de saída de 15 V. Outro fator que tem de ser levado em conta é o isolamento galvânico que estes conversores disponibilizam, uma vez que o conversor CC-CC se encontra em paralelo com o dispositivo de *driver*, logo, pode comprometer o isolamento garantido pelo *driver*. Tendo isto em consideração, numa fase inicial do projeto considerou-se que o isolamento galvânico para tensões contínuas de 1 kV seria suficiente para garantir a integridade do sistema. No entanto, numa fase mais

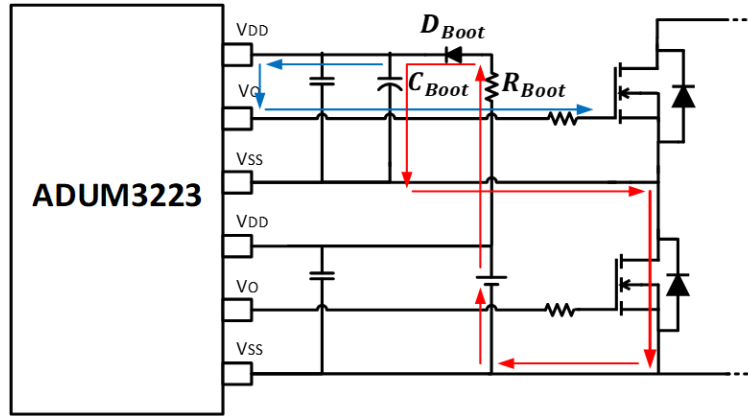
adiantada do projeto, percebeu-se que o facto deste conversor possuir uma capacidade de isolamento de 60 pF coloca em causa o isolamento que se deseja garantir entre a parte de potência e a parte de controlo do sistema, fazendo com que se perca o benefício da utilização de *drivers* com 2 pF de capacidade de isolamento. Isto, porque ao contrário do que havia sido considerado numa fase inicial, o isolamento de 1 M Ω entre o lado primário e secundário de conversor, só é garantido para modos de operação com tensões contínuas [75]. O valor de 60 pF que o fabricante nos fornece é relativo ao funcionamento do conversor quando sujeito a ondas sinusoidais, pelo que se percebe que neste caso, o valor da impedância diminui ainda mais, uma vez que as ondas quadradas são resultado do somatório de múltiplas ondas sinusoidais. Isto, levou à substituição dos conversores *TMA0515S* pelos conversores *MEJ1S1515SC* do fabricante *muRata*, uma vez que estes conversores apresentam uma capacidade de isolamento de 3 pF, o que faz com que o isolamento aumente significativamente [76].

A alteração efetuada no valor da tensão de alimentação dos conversores CC-CC, dos 5 V para os 15 V, deve-se ao facto de a fonte de alimentação utilizada apenas fornecer valores entre -15 V, 0 V e 15 V. Desta forma evita-se o aumento da corrente e o conseqüente aumento da potência dissipada no regulador *LM7805*. Através desta estratégia, o regulador linear fica apenas encarregue de fornecer o potencial de 5 V aos circuitos integrados *ADUM3223*.

Tendo em vista a compactação do equipamento desenvolvido, bem como a redução do número de conversores CC-CC utilizados por cada braço do inversor, implementou-se um circuito de *bootstrap*.

O circuito de *bootstrap* consiste num condensador, C_{Boot} , um diodo, D_{Boot} e uma resistência, R_{Boot} , para limitar a queda de tensão no diodo. Este é utilizado para fornecer a energia necessária para os *drivers* da *gate* que, por sua vez, atuam o semicondutor de potência da parte superior de um braço do inversor.

Quando o semicondutor da parte superior do braço do inversor é desligado e o semicondutor da parte inferior é ligado, a fonte de alimentação carrega o condensador, C_{Boot} , através da resistência, R_{Boot} e do diodo, C_{Boot} . Na Figura 4.26 destaca-se a vermelho o caminho percorrido pela corrente de carga, C_{Boot} . Por sua vez, a carga do condensador, C_{Boot} , funciona como uma fonte de energia para o *ADUM3223*, acionando a *gate* do semicondutor do lado superior do braço do inversor através do caminho da corrente de descarga, destacado a azul.


 Figura 4.26 Circuito de *bootstrap*.

De seguida, apresenta-se o cálculo passo a passo dos valores dos componentes do circuito de *bootstrap*.

Para simplificar o cálculo descarta-se o valor dos condensadores de desacoplamento do *ADUM3223*, dado que possuem uma capacidade muito menor do que o condensador, C_{Boot} .

No que diz respeito ao condensador de *bootstrap*, C_{Boot} , é necessário garantir que este armazene energia suficiente para suprimir o consumo de energia requerido pelo circuito de *driver* da *gate* e da carga necessária para ativar o semicondutor no lado superior do braço do inversor. Assim, a carga total requerida durante este período é dada pela equação 4.16.

$$Q_{Total} = Q_G + I_{DD}T_{ON} \quad (4.16)$$

Onde as variáveis anteriormente representadas na equação 5.1 tem os seguintes significados:

- Q_{Total} – Carga total;
- Q_G – Carga da *gate* do semicondutor;
- I_{DD} – Corrente máxima consumida pelo lado secundário de cada um dos *drivers*;
- T_{ON} – Período de tempo em que o semicondutor *S1* permanece ligado;

Através da consulta do *datasheet* do semicondutor *C3M0120090D* verifica-se que Q_G toma o valor de 17,3 nC. Enquanto que o valor da corrente máxima consumida pelo lado secundário de cada um dos *drivers*, I_{DD} , é de 8 mA. Sabendo o valor de I_{DD} , e considerando que no pior caso o semicondutor, *S1*, fica ligado durante 9 μ s. Isto, porque se pretende uma frequência de comutação igual a 100 kHz e um *duty-cycle* máximo de 90 %. Desta forma, obtém-se o valor da carga necessária para o funcionamento do *driver*, sendo que esse valor é de 72 nC. Assim, fazendo a soma da carga necessária para cada comutação, obtém-se um valor de carga igual a 89,3 nC.

O próximo fator que é necessário considerar é o valor máximo para o *ripple* da tensão, ΔV_{Boot} . Neste caso o principal fator a considerar é a tensão mínima necessária para saturar o semicondutor, V_{GSmin} . Caso a tensão aplicada ao semicondutor seja insuficiente, as perdas no semicondutor aumentam significativamente. Tendo isto em consideração, optou-se pela realização de um dimensionamento que permitisse obter um valor de *ripple* de 1 %, que corresponde a uma variação na tensão de alimentação do circuito de *bootstrap* igual a 0,15 V.

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{Boot}} \quad (4.17)$$

A aplicação direta da expressão 4.17 permite obter o valor de C_{Boot} , no entanto, este valor pode ser desprezado, uma vez que o datasheet do *ADUM3223* recomenda a utilização de condensadores de desacoplamento nos pinos de entrada e de saída. Sendo que, é recomendável a utilização de um condensador cerâmico com valores compreendidos entre 0,01 μ F e 0,1 μ F. Além disso também se recomenda a colocação de um condensador de 10 μ F aos terminais de cada alimentação, de modo a fornecer a carga necessária para acionar a capacitância das saídas do *ADUM3223*. Assim, optou-se pela utilização de um par de condensadores, formado por um condensador cerâmico de 0,1 μ F e um condensador eletrolítico de 10 μ F.

A resistência, R_{Boot} , limita a corrente de carga do C_{Boot} e evita a sobrecarga do condensador. O valor de R_{Boot} , no entanto, não deve ser muito alto, pois isso aumentaria o tempo necessário para efetuar o carregamento do condensador. Supondo que o condensador se encontra totalmente carregado após 4τ , a resistência R_{Boot} é limitada pela expressão 4.18.

$$R_{Boot} < \frac{T_{OFF}}{(4 \times C_{Boot})} \quad (4.18)$$

O diodo de *bootstrap* tem como função principal bloquear a tensão do barramento de alimentação, quando o semicondutor S1 é atuado. O diodo utilizado neste circuito deve apresentar uma tensão de bloqueio, V_{DC} , superior à tensão do barramento de alimentação e deve apresentar um tempo de recuperação bastante rápido, quando se encontra em condução deve apresentar uma queda de tensão reduzida. Tendo isto em consideração, optou-se pela utilização de um diodo *BY299*. Este diodo apresenta um tempo máximo de recuperação reversa (t_{rr}) igual a 145 ns, em condução apresenta uma queda de tensão (V_F) de 1,85 V e pode suportar tensões de 600 V [77]. Apesar de se ter a noção que este diodo está bastante sobredimensionado, esta escolha deveu-se ao material disponível para a implementação do protótipo.

4.14 Conclusão

Ao longo deste capítulo procedeu-se à apresentação do hardware desenvolvido para implementar o protótipo do Filtro Ativo Paralelo com topologia *interleaved*.

Inicialmente, realizou-se uma breve apresentação sobre a organização e disposição dos componentes na PCB do sistema de controlo. De seguida, foram apresentados os cálculos relativos ao dimensionamento das resistências dos sensores de tensão e de corrente. Uma vez abordado este tema, procedeu-se à apresentação do DSP utilizado para processar os dados adquiridos pelos periféricos e interpretá-los de acordo com o algoritmo de controlo implementado. Também, foram apresentados os circuitos utilizados pelo realizar o condicionamento dos sinais adquiridos pelos sensores. De seguida, apresentou-se o circuito deteção de erros por hardware, bem como, uma forma de tirar o máximo partido da topologia através do aproveitamento da redundância do sistema.

A PCB de controlo foi desenvolvida no âmbito desta dissertação, tendo como objetivo a compactação do sistema. Assim, estipulou-se que a mesma, deveria apresentar o mesmo tamanho da placa de suporte da DSP, que já se encontrava desenvolvida pelo laboratório do GEPE. Isto, para que fosse possível colocá-la sobre a placa de suporte da DSP, de modo a otimizar o espaço que a disposição das próprias PCBs implicaria.

Numa segunda fase, realizou-se uma breve apresentação sobre a primeira e segunda versão da PCB dedicada ao sistema de potência, bem como da organização dos componentes no hardware desenvolvido. De seguida, foram apresentados alguns dos principais componentes constituintes do sistema de potência. Seguidamente, apresentaram-se as equações e o respetivo dimensionamento dos componentes necessários à implementação do circuito de *bootstrap*.

As PCBs do sistema de potência foram desenvolvidas no âmbito desta dissertação, tendo como objetivo a compactação do sistema. Através da observação do hardware percebe-se que, do ponto de vista construtivo, o hardware encontra-se proporcional à PCB do sistema de controlo e poderá servir de suporte às bobinas de acoplamento à rede elétrica, tal como tinha sido planeado numa fase inicial do projeto.

Capítulo 5

Resultados Experimentais do Filtro Ativo Paralelo com Topologia *Interleaved*

5.1 Introdução

Ao longo deste capítulo são apresentados os resultados experimentais obtidos através do protótipo de FAPP *interleaved* desenvolvido no âmbito desta dissertação. Inicialmente, realizou-se o teste da técnica de modulação em malha aberta. De seguida, apresentam-se os resultados obtidos através da implementação da técnica de controlo de corrente. Após a apresentação dos resultados anteriormente referidos, expõem-se os resultados obtidos através da implementação do algoritmo de sincronização com a rede elétrica. Seguidamente, realiza-se a apresentação dos diversos testes realizados com o inversor sincronizado com a rede elétrica, desde o teste em que inversor se encontra a injetar energia na rede elétrica, regulação do barramento CC, modo de funcionamento *interleaved* como FAPP até ao modo de funcionamento parcial do FAPP. Por último, realiza-se uma breve análise ao circuito de *driver*.

5.2 Resultados da Técnica de Modulação

A técnica de modulação foi validada através da utilização de uma referência de 50 Hz com um índice de modulação de 30 %. Esta referência de 50 Hz foi partilhada entre os dois módulos do inversor. Na Figura 5.1 pode-se observar os 3 níveis de tensão que a modulação unipolar permite obter.

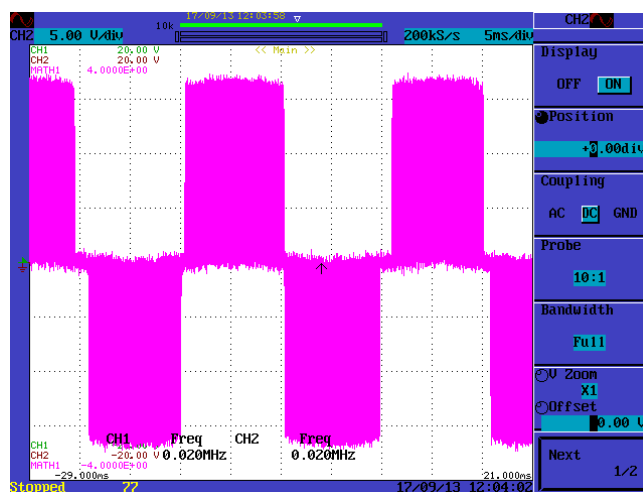


Figura 5.1 Resultado experimental da modulação unipolar.

Na Figura 5.2 é possível visualizar o desfasamento de 180° entre o *ripple* dos sinais sintetizados pelos dois módulos. Nesta figura a corrente sintetizada pelo módulo 1 encontra-se identificada como i_{f1} e a corrente sintetizada pelo módulo 2 encontra-se identificada como i_{f2} .

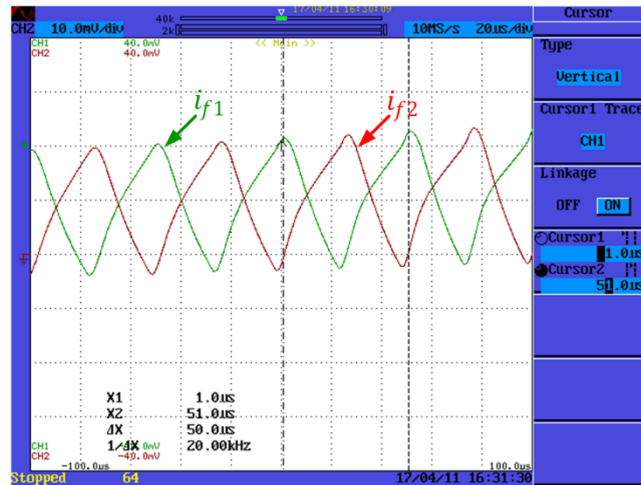


Figura 5.2 Desfasamento do *ripple* em dois módulos com as ondas portadoras desfasadas 180° .

5.3 Resultados da Técnica de Controlo de Corrente Sem Ligação à Rede Elétrica

Nesta secção apresentam-se os resultados obtidos através do teste de controlo de corrente sem ligação à rede elétrica. Como o inversor não se encontra conectado à rede elétrica, facilmente se percebe que a equação responsável pela aplicação do controlo preditivo deve ser modificada, de forma a que contemple o facto da queda de tensão no inversor ser igual à soma da queda de tensão na bobina com a queda de tensão na resistência. Durante a realização destes testes, utilizou-se um conjunto resistivo de 13Ω e um conjunto de quatro bobinas idênticas à bobina com núcleo de ferro apresentada na secção 4.12.

Ao longo da realização do teste de controlo de corrente sem ligação à rede elétrica, definiu-se uma frequência de comutação de 20 kHz e uma corrente de referência de 1 A de pico para cada um dos módulos. Na Figura 5.3 encontra-se o resultado do controlo de corrente preditivo num estado de regime permanente. Nesta figura pode ver-se a corrente sintetizada pelo módulo 1 encontra-se identificada como i_{f1} e a corrente sintetizada pelo módulo 2 encontra-se identificada como i_{f2} , a corrente total sintetizada pelo inversor é calculada através da funcionalidade matemática do osciloscópio. É possível constatar que, derivado do funcionamento *interleaved*, a corrente total apresenta uma amplitude de *ripple* inferior ao da corrente sintetizada pelos módulos individualmente.

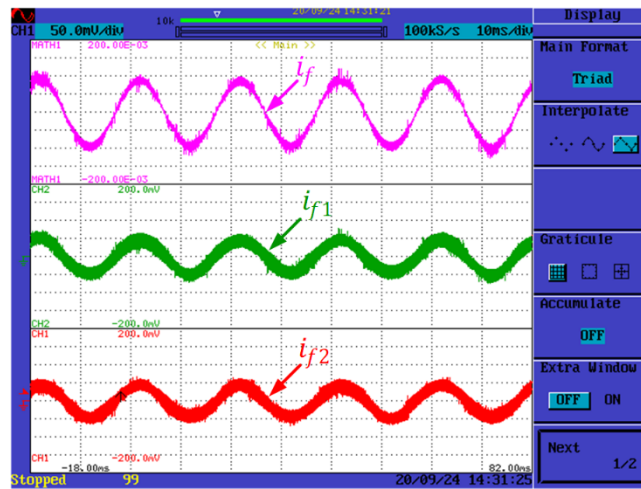


Figura 5.3 Resultado experimental do controlo de corrente preditivo *interleaved* sem ligação à rede elétrica.

5.4 Sincronização com a Rede Elétrica

Tal como foi referido na secção 3.4, o funcionamento do FAP carece de um algoritmo de sincronização com a rede elétrica que lhe forneça uma referência sinusoidal sem componentes harmónicas na sua constituição. Na Figura 5.4 apresenta-se o resultado obtido através da implementação do algoritmo de controlo apresentado na secção 3.4. Através desta figura comprova-se que a rede elétrica, v_S , se encontra distorcida, no entanto a PLL fornece um valor de referência sinusoidal, v_{PLL} .

A monitorização das variáveis presentes na Figura 5.4 foi realizada através de um DAC. Uma vez que este equipamento apresentava um ligeiro *offset* nas variáveis de saída e, sabendo que nenhuma destas variáveis possui valor médio, colocou-se o osciloscópio na sua funcionalidade AC, para que fosse possível observar a sobreposição dos sinais de forma a conseguir comprovar que se encontravam sincronizados.

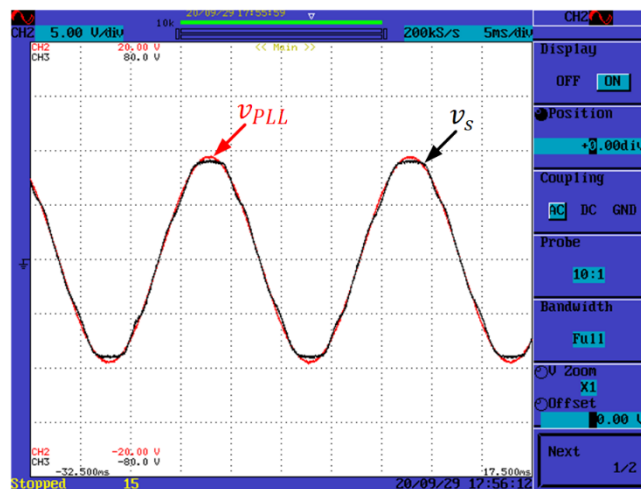


Figura 5.4 Resultado experimental do cálculo da PLL em regime permanente.

5.5 Resultados da Técnica de Controlo de Corrente Com Ligação à Rede Elétrica

Nesta secção são apresentados os resultados dos testes que antecederam a implementação do funcionamento do inversor como FAPP. Durante a realização destes testes utilizou-se uma fonte de tensão para colocar uma tensão de 60 V aos terminais do barramento CC.

Todos os resultados apresentados ao longo desta secção são referentes a um estado de regime permanente em que o inversor se encontra sincronizado com a rede elétrica e a comutar os semicondutores com uma frequência de comutação de 20 kHz.

5.5.1 Injetar Energia na Rede Elétrica

Este teste foi realizado com o objetivo de comprovar que o FAPP é capaz de seguir o valor da variável de referência fornecida pelo algoritmo de controlo. Para realizar este teste, utilizou-se um transformador para garantir isolamento galvânico, bem como, baixar a tensão da rede para os 27,5 V. Considerando este valor de tensão, facilmente se percebe que após se efetuar a ligação do transformador, o barramento do inversor fica carregado com uma tensão de 39 V. Assim, optou-se pela utilização de uma fonte de tensão para colocar 60 V aos terminais do barramento CC.

Após a realização do sincronismo com a rede elétrica, forneceu-se uma referência de 2 A de pico, tal como se pode constatar na Figura 5.5. Nesta figura pode ver-se que a corrente fornecida, i_f , se encontra em oposição de fase com tensão na rede elétrica, v_s . Também é possível visualizar a evolução do valor da variável de referência fornecida ao módulo 1, i_{ref_M1} , e comprovar que apresenta metade do valor sintetizado pelo inversor. Através desta figura, comprova-se que a corrente sintetizada pelo inversor segue a variável de referência e pode injetar corrente na rede elétrica.

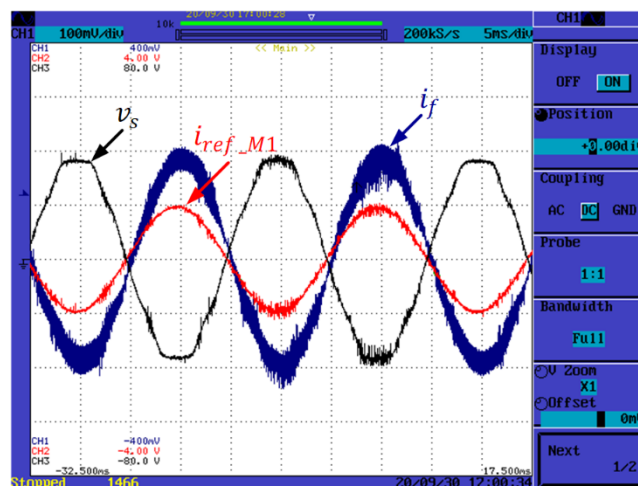


Figura 5.5 Resultado experimental do fornecimento de energia à rede elétrica.

5.5.2 Injetar Energia na Rede Elétrica mais 3º Harmónico

Este teste foi realizado com o objetivo aferir a performance do inversor numa situação em que fornece potência harmónica à rede elétrica. Para realizar este teste, utilizou-se um transformador para baixar a tensão da rede para os 27,5 V. Considerando este valor de tensão, facilmente se percebe que após se efetuar a ligação do transformador, o barramento do inversor fica carregado com uma tensão de 39 V. Assim, optou-se pela utilização de uma fonte de tensão para colocar 60 V aos terminais do barramento CC.

De modo injetar uma corrente com conteúdo harmónico na rede elétrica, forneceu-se uma variável de referência composta por uma componente fundamental com 2 A de pico e uma componente de 3º harmónico com 1 A de pico. Na Figura 5.6 pode-se observar a presença de 3º harmónico, bem como a componente fundamental da onda sintetizada. Sendo que, a componente fundamental encontra-se em oposição de fase com a tensão da rede elétrica.

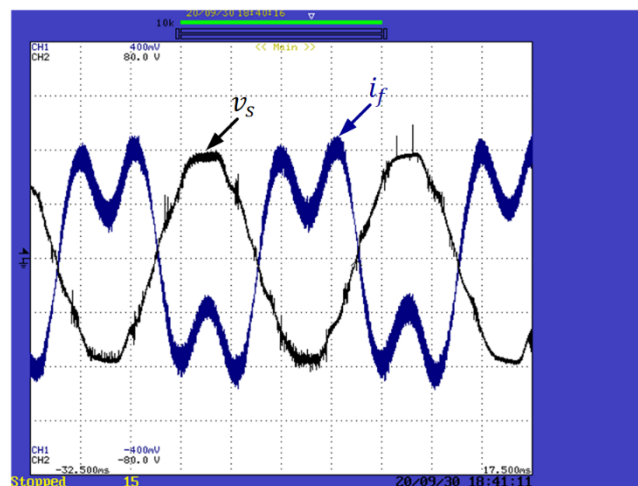


Figura 5.6 Resultado experimental do fornecimento de uma corrente com conteúdo harmónico para a rede elétrica.

5.6 Regulação da Tensão no Barramento CC

A regulação da tensão no barramento é iniciada através de um sistema de pré-carga, de modo a evitar a corrente de *in-rush* no momento de acionamento transformador de ligação à rede elétrica. Através deste sistema de carregamento, o barramento CC fica carregado com a tensão de pico.

Após o momento em que o barramento CC apresenta o mesmo valor da tensão de pico da rede elétrica, dá-se início às comutações dos semicondutores de potência. Sendo que, os sinais que atuam estes semicondutores são calculados pelo algoritmo de controlo, de forma a que o barramento CC permaneça com o valor de tensão indicado pela variável de referência.

Inicialmente optou-se pela utilização de um transformador para reduzir o valor de tensão da rede elétrica para 27,5 V. Isto fez com que o barramento fica-se carregado com uma tensão de aproximadamente 39 V. Tendo em consideração este valor de pico, estipulou-se um valor de 70 V para a tensão de referência. Na Figura 5.7 apresenta-se o resultado prático obtido através da regulação da tensão no barramento CC, v_{CC} . Através da observação desta figura percebe-se que, à semelhança dos resultados obtidos em simulação, a tensão do barramento é regulada através de um estado de *soft-start*. Também se pode comprovar que após o estado de *soft-start*, o barramento permanece estável e com o valor de tensão definido pela variável de referência.

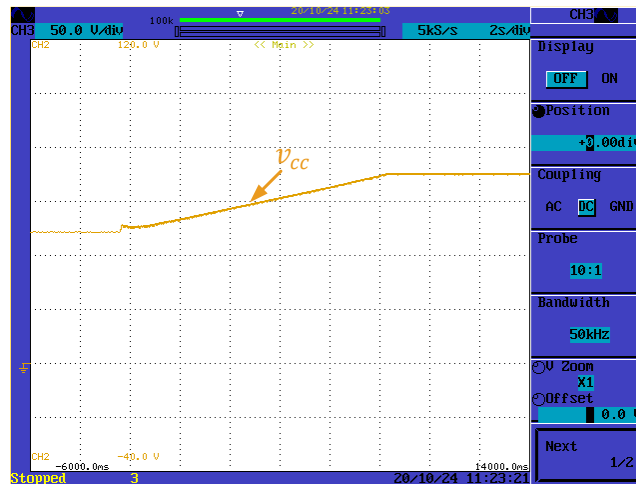


Figura 5.7 Resultado experimental da regulação da tensão no barramento CC por intermédio de um estado de *soft-start*.

Como forma de verificar que a regulação no barramento CC permaneceria estável durante o fornecimento de potência harmónica, optou-se por aferir a performance do inversor numa situação hipotética onde existiria uma demanda por uma componente de 3º harmónico com 2 A de pico. Através do resultado apresentado na Figura 5.8 comprovou-se que seria possível regular o barramento CC e fornecer a componente harmónica simultaneamente. Desta forma, verificou-se que estavam reunidas as condições para o inversor operar como FAPP.

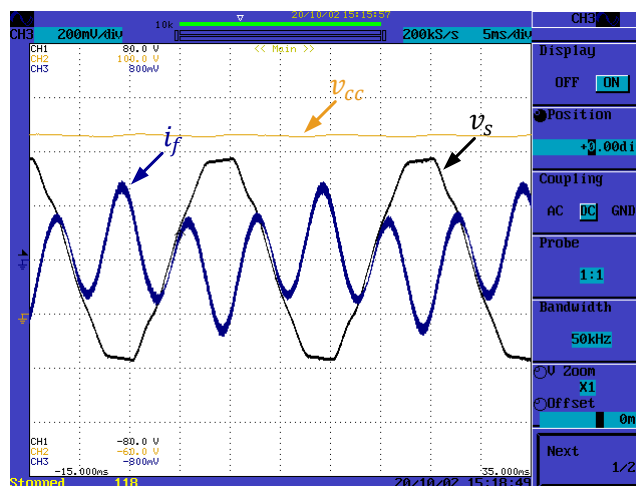


Figura 5.8 Resultado experimental da regulação da tensão no barramento e fornecimento de 3º harmónico para a rede elétrica.

5.7 Resultados do Funcionamento como FAPP com topologia *Interleaved*

Nesta secção apresentam-se os resultados relativos ao funcionamento do inversor a operar como FAPP *interleaved*. Todos os resultados apresentados ao longo desta secção são referentes a um estado de regime permanente em que o inversor se encontra sincronizado com a rede elétrica.

Inicialmente, apresentam-se dois resultados referentes a testes em que o FAPP se encontra a compensar fator de potência. De seguida, apresentam-se vários resultados relacionados com o estado de compensação harmónica obtidos através da utilização diferentes tensões e frequências de comutação.

Através da informação fornecida pelos LEDs indicados na Figura 5.9 percebe-se que todos os braços do inversor se encontram habilitados. Desta forma, facilmente se percebe que o inversor se encontra habilitado para funcionar no modo *interleaved*.

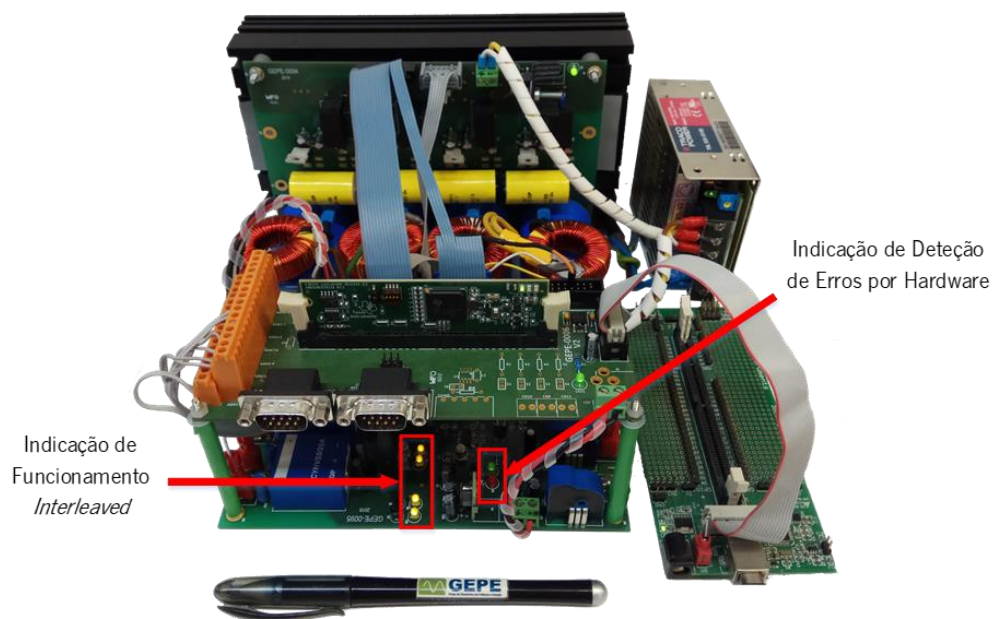


Figura 5.9 Indicação do funcionamento no modo *interleaved*.

5.7.1 Resultados com Carga RL

Uma vez que numa fase inicial existiu a intenção de validar o funcionamento do sistema quando se opera com cargas lineares, observou-se do comportamento do FAPP num sistema com uma carga RL. Assim, foi possível aferir a performance do FAPP em aplicações de compensação de fator de potência. Na Figura 5.10 é possível visualizar a forma de onda da corrente consumida por uma carga com uma resistência de 13 Ω e indutância de 54 mH.

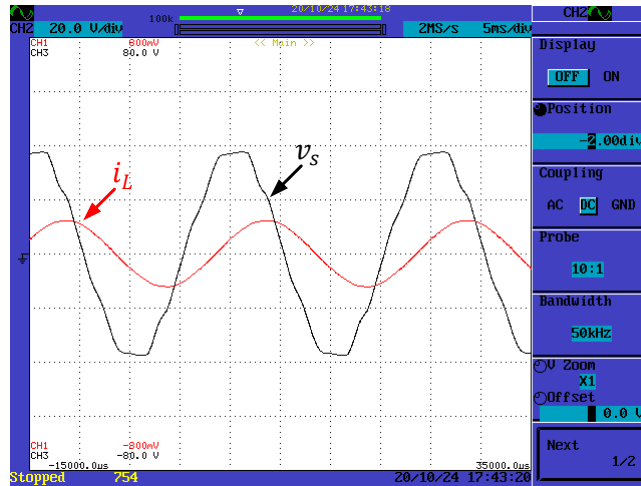


Figura 5.10 Forma de onda da corrente consumida pela carga indutiva ligada a uma rede de 27,5 V.

Através da observação do resultado experimental apresentado na Figura 5.11 verifica-se que devido à compensação realizada pelo FAPP, a corrente i_s fica em fase com a tensão da rede elétrica e permanece com uma forma de onda sinusoidal. Nesta figura também é possível comprovar que o barramento CC permanece nos 70 V e apresenta grande estabilidade.

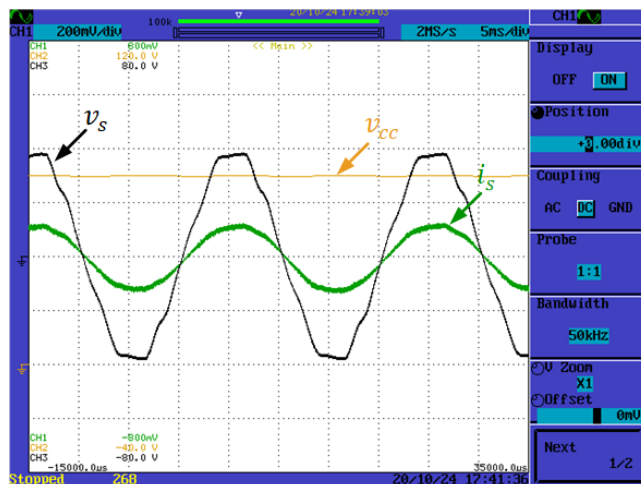


Figura 5.11 Resultado experimental do FAPP a compensar o desfasamento provocado por uma carga indutiva ligada a uma rede de 27,5 V.

Na Figura 5.12 pode ver-se que corrente na rede resulta da sobreposição da corrente na carga com a corrente no FAPP. Isto, porque a senoide representada a cor-de-rosa foi obtida através da soma da corrente de compensação com a corrente da carga. Para tal, recorreu-se à funcionalidade matemática do osciloscópio. É facilmente perceptível que a forma de onda calculada matematicamente pelo osciloscópio se encontra em fase com a tensão da rede elétrica e apresenta a mesma forma da corrente representada na Figura 5.11.

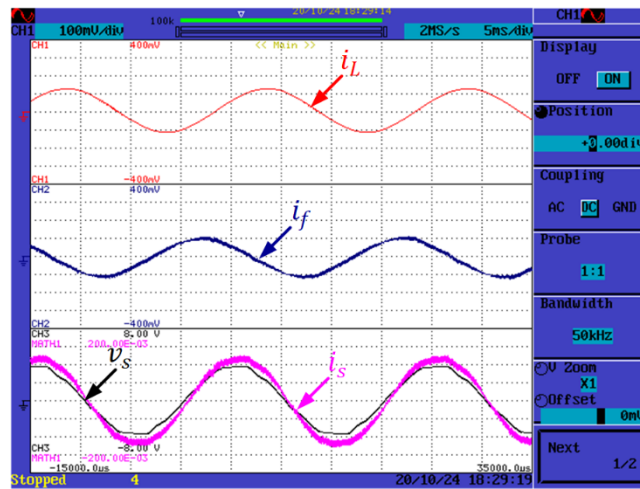


Figura 5.12 Formas de onda das correntes na carga, compensação, rede e forma de onda da tensão na rede com 27,5 V de valor eficaz.

Como a corrente de compensação total resulta da sobreposição das correntes de compensação sintetizadas pelos módulos a operar no modo de funcionamento *interleaved*, através da Figura 5.13 fornece-se uma visão mais detalhada do *ripple* corrente de compensação, i_f , e da corrente sintetizada pelo módulo 1, i_{f1} , e pelo módulo 2, i_{f2} . Através deste resultado, comprova-se o efeito do cancelamento do *ripple* proporcionado pela configuração *interleaved*, bem como a duplicação da frequência de *ripple* para os 80 kHz.

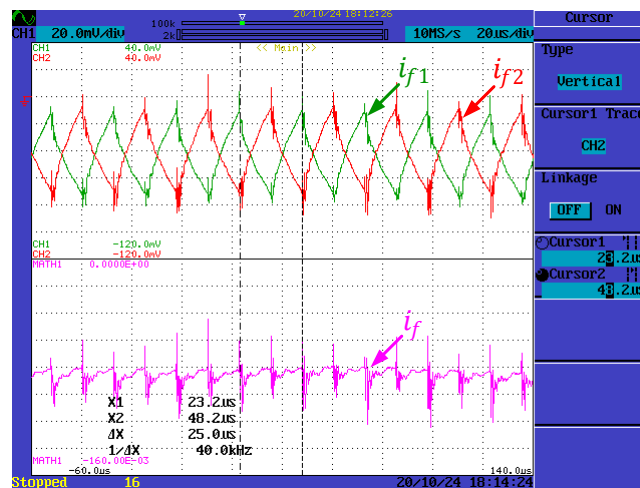


Figura 5.13 Efeito do funcionamento do *interleaved* sobre o *ripple* da corrente de compensação utilizada para compensar fator de potência.

5.7.2 Resultados com Retificador com Carga RC

Este teste foi realizado com o objetivo de aferir a performance do FAPP em aplicações de compensação harmónica. Tendo em consideração que os retificadores com carga RC são um tipo de carga não linear que é utilizada em diversos equipamentos eletrónicos, observou-se o desempenho do FAPP em paralelo com uma carga deste tipo. Ao longo destes testes utilizaram-se diversos valores de tensão,

frequência de comutação e bobinas para realizar acoplamento do inversor à rede elétrica. Desta forma, ao longo desta secção apresentam-se os diversos resultados obtidos durante a realização dos testes experimentais.

Inicialmente, utilizou-se um transformador para baixar a tensão da rede para os 27,5 V e observou-se o comportamento do protótipo numa situação em que se encontrava a operar com uma frequência de comutação de 40 kHz e com bobinas de acoplamento de 520 μH . Na Figura 5.14 é possível visualizar a forma de onda da tensão na rede e da corrente consumida por um retificador com uma carga de 26 Ω e 628 μF em paralelo com uma carga resistiva de 26 Ω .

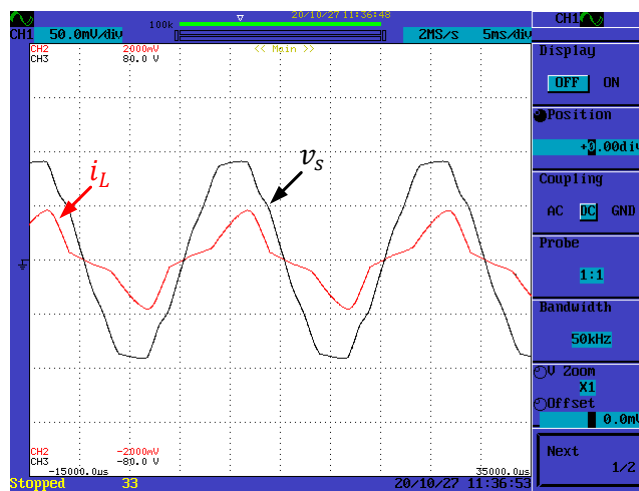


Figura 5.14 Forma de onda tensão de 27,5 V no secundário do transformador e da corrente consumida pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26 Ω .

Como no instante inicial o barramento CC fica carregado com a tensão de pico mais a tensão de *bootstrap*, optou-se por efetuar a regulação da tensão do barramento CC para os 70 V. Através da Figura 5.15 verifica-se que a corrente da rede assume uma forma de onda aproximadamente sinusoidal e a tensão do barramento permanece estável nos 70 V.

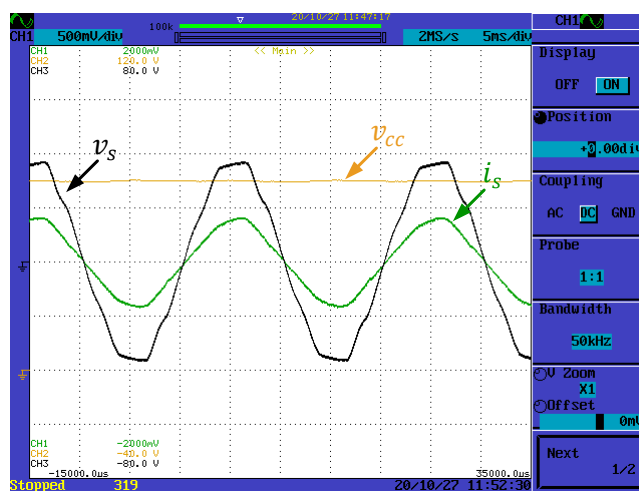


Figura 5.15 Corrente na rede com o FAPP a compensar os harmónicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26 Ω .

Na Figura 5.16 encontram-se as formas de onda das correntes de compensação sintetizada pelo FAPP no modo *interleaved*. Através da observação desta figura pode-se constatar que a corrente de compensação resulta da sobreposição das correntes sintetizadas por cada um dos módulos. Adicionalmente, percebe-se o funcionamento *interleaved* leva a que a corrente de compensação apresente uma amplitude de *ripple* menos significativa do que a amplitude de *ripple* apresentada pela corrente sintetizada por cada um dos módulos individualmente.

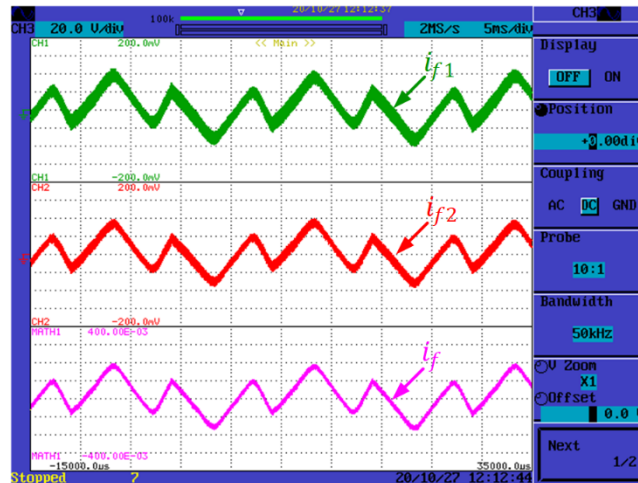


Figura 5.16 Resultado experimental da sobreposição das correntes de compensação sintetizadas pelos módulos do FAPP com topologia *interleaved*.

Na Figura 5.17 pode-se comprovar que corrente na rede, i_s , resulta da sobreposição da corrente na carga, i_L , com a corrente no FAP, i_f . Isto, porque a senoide representada a cor-de-rosa foi obtida através da soma da corrente de compensação com a corrente da carga, para tal recorreu-se à funcionalidade matemática do osciloscópio. Nesta figura é perceptível que a forma de onda calculada matematicamente pelo osciloscópio apresenta uma forma de onda sinusoidal e encontra-se sincronizada com a tensão da rede, v_s .

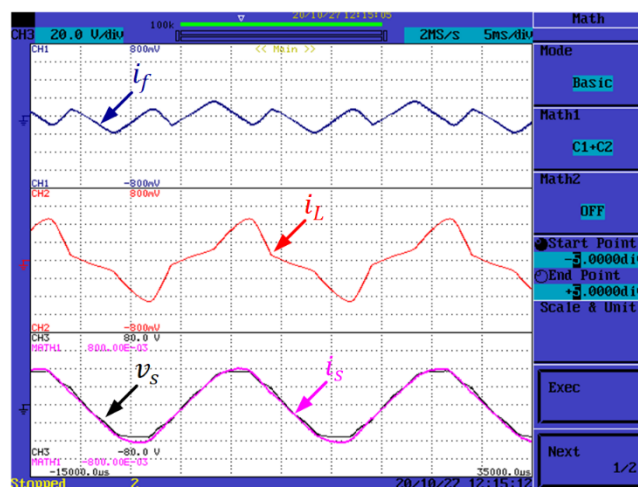


Figura 5.17 Resultado experimental da corrente de compensação sintetizada pelo FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de 27,5 V.

De seguida, houve a intenção de elevar a tensão a que o protótipo estava sujeito. Para tal, utilizou-se um transformador para baixar a tensão da rede para os 54,5 V. No entanto, o aumento da tensão fez com que houvesse um aumento das interferências eletromagnéticas, e conseqüentemente, provocou a interrupção do funcionamento do DSP. Assim, optou-se por proceder à redução da frequência de comutação para tentar solucionar o problema. Através da frequência de comutação para os 30 kHz, foi possível reduzir as interferências eletromagnéticas e prosseguir a realização dos testes experimentais.

Na Figura 5.18 apresenta-se a forma de onda da corrente na carga e da tensão na rede elétrica, bem como a tensão no barramento CC. Na Figura 5.19 é possível observar as formas de onda das correntes de compensação sintetizada pelo FAPP.

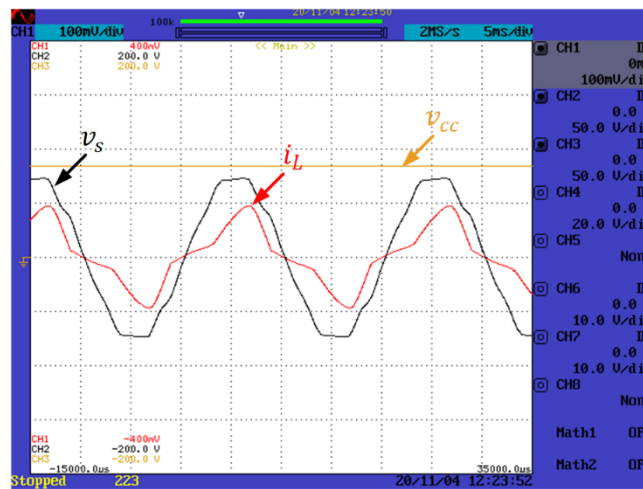


Figura 5.18 Forma de onda da tensão de 54,5 V no secundário do transformador e da corrente consumida pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .

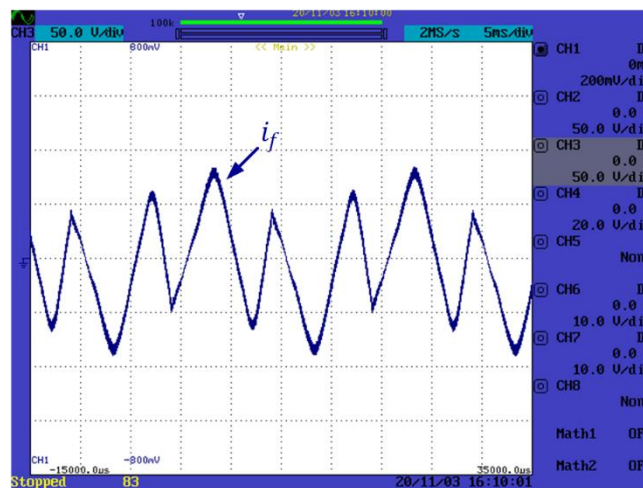


Figura 5.19 Resultado experimental das correntes de compensação sintetizadas pelo FAPP a operar com uma frequência de comutação de 30 kHz.

Através da observação da Figura 5.20 pode ver-se, mais detalhadamente, a frequência de *ripple* proporcionada pelo modo de funcionamento *interleaved*. Repare-se que o *ripple* da corrente sintetizada

pelo FAPP encontra-se em torno de 60 kHz, ou seja, precisamente o dobro da frequência de comutação utilizada para a obtenção deste resultado experimental.

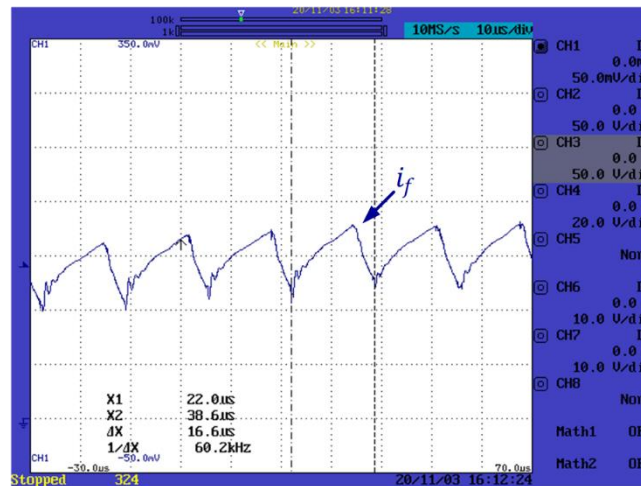


Figura 5.20 Detalhe do *ripple* de 60 kHz da corrente de compensação sintetizada pelo FAPP no modo *interleaved*.

Tal como foi referido anteriormente, no instante inicial, o barramento CC fica carregado com a tensão de pico mais a tensão de *bootstrap*. Tendo isto em consideração, optou-se por efetuar a regulação da tensão do barramento CC para os 110 V. Através da observação da Figura 5.21 verifica-se que a corrente da rede assume uma forma de onda aproximadamente sinusoidal e a tensão do barramento permanece estável nos 110 V.

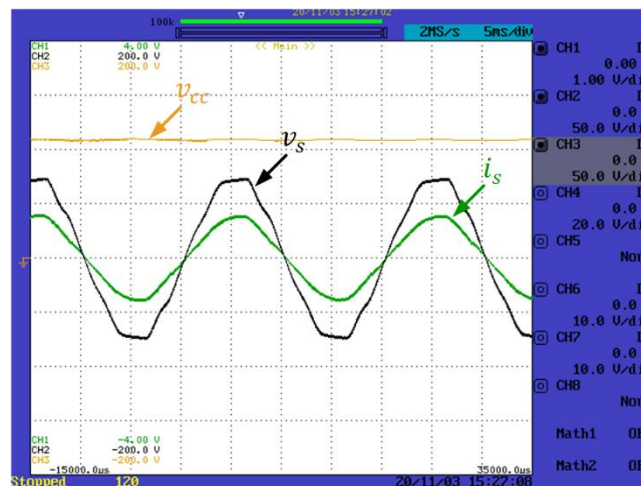


Figura 5.21 Resultado experimental do FAPP a compensar os harmónicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de 54,5 V.

Após a validação do funcionamento do protótipo através da sua conexão a uma rede de 54,5 V, optou-se por se substituir as bobinas com núcleo de ferrite, por uma bobinas com núcleo de pó de ferro. Isto, para que fosse possível convergir para uma solução mais compacta, tal como o é o objetivo do protótipo desenvolvido no âmbito desta dissertação. Repare-se que não se optou pela alteração da frequência de comutação utilizada anteriormente, de modo a facilitar a comparação com os resultados

que já tinham sido obtidos através dos testes realizados anteriormente. Na Figura 5.22 pode ver-se a forma de onda da tensão na rede elétrica, bem como a corrente de compensação sintetizada pelo FAPP e tensão aos terminais do barramento CC.

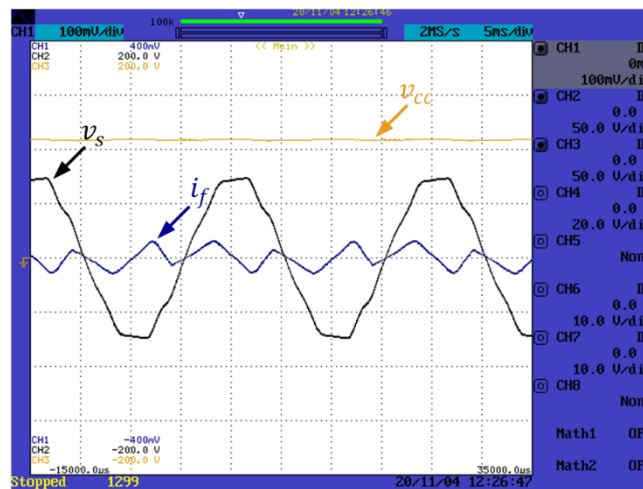


Figura 5.22 Resultado experimental da corrente de compensação sintetizada pelo FAPP a compensar os harmónicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de 54,5 V.

Através da observação da Figura 5.23 pode ver-se, um pouco mais detalhadamente, o *ripple* da corrente de compensação resultante do modo de funcionamento *interleaved*. Repare-se que o *ripple* da corrente sintetizada pelo FAPP encontra-se em torno de 60 kHz, ou seja, precisamente o dobro da frequência de *ripple* apresentada pelas correntes de compensação geradas pelos dois módulos que constituem o inversor.

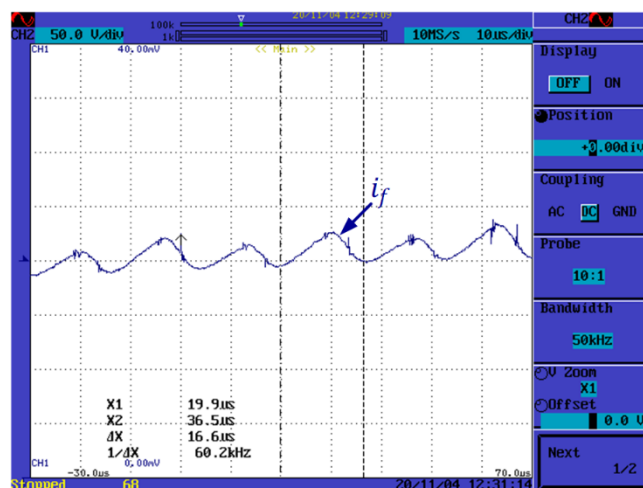


Figura 5.23 Detalhe do *ripple* de 60 kHz da corrente de compensação sintetizada pelo FAPP no modo *interleaved*.

Tal como foi referido anteriormente, no instante inicial o barramento CC fica carregado com a tensão de pico da rede mais a tensão de *bootstrap*. Tendo isto em consideração, optou-se por efetuar a regulação da tensão do barramento CC para os 110 V. Através da observação da Figura 5.24

verifica-se que a corrente da rede assume uma forma de onda aproximadamente sinusoidal e a tensão no barramento CC permanece nos 110 V.

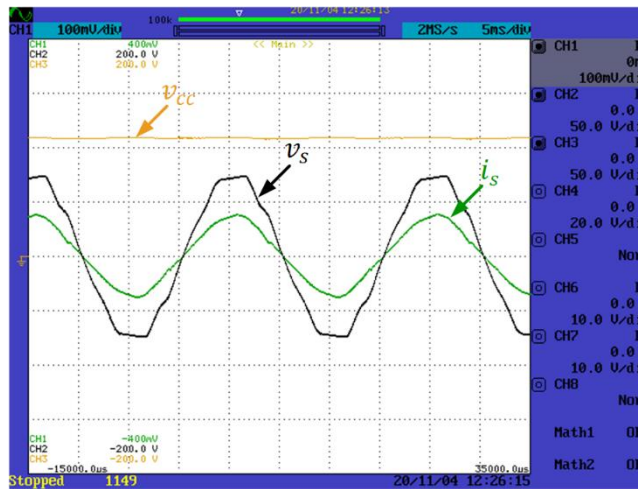


Figura 5.24 Resultado experimental do FAPP a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω ligado a uma rede de 54,5 V.

Após a substituição das bobinas com núcleo de ferro pelas bobinas com núcleo de pó de ferro e à validação do funcionamento FAPP a operar com uma frequência 30 kHz conectado a uma rede com uma tensão de 54,5 V, optou-se por retomar a uma frequência de comutação de 40 kHz e observar a performance do FAPP.

Na Figura 5.25 pode-se observar a tensão do barramento CC, v_{cc} , a forma de onda da tensão da rede, v_s , corrente de compensação, i_f , e corrente da rede, i_s . Na Figura 5.26 pode-se observar a forma de onda da tensão da rede, corrente da carga, corrente de compensação e corrente da rede. Na Figura 5.27 pode ver-se detalhadamente a evolução das mesmas variáveis representadas na Figura 5.26 durante um único ciclo de rede.

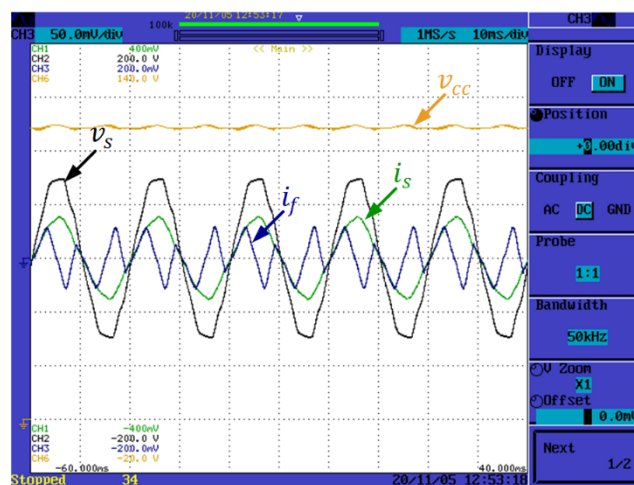


Figura 5.25 Resultado experimental da tensão no barramento CC e formas de onda da tensão na rede a 54,5 V, corrente de compensação e corrente na rede quando o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .

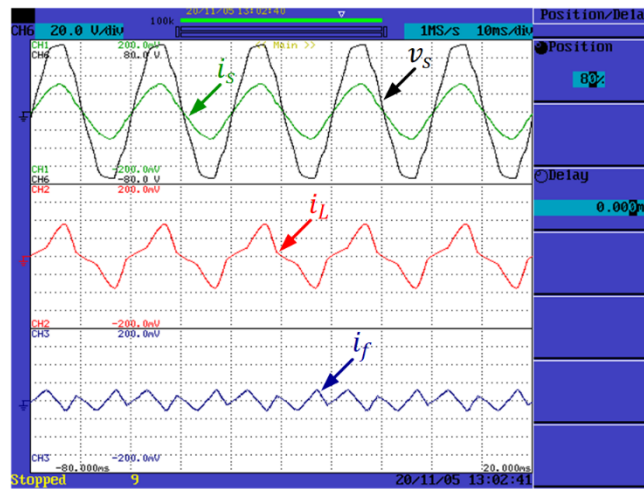


Figura 5.26 Resultado experimental das formas de onda da tensão na rede a 54,5 V, corrente de compensação, corrente na carga e corrente na rede quando o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .

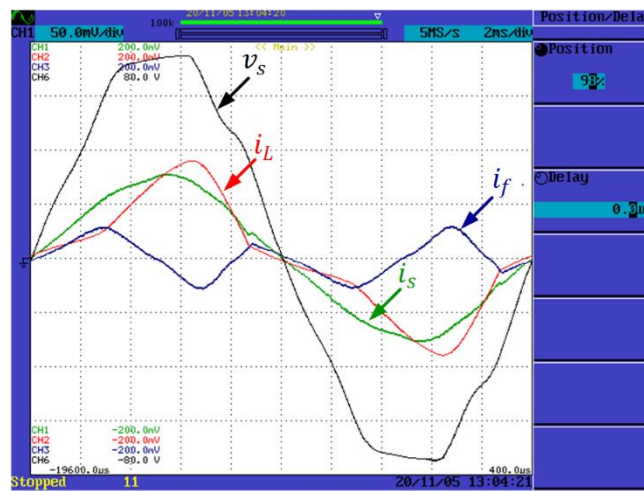


Figura 5.27 Detalhe das formas de onda da tensão na rede a 54,5 V, corrente de compensação, corrente na carga e corrente na rede, durante um ciclo de rede em que o FAPP se encontra a compensar os harmônicos de corrente provocados pelo retificador com carga RC ($R = 26 \Omega$ e $C = 628 \mu\text{F}$) em paralelo com uma resistência de 26Ω .

Ao longo da realização dos testes experimentais monitorizou-se a distribuição da temperatura nos diversos pontos do sistema. Através da Figura 5.28 é possível identificar os principais focos de potência dissipada no protótipo.



Figura 5.28 Resultado experimental da distribuição da potência dissipada nos diversos pontos do sistema.

Na Figura 5.29 encontra-se uma visão mais detalhada da distribuição da potência dissipada na PCB dedicada ao sistema de controlo. Através desta figura percebe-se que através do *layout* utilizado para o PCB foi possível distribuir o calor uniformemente ao longo de toda a PCB. Isto, apesar de existir uma ligeira tendência para os sensores de tensão apresentarem uma temperatura relativamente superior aos restantes componentes.

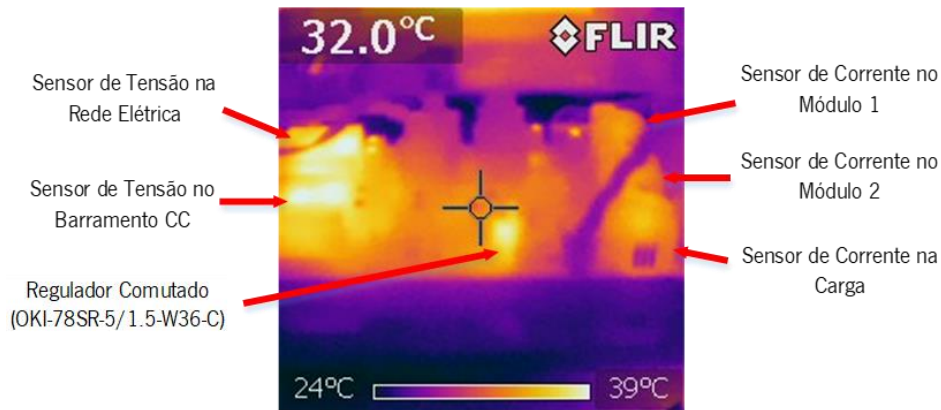


Figura 5.29 Resultado experimental da distribuição da temperatura na PCB dedicada ao sistema de controlo do FAPP com topologia *interleaved*.

Na Figura 5.30 pode ver-se que a distribuição da temperatura nos diversos semicondutores. Através desta figura não é possível identificar qualquer tendência para o sobreaquecimento de nenhum dos semicondutores.

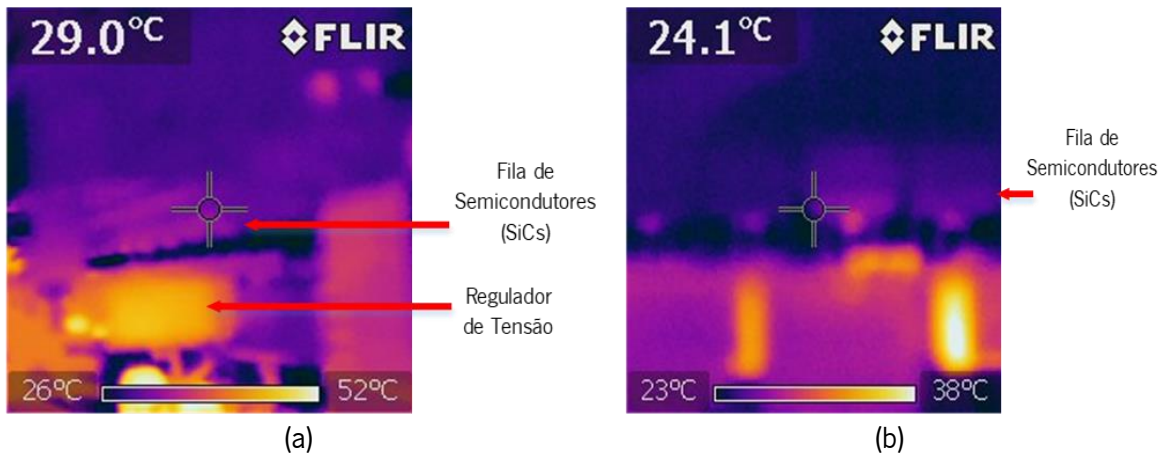


Figura 5.30 Distribuição da temperatura nos semicondutores (a) Visão geral dos semicondutores. (b) Visão detalhada dos semicondutores.

5.8 Resultados do Funcionamento Parcial do FAPP

Nesta secção apresentam-se os resultados relativos ao funcionamento parcial do inversor a operar como FAPP. Através da realização destes testes experimentais pretende-se comprovar um dos benefícios inerentes à utilização de topologias redundantes. Para tal, utilizou-se apenas um dos módulos dos inversores. Também é importante salientar que estes resultados tem o objetivo de validar funcionamento do modo parcial no pior dos casos, uma vez que foi considerado que cada módulo

poderia suportar apenas metade da potência do inversor completo. Caso a potência total não exceda metade da potência nominal, a corrente sintetizada pelo FAPP poderia ser reajustada de forma a garantir que a corrente sintetizada no modo parcial tivesse aproximadamente o mesmo valor eficaz da corrente sintetizada no modo *interleaved*.

Durante a realização destes testes o barramento CC foi regulado de modo a que existisse uma tensão de 70 V aos seus terminais. Todos os resultados apresentados ao longo desta secção são referentes a um estado de regime permanente em que o inversor se encontra sincronizado com a rede elétrica e a comutar os semicondutores com uma frequência de comutação de 40 kHz.

Através da informação fornecida pelos LEDs indicados na Figura 5.31 é possível verificar os braços que se encontram em funcionamento. Desta forma, facilmente se percebe que o inversor se encontra habilitado para operar no modo parcial.

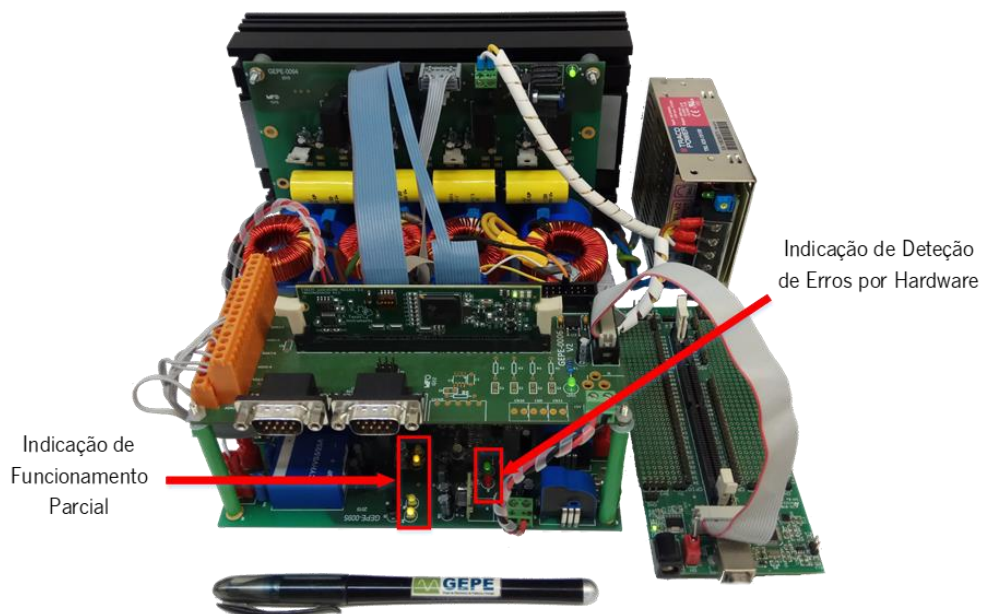


Figura 5.31 Indicação do funcionamento no modo parcial.

5.8.1 Resultados com Carga RL

À semelhança dos resultados apresentados na secção 5.7, ao longo da realização dos testes de funcionamento no modo parcial, observou-se do comportamento do FAPP num sistema com uma carga RL. Através da Figura 5.32 é possível visualizar o desfaseamento existente entre a tensão da rede elétrica e a corrente consumida por uma carga indutiva com uma resistência de 13 Ω e uma indutância de 54 mH.

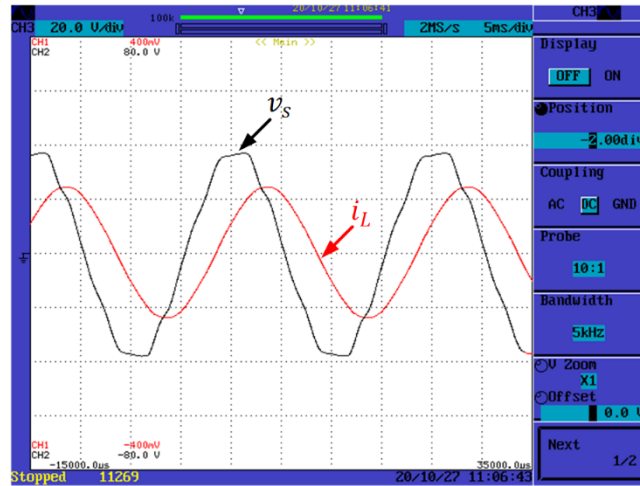


Figura 5.32 Forma de onda da corrente consumida pela carga indutiva ligada a uma rede de 27,5 V.

Através da observação do resultado experimental apresentado na Figura 5.33 comprova-se que, apesar da corrente não ficar em fase com a tensão da rede elétrica é possível realizar uma compensação parcial dos efeitos causados pela carga indutiva. Nesta figura também é possível verificar que a tensão no barramento CC, v_{cc} , permanece com uma tensão de 70 V.

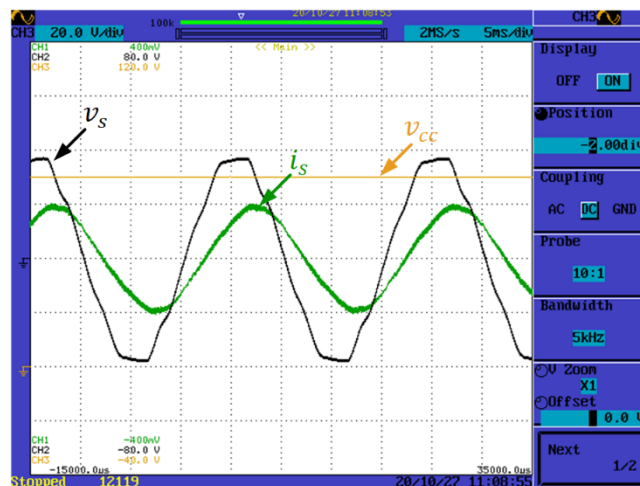


Figura 5.33 Resultado experimental do funcionamento parcial do FAPP a compensar o desfasamento provocado por uma carga indutiva ligada a uma rede de 27,5 V.

Na Figura 5.34 pode ver-se que corrente na rede resulta da sobreposição da corrente na carga com a corrente no FAPP. Isto, porque a forma de onda sinusoidal representada a cor-de-rosa resulta da soma da corrente de compensação com a corrente da carga. Esta soma foi realizada por intermédio da funcionalidade matemática do osciloscópio.

No modo de funcionamento parcial, a corrente de compensação, i_f , apresenta apenas metade da amplitude da corrente de compensação utilizada no modo de funcionamento *interleaved*. Logo, tal como seria de esperar, verifica-se que o fator de potência foi compensado parcialmente. Desta forma, percebe-se que esta topologia atende ao requisito de continuar a desempenhar a sua função, mesmo após a desativação de um dos módulos.

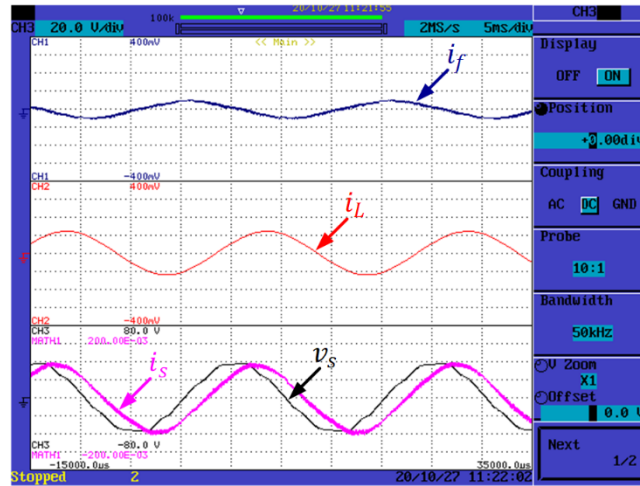


Figura 5.34 Formas de onda da corrente na carga, corrente de compensação parcial, corrente na rede e forma de onda da tensão na rede com 27,5 V de valor eficaz.

5.8.2 Resultados com Retificador com Carga RC

Durante a realização dos testes de funcionamento no modo parcial, observou-se a performance do FAPP em aplicações de compensação harmónica. De forma a facilitar a comparação dos resultados obtidos no modo de funcionamento parcial com os resultados modo de funcionamento *interleaved*, utilizou-se a mesma carga não linear que se tinha utilizado no teste apresentado na secção 5.7.2. Na Figura 5.35 é possível visualizar a forma de onda da corrente consumida por um retificador com uma carga de 26 Ω e 628 μF em paralelo com uma carga resistiva de 26 Ω , a corrente na rede e a tensão no barramento CC.

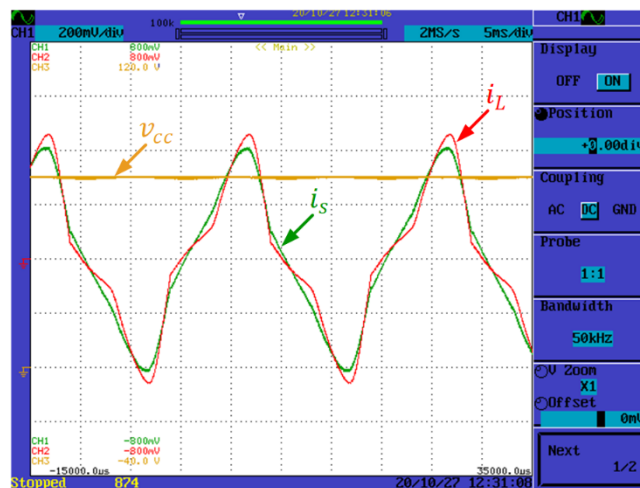


Figura 5.35 Resultado experimental da tensão no barramento CC, v_{CC} , e comparação entre a corrente na rede, i_s , e a corrente consumida pela carga, i_L , quando o FAPP se encontra no modo de compensação harmónica parcial.

Através da observação do resultado experimental apresentado na Figura 5.36, verifica-se que apesar do funcionamento no modo parcial não garantir que a corrente na rede adquira uma forma de onda sinusoidal, é possível continuar a mitigar alguns harmónicos de corrente, ainda que parcialmente.

Nesta figura também é possível perceber que a corrente de compensação apresenta metade da amplitude da corrente de compensação utilizada no modo de funcionamento *interleaved*.

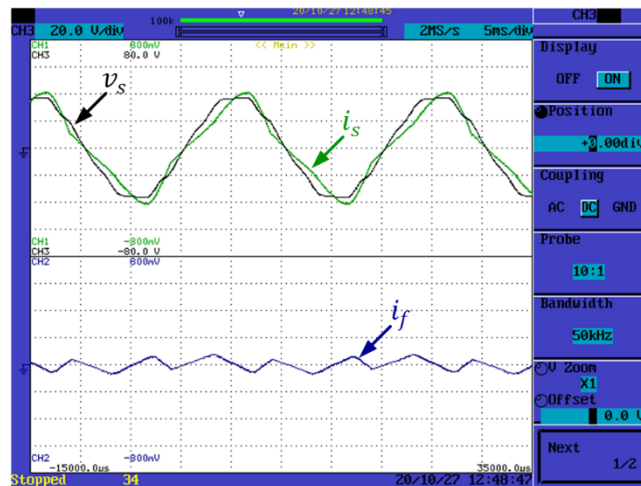


Figura 5.36 Resultado experimental da tensão na rede, v_s , corrente na rede, i_s , corrente de compensação no modo de funcionamento parcial, i_f .

Tal como foi referido anteriormente, ao longo da realização dos testes experimentais monitorizou-se a distribuição da temperatura nos diversos pontos do sistema. Através da Figura 5.37 é possível verificar que o calor se distribui de acordo com o módulo em funcionamento e em conformidade com a indicação fornecida através dos LEDs identificados na Figura 5.31.

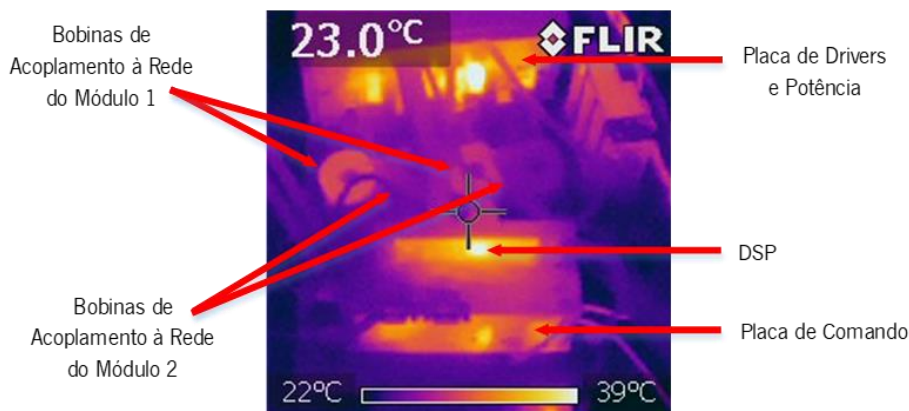


Figura 5.37 Resultado experimental da distribuição da temperatura nos diversos pontos do sistema quando o FAPP se encontra a operar no modo parcial.

5.9 Análise ao Circuito de *Driver*

Ao longo da realização dos testes experimentais, o aumento da tensão no barramento CC acabou por danificar um dos semicondutores utilizados no desenvolvimento do protótipo. Uma vez que não seria de esperar que o aumento da tensão para valores ainda distantes da sua tensão nominal colocasse em causa a integridade dos semicondutores, procedeu-se à identificação da origem do problema. Como o funcionamento do circuito já tinha sido validado em condições de operação com potências mais baixas, descartou-se a possibilidade de ser o algoritmo de controlo ou a configuração de algum

dos periféricos a colocar em causa a integridade dos semicondutores. Tendo isto em consideração, optou-se por observar o sinal de comando fornecido pelo circuito de *driver* quando lhe é aplicado um pulso. Para tal, utilizou-se a montagem apresentada na Figura 5.38

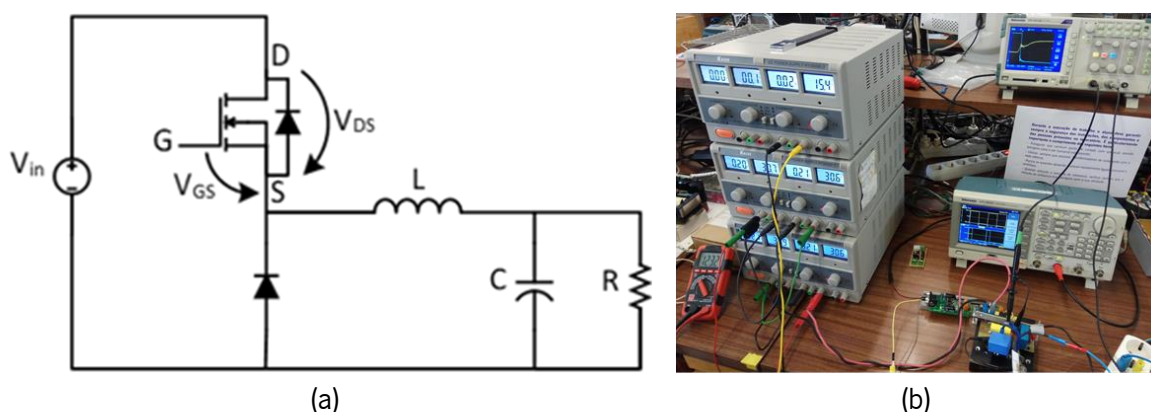


Figura 5.38 (a) Esquema elétrico da montagem utilizada para testar o circuito de *driver*. (b) Bancada de testes utilizada para testar o circuito de *driver*.

Na Figura 5.39 pode ver-se a forma de onda fornecida pelo circuito de *driver* quando lhe é aplicada uma onda quadrada com uma frequência de 100 kHz. Apesar de ser possível identificar uma ligeira oscilação durante a subida e a descida, percebe-se que o sinal aplicado apresenta alguma oscilação característica deste tipo de sinais, mas a forma de onda apresenta-se capaz de colocar o semicondutor em condução.

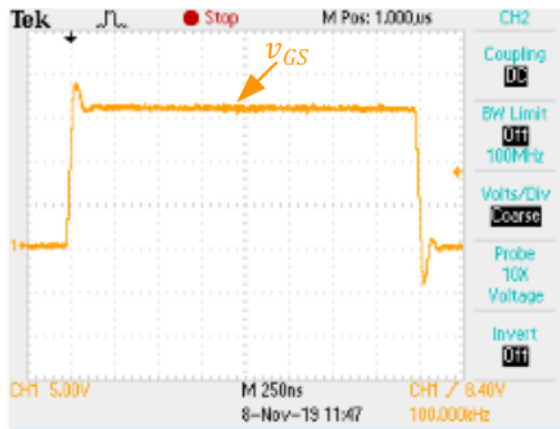
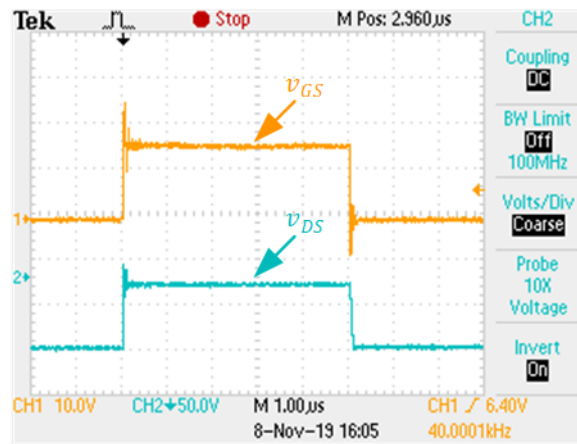
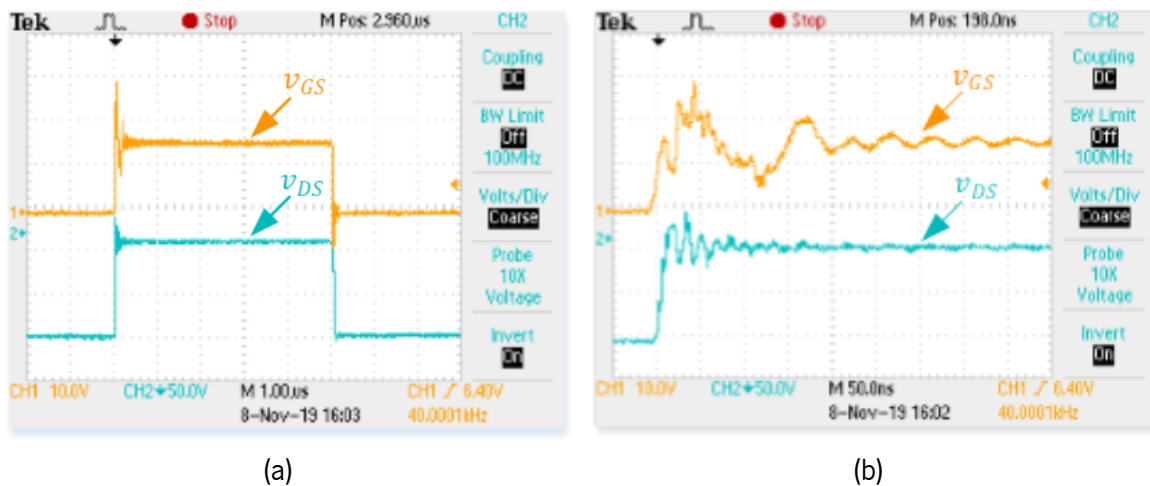


Figura 5.39 Forma de onda sintetizada pelo circuito de *driver* quando lhe é aplicada uma onda quadrada com uma frequência de 100 kHz.

Descartando a possibilidade de o circuito de *driver* ser incapaz de fornecer os sinais necessários à atuação do semicondutor, observou-se a tensão entre o *drain* e *source*, v_{DS} , e entre a *gate* e a *source*, v_{GS} , do semicondutor. Para tal, aplicou-se uma tensão de entrada de 70 V à montagem apresentada na Figura 5.38, e observou-se o comportamento do semicondutor. Na Figura 5.40 pode ver-se que existiu um aumento do *ringing* do sinal aplicado entre a *gate* e *source* do semicondutor, no entanto, a tensão v_{GS} , apresenta uma forma bastante similar ao sinal usado para atuar a *gate* do semicondutor.


 Figura 5.40 *Ringing* do sinal v_{GS} e v_{DS} com uma tensão V_{in} de 70 V.

Seguidamente, aumentou-se gradualmente a tensão de entrada e observou-se o comportamento do semiconductor. Através deste procedimento verificou-se que quando a tensão ultrapassa os 100 V, existe uma distorção significativa durante a transição ascendente do sinal de comando aplicado à *gate* do semiconductor, tal como é possível observar através da Figura 5.41. Também foi possível perceber que esta deformação ocorre independentemente da frequência ou do *duty cycle* do sinal.


 Figura 5.41 Deformação de v_{GS} durante a transição ascendente: (a) Forma de onda tensão na v_{GS} e v_{DS} nos terminais do SiC MOSFET. (b) Detalhe da forma de onda de v_{GS} e v_{DS} durante a transição ascendente.

Variando o valor da resistência colocada à entrada do semiconductor e aplicando uma tensão de entrada de 120 V na entrada da montagem apresentada na Figura 5.38, verificou-se que a atenuação da deformação do sinal v_{GS} , não passaria pela variação da resistência de *gate*, R_G . Na Figura 5.42, pode-se observar a deformação na transição ascendente do sinal de comando com diversos valores de R_G .

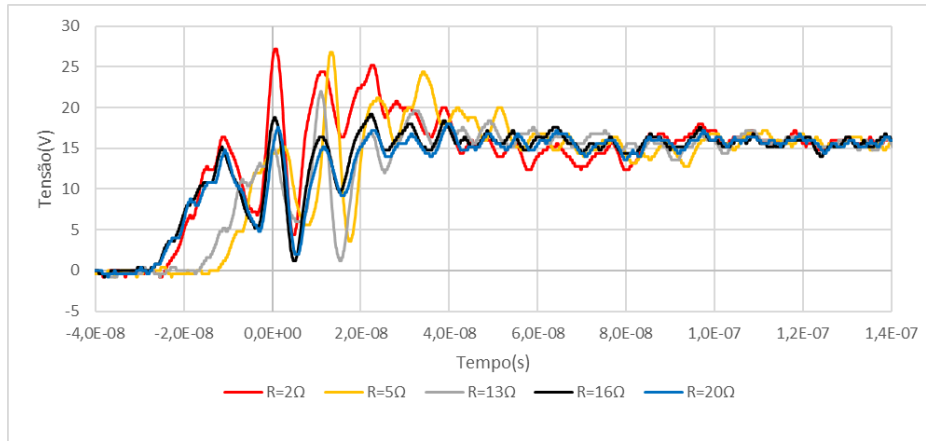


Figura 5.42 Influência da variação da resistência de *gate* na transição ascendente do sinal aplicado à *gate* do SiC MOSFET.

Seguidamente, testou-se o efeito que variação da resistência colocada entre a *gate* e *source* poderia proporcionar. Aplicando uma tensão 120 V na entrada da montagem apresentada na Figura 5.38, verificou-se que atenuação da degradação do sinal de entrada não passaria pela alteração da resistência colocada entre a *gate* e a *source* do semiconductor. Na Figura 5.43, observa-se a existência da degradação do sinal na transição ascendente do sinal de comando com diversos valores de resistência *gate source*, R_{GS} .

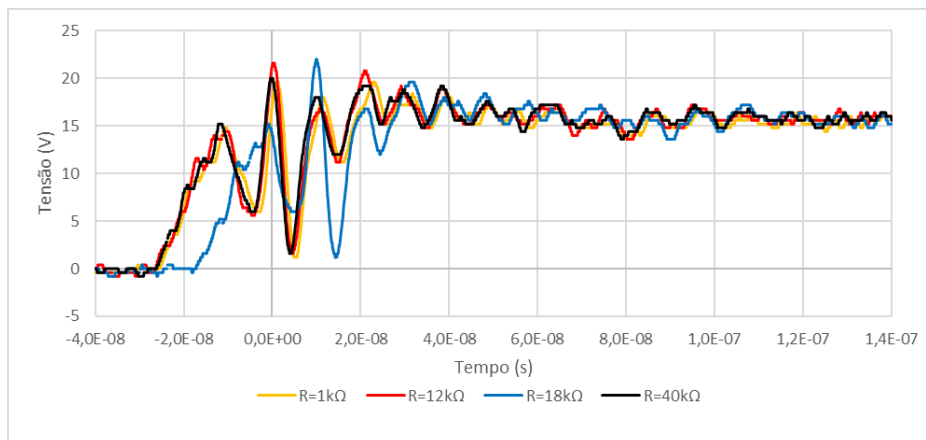


Figura 5.43 Influência da variação dos valores R_{GS} na transição ascendente do sinal aplicado à *gate* do SiC MOSFET.

Após terem sido testadas diversas soluções para atenuar a degradação do sinal de comando aplicado à *gate* do semiconductor, decidiu-se observar o efeito que a utilização de outros semicondutores implicaria na degradação do sinal de *gate*. Para a realização destes testes, utilizou-se o MOSFET IPP50R190CE e o IGBT FGA25N120ANTD. Na Figura 5.44 pode ver-se que a tecnologia do semiconductor exerce uma influência direta sobre a qualidade do sinal de comando que o *driver* é capaz de fornecer.

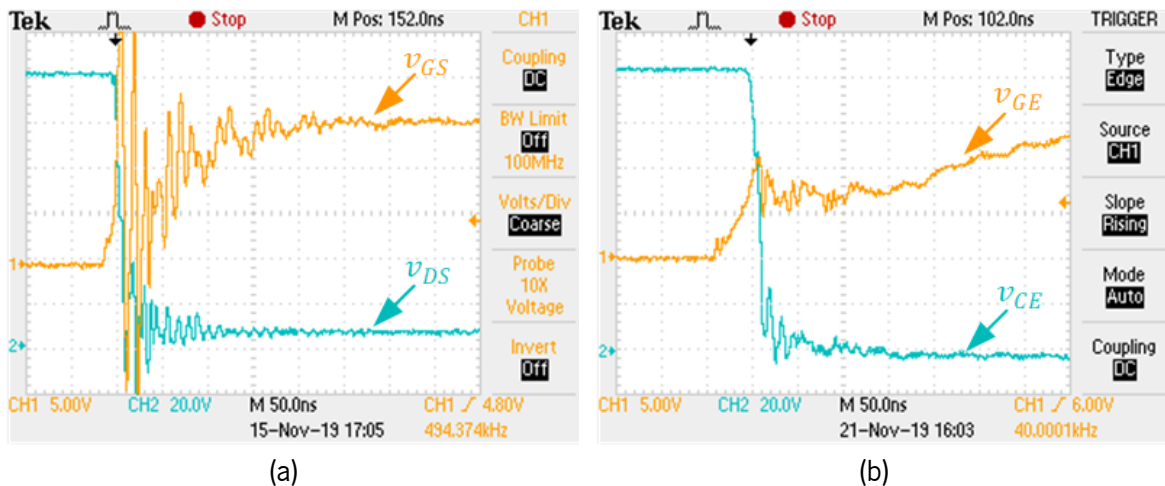


Figura 5.44 (a) v_{GS} e v_{DS} nos terminais do MOSFET. (b) v_{GE} e v_{CE} nos terminais do IGBT.

Cogitando a hipótese da deformação da tensão na transição ascendente resultar da incapacidade dos conversores CC-CC suprirem a demanda de corrente necessária para atender às necessidades do *driver*, optou-se por adicionar mais um condensado cerâmico e um condensador eletrolítico em paralelo com os terminais do conversor CC-CC. Na Figura 5.45 pode ver-se que a adição dos dois condensadores tornou proporcionou uma tensão mais estável na saída dos conversores. No entanto, não se verificou nenhuma alteração significativa na tensão V_{GE} .

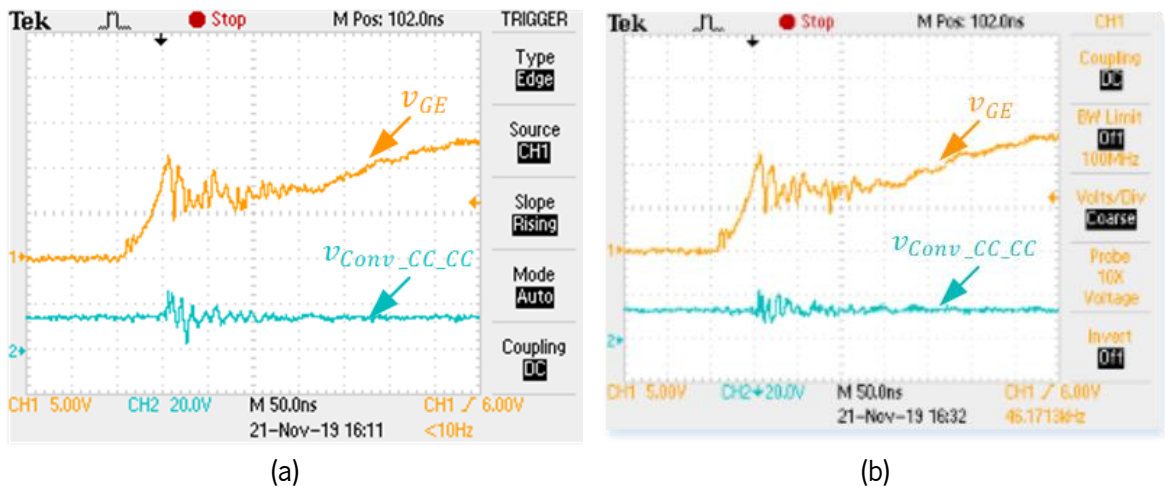


Figura 5.45 V_{GE} nos terminais do IGBT e tensão na saída dos conversores CC-CC: (a) antes da adição dos condensadores (b) após a adição dos condensadores aos seus terminais.

Considerando a possibilidade de existir algum erro no circuito de *driver*, procedeu-se à utilização de um circuito de *driver* que já se encontrava previamente desenvolvido no laboratório do GEPE. Na Figura 5.46 pode ver-se a PCB utilizada para realizar este teste.



Figura 5.46 Circuito de *driver* HCPL-3120.

Inicialmente, optou-se por aplicar uma tensão de 120 V na entrada da montagem apresentada na Figura 5.47 e aplicar pulsos de comando a um IGBT. Nesta fase verificou-se que os sinais de comando sintetizados pelo circuito de *driver* que se encontrava previamente desenvolvido no GEPE, também apresenta distorção na transição ascendente e na transição descendente. Variando o valor da resistência de *gate* verificou-se que o sinal de comando pode ser modificado, no entanto, percebe-se que resolução da deformação não passa exclusivamente pelo ajuste da resistência de *gate*. Na Figura 5.47, pode-se observar a deformação na transição ascendente do sinal de comando com diversos valores de resistência de *gate*.

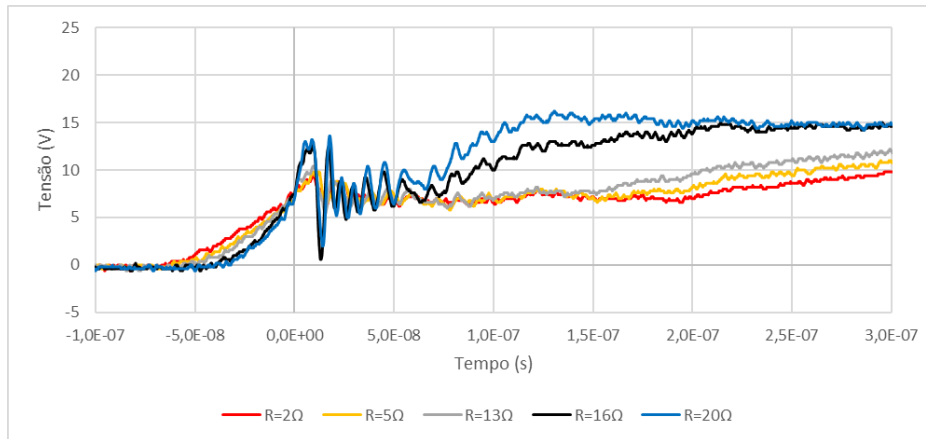


Figura 5.47 Influência da variação da resistência de *gate* na transição ascendente do sinal aplicado à gate do IGBT.

Seguidamente, testou-se o efeito que variação da resistência colocada entre a *gate* e emissor, R_{GE} , poderia proporcionar. Uma vez que a deformação na transição ascendente não apresentou qualquer alteração significativa, percebeu-se que a solução do problema não passaria pela alteração do valor de R_{GE} . Na Figura 5.48 verifica-se a existência da deformação na transição ascendente do sinal de comando com diversos valores de R_{GE} .

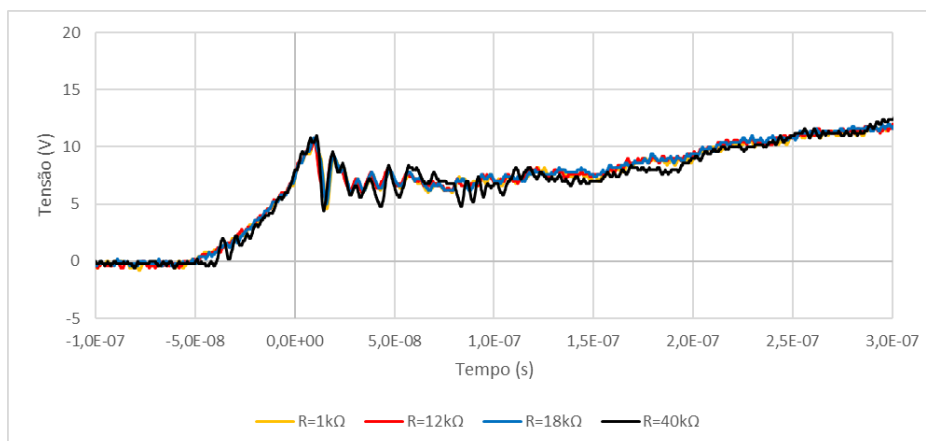


Figura 5.48 Influência da variação dos valores R_{GE} na transição ascendente do sinal aplicado à gate do IGBT.

Após a realização deste teste, comparou-se o sinal de saída do circuito de *driver* com o sinal aplicado à *gate* do SiC MOSFET e verificou-se que o sinal sintetizado pelo *driver* apresenta uma qualidade

bastante superior à do sinal que chega aos terminais do SiC MOSFET. Na Figura 5.49 (a) pode ver-se a diferença de qualidade entre os dois sinais. Na Figura 5.49 (b) também se pode ver a queda de tensão que ocorre entre a saída do circuito de *driver* e a *gate* do SiC MOSFET.

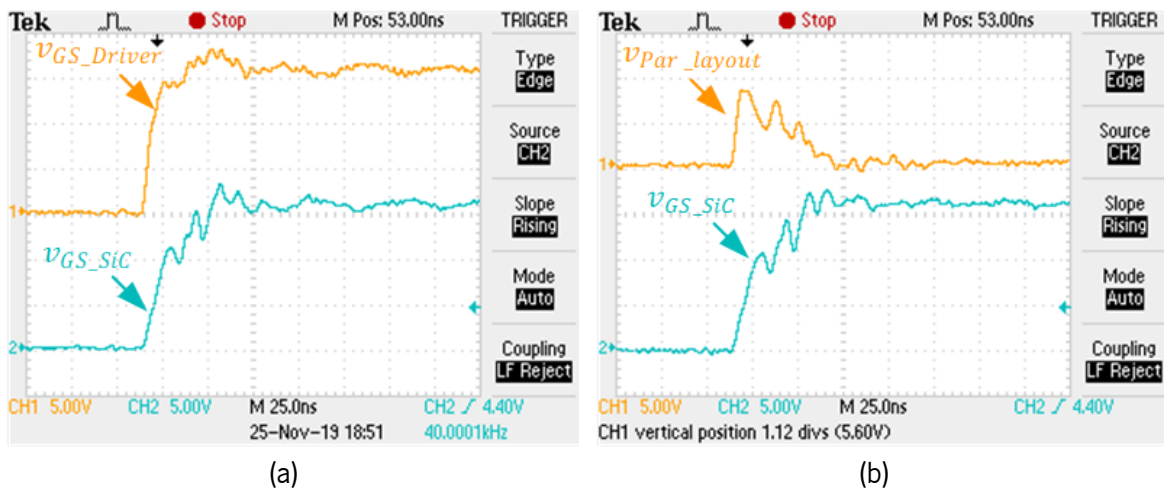


Figura 5.49 (a) V_{GS} na saída do *driver* e V_{GS} nos terminais do SiC MOSFET. (b) V_{GS} nos terminais do SiC MOSFET e queda de tensão entre a saída do *driver* e a *gate* do semicondutor.

Analisando os dados observados na Figura 5.49 e tendo em consideração os elementos parasitas do SiC MOSFET que se encontram representados na Figura 5.50, verifica-se que no momento em que o semicondutor se encontra ao corte, existe uma quantidade de cargas armazenadas em, C_{gd} e C_{Par_layout} .

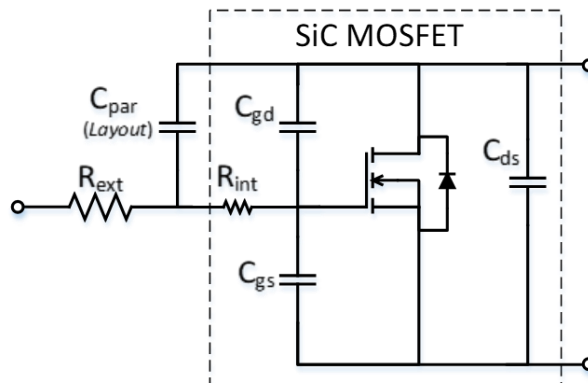


Figura 5.50 Circuito equivalente do SiC MOSFET.

Quando o *driver* emite o sinal de comando para acionar a *gate* do semicondutor, as cargas armazenadas em C_{gd} são libertadas e geram uma variação de corrente que por intermédio das indutâncias parasitas do semicondutor (encapsulamento mais *layout* da PCB), causa uma queda de tensão. Esta queda de tensão, forma um *feedback* negativo para a tensão, V_{GS} , fornecida pelo *driver*. Isto, faz com que a *gate* do semicondutor entre numa condição de ressonância conforme foi possível observar através da Figura 5.41. Desta forma, percebe-se que quando se opera com semicondutores com elevados $\frac{dv}{dt}$ e $\frac{di}{dt}$, existe a necessidade de utilizar *drivers* que forneçam um caminho alternativo

para descarregar as cargas armazenadas em C_{gd} . Contudo, mesmo utilizando *drivers* específicos para o acionamento de SiC MOSFETs recomenda-se que o circuito de *driver* seja colocado o mais próximo possível da *gate*, desenvolver o *layout* da PCB de forma a reduzir ao máximo a capacidade C_{gd} , escolher a resistência de *gate* de forma a diminuir a velocidade de $\frac{dv}{dt}$, colocar a resistência de *gate* o mais próximo possível da *gate* e usar um *layout* com pistas largas entre o *driver* e a *gate* [78].

5.10 Conclusão

Ao longo deste capítulo foram apresentados os resultados experimentais obtidos através dos testes realizados ao Filtro Ativo Paralelo com topologia *Interleaved*. Apresentaram-se os resultados experimentais que comprovam o funcionamento *interleaved* entre os dois módulos. De seguida, por intermédio de testes sem ligação à rede elétrica, comprovou-se o funcionamento da placa de *driver* e potência.

Após a validação da modulação, verificou-se que em malha fechada, a forma de onda sintetizada pelo inversor segue o valor da variável de referência fornecida pelo algoritmo de controlo. Tendo sido verificado que a corrente sintetizada estava de acordo com a indicação dada pela variável de referência. Realizou-se o sincronismo com a rede elétrica através de uma PLL, de forma a que fosse possível obter uma referência sinusoidal em fase com a rede elétrica.

Numa segunda fase, procedeu-se aos testes realizados em sincronismo com a rede elétrica. Primeiro regulou-se o barramento CC, de forma a garantir que, aos seus terminais, existiria um valor de tensão superior ao pico da rede elétrica. Seguidamente, verificou-se o comportamento da regulação do barramento CC quando o inversor se encontra a sintetizar correntes com componente harmónica. Após a realização deste teste, validou-se o funcionamento do inversor a operar como FAPP, tanto no modo *interleaved* como no modo de funcionamento parcial.

Por último, apresentou-se uma breve análise à utilização do circuito de *driver* em aplicações com maior tensão e foi possível perceber que, apesar de na maioria das situações a utilização de SiC MOSFETs ser preferível à utilização de IGBTs, a utilização de componentes com $\frac{dv}{dt}$ e $\frac{di}{dt}$ elevados, faz com que seja necessário ter em consideração os elementos parasitas do semiconductor (encapsulamento mais *layout* da PCB).

Através destes resultados experimentais, foi possível verificar que esta topologia é bastante promissora no que concerne a aplicações de compensação harmónica que careçam de elevada confiabilidade.

Capítulo 6

Conclusão

6.1 Conclusões

Neste trabalho de dissertação desenvolveu-se e validou-se o funcionamento de um inversor monofásico *interleaved* para aplicação como Filtro Ativo de Potência Paralelo.

Os resultados obtidos permitiram demonstrar que o funcionamento *interleaved* permite que o inversor sintetize uma corrente com uma qualidade mais elevada do que a qualidade apresentada pela corrente dos módulos a funcionar individualmente. Também se percebeu que esta topologia é capaz de operar em aplicações de compensação de problemas de QEE.

Através da observação do hardware é possível constatar que esta topologia permite que o sistema de potência seja desenvolvido num conceito modular. Isto, faz com que esta solução se apresente altamente promissora para aplicações industriais, onde a possibilidade de aumentar a potência e a redundância do sistema, através da adição de novos módulos em paralelo, resulta numa possibilidade economicamente atrativa, uma vez que, não implica um investimento tão elevado numa fase inicial do projeto.

Ficou demonstrado que esta topologia permite que em determinadas situações, o sistema continue a operar mesmo após a falha de um dos módulos. Assim, esta topologia apresenta-se como uma solução bastante promissora para aplicação em inversores compactos que careçam de elevada confiabilidade.

No capítulo 1 abordou-se o prejuízo económico causado pelos problemas de qualidade de energia elétrica, bem como a definição de harmónico e a sua origem. Por fim, descreveram-se alguns indicadores de conteúdo harmónico, indispensáveis para determinar qualquer ação corretiva necessária à mitigação dos problemas de QEE.

No capítulo 2 realizou-se o levantamento do estado da arte dos Filtros Ativos de Potência. Foram abordados os FAPs monofásico, técnicas de modulação de largura de pulso sinusoidal, estratégias de controlo para inversores fonte de tensão com controlo de corrente, teorias de controlo para cálculo de correntes de compensação, organizações de sistemas inversores, paralelismo de inversores, configuração *interleaved* para inversores em paralelo e correntes circulantes. Assim, ao longo deste

capítulo, percebeu-se que os Filtros Ativos com topologia *interleaved* constituem uma solução promissora para aplicações de mitigação de problemas de QEE, bem como para o aumento da confiabilidade deste tipo de equipamentos.

No capítulo 3 foram apresentados todos os resultados obtidos através de simulações computacionais. Através da comparação realizada entre as duas topologias *interleaved*, foi possível concluir que a topologia *interleaved* permite sintetizar formas de onda com THDs inferiores ao das topologias com barramento CC separado. Também foi possível perceber que, no que diz respeito a aplicações de compensação harmónica, a topologia *interleaved* revela-se mais promissora do que a topologia com as ondas portadoras em fase. Adicionalmente, observou-se a resposta dinâmica do sistema em situações em que existe o acionamento de cargas durante o estado de compensação harmónica e comprovou-se que o Filtro Ativo de Potência apresenta uma boa capacidade de resposta a este tipo de acontecimentos. Por último, verificou-se que fazendo uso da redundância inerente a esta topologia, pode-se manter o FAPP em funcionamento com apenas um módulo inversor. Sendo que, caso a potência total não exceda metade da potência nominal, a corrente sintetizada pelo FAPP pode ser reajustada de forma a garantir que a corrente sintetizada no modo parcial tenha aproximadamente o mesmo valor eficaz da corrente sintetizada no modo *interleaved*.

No capítulo 4 procedeu-se à apresentação do hardware desenvolvido para implementação do protótipo do Filtro Ativo de Potência com topologia *interleaved*. Realizou-se uma breve apresentação sobre a organização e disposição dos componentes e verificou-se que existiria um benefício construtivo no facto de a PCB dedicada ao sistema de controlo ter exatamente as mesmas dimensões da placa de suporte da DSP, que já se encontrava desenvolvida pelo laboratório do GEPE. De seguida, realizou-se a apresentação do sistema de potência e do circuito de *driver*. Tendo sido efetuada uma breve apresentação sobre a organização e disposição dos componentes. Assim, foi possível perceber que a utilização do circuito de *bootstrap* se revela uma boa opção para aplicação em topologias modulares, tal como é o caso do protótipo desenvolvido no âmbito desta dissertação, uma vez que proporciona uma redução significativa do projeto. Através da observação do hardware percebe-se que, do ponto de vista construtivo, o hardware encontra-se proporcional à PCB do sistema de controlo e poderá servir de suporte às bobinas de acoplamento à rede elétrica, tal como tinha sido planeado numa fase inicial do projeto.

No capítulo 5 foram apresentados os resultados experimentais obtidos através dos testes realizados ao protótipo desenvolvido no âmbito desta dissertação. Apresentaram-se os resultados experimentais que comprovam o funcionamento *interleaved* entre os dois módulos. De seguida, comprovou-se o

funcionamento da placa de *driver* e potência. Verificou-se que a forma de onda sintetizada pelo inversor segue o valor da variável de referência fornecida pelo algoritmo de controlo. Comprovou-se que FAPP é capaz de permanecer sincronizado com a rede elétrica. Posteriormente, procedeu-se à validação do Filtro Ativo Paralelo através da mitigação de problemas de QEE, tanto para o funcionamento no modo *interleaved* como para o modo de funcionamento parcial. Por último, apresenta-se uma breve análise sobre a utilização de semicondutores com $\frac{dv}{dt}$ e $\frac{di}{dt}$ elevados e as implicações que isso traz para o desenvolvimento dos circuitos de *driver*.

A elaboração desta dissertação permitiu a aquisição de conhecimentos de controlo digital aplicado a conversores de eletrónica de potência. O desenvolvimento das PCBs de controlo, *drivers* e potência fez com que fossem adquiridos conhecimentos em diversos softwares, tais como, *PSIM*, *Code Composer*, *PADS Logic*, *PADS Layout* e *CAM350*. Adicionalmente, também foi possível perceber em que medida o aumento dos componentes parasitas associados ao aumento da tensão e à utilização de semicondutores com comutações bastante rápidas pode levar à necessidade de rever o circuito e o *layout* das PCBs desenvolvidas.

6.2 Sugestões para Trabalho Futuro

Os resultados alcançados através dos testes realizados ao inversor compacto com topologia *interleaved* com barramento CC partilhado, permitiram validar o seu funcionamento como Filtro Ativo de Potência. No entanto, parte destes resultados foram obtidos com 27,5 V e outros 54,5 V de tensão na rede elétrica, pelo que seria necessário aferir a sua performance quando sujeito às condições nominais. Para tal, sugere-se a utilização de *drivers* específicos para SiC MOSFETs, ou então, que o circuito de *driver* sofra uma ligeira alteração de modo a que forneçam um caminho alternativo para descarregar as cargas armazenadas entre o *drain* e a *gate* do SiC MOSFET. Mesmo utilizando *drivers* específicos para este tipo de semicondutores, recomenda-se que o circuito de *driver* seja colocado o mais próximo possível da *gate*, desenvolver o *layout* da PCB de forma a reduzir ao máximo a capacidade C_{gd} , escolher a resistência de *gate* de forma a diminuir a velocidade de $\frac{dv}{dt}$, colocar a resistência de *gate* o mais próximo possível da *gate* e usar um *layout* com pistas largas entre o *driver* e a *gate*.

Também se sugere uma melhoria na caracterização dos elementos que servem de base ao controlo de corrente preditivo, de forma a que o cálculo da corrente de referência contemple o valor da indutância em função da corrente a sintetizar, tanto para o modo de funcionamento *interleaved* como para o modo de funcionamento parcial.

A gestão e tratamento de dados relativos aos erros identificados pelo circuito de deteção de erros, é outro dos aspetos que podem sofrer algumas melhorias. Esta melhoria passa pela criação de um sistema que identifique a causa da paragem do sistema e o reinicialize parcialmente ou totalmente, dependendo do erro detetado pelo sistema.

A mitigação das correntes circulantes é outro dos aspetos que podem ser melhorados. Tendo isto em consideração, sugere-se a utilização de bobinas de modo comum, uma vez que esta solução garantirá que a topologia poderá continuar a ser desenvolvida num conceito modular, salvaguardando um dos principais benefícios desta topologia.

Lista de Referências

- [1] J. Afonso and J. Martins, "Qualidade da energia eléctrica," *Robótica Automação, Control. Instrumentação*, vol. 9, pp. 66–71, 2004, ISSN: 0874-9019.
- [2] J. L. Afonso, R. Pregitzer, J. G. Pinto, L. Monteiro, P. Neves, R. Alves, and D. Gonçalves, "SINUS - Tecnologia para Monitorização da Qualidade de Energia , Compensação Dinâmica de Harmónicos , Factor de Potência e Desequilíbrios e para Interface de Fontes Renováveis," *Proc. XCLEEE - 10th Port. Congr. Electr. Eng.*, no. July, pp. 2–7, 2007.
- [3] S. Bhattacharyya, J. M. A. Myrzik, and W. L. Kling, "Consequences of poor power quality - an overview," in *2007 42nd International Universities Power Engineering Conference*, 2007, no. April 2011, pp. 651–656. doi: 10.1109/UPEC.2007.4469025, ISSN: 1745-3682.
- [4] J. M. João Afonso, Carlos Couto, "Active Filters with Control Based on the p-q Theory," *IEEE Ind. Electron. Soc. Newsl.*, vol. 47, no. 1, pp. 5–10, 2000. doi: 10.1037/0022-3514.79.1.5, ISSN: 0746-1240.
- [5] —, "Harmonic detection and filtering," *Schneider Electr.*, no. Low voltage expert guides n° 4, 2009.
- [6] P. Ferracci, "Cahier technique," *Schneider Electr.*, no. 199, 2001.
- [7] J. S. Martins, C. Couto, and J. L. Afonso, "Qualidade De Energia Eléctrica," *3º Congr. Luso-Moçanbicano Eng.*, p. 14, 2003. doi: 10.1016/j.ijpsycho.2014.08.880, ISSN: 0874-9019.
- [8] M. A. A. Younis, N. A. Rahim, and S. Mekhilef, "Distributed Generation System using Parallel Inverters Supplied by Unstable DC Source," *J. Appl. Sci.*, vol. 9, no. 11, pp. 2045–2055, Nov. 2009. doi: 10.3923/jas.2009.2045.2055, ISSN: 18125654.
- [9] L. Asiminoaei, E. Aeloiza, P. N. Enjeti, and F. Blaabjerg, "Shunt Active-Power-Filter Topology Based on Parallel Interleaved Inverters," *IEEE Trans. Ind. Electron.*, vol. 55, no. 3, pp. 1175–1189, Mar. 2008. doi: 10.1109/TIE.2007.907671, ISSN: 0278-0046.
- [10] K. E. Okedu, "Enhancing DFIG wind turbine during three-phase fault using parallel interleaved converters and dynamic resistor," *IET Renew. Power Gener.*, vol. 10, no. 8, pp. 1211–1219, Sep. 2016. doi: 10.1049/iet-rpg.2015.0607, ISSN: 1752-1416.
- [11] L. Asiminoaei, E. Aeloiza, J. H. Kim, P. Enjeti, F. Blaabjerg, L. T. Moran, and S. K. Sul, "An Interleaved Active Power Filter with Reduced Size of Passive Components," in *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06.*, pp. 969–976. doi: 10.1109/APEC.2006.1620656.
- [12] L. A. M. de Barros, "Desenvolvimento de um Microinversor com Armazenamento Local de Energia para Aplicações Solares Fotovoltaicas," 2016.
- [13] T. Soeiro, T. Friedli, and J. W. Kolar, "Three-phase high power factor mains interface concepts for Electric Vehicle battery charging systems," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2603–2610. doi: 10.1109/APEC.2012.6166190.
- [14] V. Monteiro, T. J. C. Sousa, J. S. Martins, J. C. A. Fernandes, and J. L. Afonso, "A Novel Control Strategy Based on Predictive Control for a Bidirectional Interleaved Three-Phase Converter," in *2018 13th APCA International Conference on Control and Soft Computing (Controlo)*, 2018, no. June, pp. 73–78. doi: 10.1109/CONTROLO.2018.8514262.
- [15] T. Sousa, "Filtro Ativo de Potência Paralelo Monofásico com Conversor CC-CC Bidirecional para Operação como UPS Filtro Ativo de Potência Paralelo Monofásico com Conversor CC-CC Bidirecional para Operação como UPS," 2017.
- [16] O. Pop and A. Taut, "Analysis and simulation of a half-bridge inverter," in *2009 32nd International Spring Seminar on Electronics Technology*, 2009, pp. 1–5. doi: 10.1109/ISSE.2009.5207005.

- [17] M. F. Abdullah, S. Iqbal, and S. Masri, "A novel single phase DC-AC inverter," in *2012 IEEE Student Conference on Research and Development (SCORED)*, 2012, pp. 172–177. doi: 10.1109/SCORED.2012.6518633.
- [18] A. Namboodiri and H. Wani, "Unipolar and Bipolar PWM Inverter," *IJRSRT - Int. J. Innov. Res. Sci. Technol.*, vol. 1, no. 7, p. 7, 2014, ISSN: 2349-6010.
- [19] R. F. S. Almeida, "Universidade do Minho Raul Fernando Silva Almeida Desenvolvimento de um Filtro Ativo Paralelo Monofásico Compacto e Didático Utilizando MOSFETs," 2013.
- [20] V. Monteiro, B. Exposto, J. G. Pinto, J. C. A. Fernandes, L. F. C. Monteiro, and J. L. Afonso, "A novel architecture of a bidirectional bridgeless interleaved converter for EV battery chargers," in *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, 2015, vol. 2015–Septe, pp. 184–189. doi: 10.1109/ISIE.2015.7281466, ISSN: 2213-2619.
- [21] V. Monteiro, J. C. Ferreira, A. A. Nogueiras Melendez, C. Couto, and J. L. Afonso, "Experimental Validation of a Novel Architecture Based on a Dual-Stage Converter for Off-Board Fast Battery Chargers of Electric Vehicles," *IEEE Trans. Veh. Technol.*, vol. 67, no. 2, pp. 1000–1011, Feb. 2018. doi: 10.1109/TVT.2017.2755545, ISSN: 0018-9545.
- [22] M. A. Abusara and S. M. Sharkh, "Design and Control of a Grid-Connected Interleaved Inverter," *IEEE Trans. Power Electron.*, vol. 28, no. 2, pp. 748–764, Feb. 2013. doi: 10.1109/TPEL.2012.2201505, ISSN: 0885-8993.
- [23] M. A. Abusara and S. M. Sharkh, "Design and Control of a Grid-Connected Interleaved Inverter," *IEEE Trans. Power Electron.*, vol. 28, no. 2, pp. 748–764, Feb. 2013. doi: 10.1109/TPEL.2012.2201505, ISSN: 0885-8993.
- [24] M. Stadler and J. Pforr, "Multi-phase Converter for Wide Range of Input Voltages with Integrated Filter Inductor," in *2006 12th International Power Electronics and Motion Control Conference*, 2006, pp. 106–111. doi: 10.1109/EPEPEMC.2006.4778384.
- [25] S. A. D. Contreras, *"Inversores Entrelaçados Aplicados a Sistemas de Energia Ininterrupta."* Belo Horizonte: Universidade Federal de Minas Gerais, 2010.
- [26] D. Kalyanraj and S. L. Prakash, "Design and performance analysis of different current control strategies of voltage source inverter," in *2013 International Conference on Power, Energy and Control (ICPEC)*, 2013, pp. 310–315. doi: 10.1109/ICPEC.2013.6527672.
- [27] A. Araujo, J. G. Pinto, B. Exposto, C. Couto, and J. L. Afonso, "Implementation and comparison of different switching techniques for shunt active power filters," in *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, 2014, pp. 1519–1525. doi: 10.1109/IECON.2014.7048703.
- [28] A. I. Maswood and E. Al-Ammar, "Analysis of a PWM voltage source inverter with PI controller under non-ideal conditions," in *2010 Conference Proceedings IPEC*, 2010, pp. 193–198. doi: 10.1109/IPEC.2010.5697104.
- [29] G. A. V. Caceres, J. C. G. Lizarazo, M. A. M. Villalobos, and J. F. P. Suarez, "Active power filters: A comparative analysis of current control techniques," in *2010 IEEE ANDESCON*, 2010, pp. 1–6. doi: 10.1109/ANDESCON.2010.5631646.
- [30] C. R. D. Osorio, G. S. da Silva, J. C. Giacomini, and C. Rech, "Comparative analysis of predictive current control techniques applied to single-phase grid-connected inverters," in *2017 Brazilian Power Electronics Conference (COBEP)*, 2017, vol. 9, pp. 1–6. doi: 10.1109/COBEP.2017.8257329.
- [31] H. Akagi, Y. Kanazawa, and A. Nabae, "Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components," *IEEE Trans. Ind. Appl.*, vol. 1, no. 3, pp. 625–630, 1984.
- [32] E. H. Watanabe, R. M. Stephan, and M. Aredes, "New concepts of instantaneous active and reactive powers in electrical systems with generic loads," *IEEE Trans. Power Deliv.*, vol. 8, no. 2, pp. 697–703, Apr. 1993. doi: 10.1109/61.216877, ISSN: 08858977.
- [33] J. G. Pinto, P. Neves, R. Pregitzer, L. F. C. Monteiro, and J. L. Afonso, "Single-Phase Shunt Active Filter

- with Digital Control," *ICREPQ'07- Int. Conf. Renew. Energies Power Qual.*, pp. 28–30, 2007.
- [34] T. Santos, J. G. Pinto, P. Neves, D. Gonçalves, and J. L. Afonso, "Comparison of Three Control Theories for Single-Phase Active Power Filters," *35th Annu. Conf. IEEE Ind. Electron.*, pp. 3637–3642, 2009.
- [35] J. L. Afonso, J. G. Pinto, and H. Gonçalves, "Active Power Conditioners to Mitigate Power Quality Problems in Industrial Facilities," *Power Qual. Issues*, pp. 105–138, 2013. doi: 10.5772/53189, ISSN: 978-953-51-1068-2.
- [36] I. Colak, R. Bayindir, E. Irmak, and O. Kaplan, "A comparative study of harmonic extraction methods for single phase shunt active power filter," in *2011 International Conference on Power Engineering, Energy and Electrical Drives*, 2011, no. May, pp. 1–4. doi: 10.1109/PowerEng.2011.6036515.
- [37] M. Depenbrock, "The FBD-method, a generally applicable tool for analyzing power relations," *IEEE Trans. Power Syst.*, vol. 8, no. 2, pp. 381–387, May 1993. doi: 10.1109/59.260849, ISSN: 08858950.
- [38] V. Staudt, "Fryze - Buchholz - Depenbrock: A time-domain power theory," in *2008 International School on Nonsinusoidal Currents and Compensation*, 2008, pp. 1–12. doi: 10.1109/ISNCC.2008.4627481.
- [39] S. W. Smith, *"The Scientist and Engineer's Guide to Digital Signal Processing,"* Second Edi. San Diego, California: California Technical Publishing.
- [40] S. Karvekar and A. Kumbhojkar, "Comparison of different methods of reference current generation for shunt active power filter under balanced and unbalanced load conditions," in *2013 International Conference on Circuits, Power and Computing Technologies (ICCPCT)*, 2013, no. 1, pp. 430–434. doi: 10.1109/ICCPCT.2013.6528827.
- [41] H. Fujita, T. Yamasaki, and H. Akagi, "A hybrid active filter for damping of harmonic resonance in industrial power systems," in *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, 1998, vol. 1, pp. 209–216. doi: 10.1109/PESC.1998.701901.
- [42] H. Akagi, S. Srianthumrong, and Y. Tamai, "Comparisons in circuit configuration and filtering performance between hybrid and pure shunt active filters," in *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003.*, 2003, vol. 2, pp. 1195–1202. doi: 10.1109/IAS.2003.1257702.
- [43] Sangsun Kim and P. N. Enjeti, "A new hybrid active power filter (APF) topology," *IEEE Trans. Power Electron.*, vol. 17, no. 1, pp. 48–54, Jan. 2002. doi: 10.1109/63.988669, ISSN: 0885-8993.
- [44] R. Teodorescu, F. Blaabjerg, J. K. Pedersen, E. Cengelci, and P. N. Enjeti, "Multilevel inverter by cascading industrial VSI," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 832–838, Aug. 2002. doi: 10.1109/TIE.2002.801069, ISSN: 0278-0046.
- [45] A. Schonknecht and R. W. A. A. De Doncker, "Novel topology for parallel connection of soft-switching high-power high-frequency inverters," *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 550–555, Mar. 2003. doi: 10.1109/TIA.2003.809453, ISSN: 0093-9994.
- [46] L.-P. Wong, D. K.-W. Cheng, M. H. L. Chow, and Y.-S. Lee, "Interleaved Three-Phase Forward Converter Using Integrated Transformer," *IEEE Trans. Ind. Electron.*, vol. 52, no. 5, pp. 1246–1260, Oct. 2005. doi: 10.1109/TIE.2005.855680, ISSN: 0278-0046.
- [47] R. Mai, L. Lu, Y. Li, T. Lin, and Z. He, "Circulating Current Reduction Strategy for Parallel-Connected Inverters Based IPT Systems," *Energies*, vol. 10, no. 3, p. 261, Feb. 2017. doi: 10.3390/en10030261, ISSN: 1996-1073.
- [48] R. P. Nalawade and P. M. Joshi, "Study of circulating current phenomena in multiple," *Int. J. Electr. Electron. Data Commun.*, no. 11, pp. 9–14, 2015.
- [49] A. Shahin, H. Moussa, I. Forrasi, J. Martin, B. Nahid-Mobarakeh, and S. Pierfederici, "Reliability Improvement Approach Based on Flatness Control of Parallel-Connected Inverters," *IEEE Trans. Power Electron.*, vol. 32, no. 1, pp. 681–692, Jan. 2017. doi: 10.1109/TPEL.2016.2527778, ISSN: 0885-8993.
- [50] T. B. Lazzarin, *"Paralelismo de inversores de tensão aplicado a nobreaks."* FLORIANÓPOLIS - SC:

Publicação do IFSC, 2012.

- [51] Woo-Cheol Lee, Taek-Ki Lee, Sang-Hoon Lee, Kyung-Hwan Kim, Dong-Seok Hyun, and In-Young Suh, "A master and slave control strategy for parallel operation of three-phase UPS systems with different ratings," in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04.*, 2004, vol. 1, no. C, pp. 456–462. doi: 10.1109/APEC.2004.1295848.
- [52] H. Van Der Broeck and U. Boeke, "A simple method for parallel operation of inverters," in *INTELEC - Twentieth International Telecommunications Energy Conference (Cat. No.98CH36263)*, 1998, pp. 143–150. doi: 10.1109/INTLEC.1998.793490.
- [53] J. W. Chen and H. F. Lin, "Design of Grid Connected Parallel Inverters with Interleaved Phase Shift by Using CAN Bus," *Adv. Mater. Res.*, vol. 591–593, pp. 1579–1584, Nov. 2012. doi: 10.4028/www.scientific.net/AMR.591-593.1579, ISSN: 1662-8985.
- [54] M. Prodanovic, "A survey of control methods for three-phase inverters in parallel connection," in *8th International Conference on Power Electronics and Variable Speed Drives*, 2000, vol. 2000, pp. 472–477. doi: 10.1049/cp:20000293.
- [55] U. Borup, F. Blaabjerg, and P. N. Enjeti, "Sharing of nonlinear load in parallel-connected three-phase converters," *IEEE Trans. Ind. Appl.*, vol. 37, no. 6, pp. 1817–1823, 2001. doi: 10.1109/28.968196, ISSN: 00939994.
- [56] T. Kawabata and S. Higashino, "Parallel operation of voltage source inverters," *IEEE Trans. Ind. Appl.*, vol. 24, no. 2, pp. 281–287, 1988. doi: 10.1109/28.2868, ISSN: 00939994.
- [57] Tianzhi Fang, Xinbo Ruan, Lan Xiao, and Aizhong Liu, "An improved distributed control strategy for parallel inverters," in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 3500–3505. doi: 10.1109/PESC.2008.4592497, ISSN: 0275-9306.
- [58] H. Shan, Y. Kang, S. Duan, Y. Zhang, M. Yu, Y. Liu, G. Chen, and F. Luo, "Research on a Novel Digital Parallel Current Sharing Control Technique of Modularized UPS," *Int. Conf. Electr. Mach. Syst.*, pp. 106–109, 2007.
- [59] J. L. A. Vitor Monteiro, Bruno Exposto, J. G. Pinto, J. C. Aparício Fernandes, Luis F. C. Monteiro, "A Novel Architecture of a Bidirectional Bridgeless Interleaved Converter for EV Battery Chargers," *IEEE ISIE Int. Symp. Ind. Electron.*, no. June, pp. 184–189, 2015. doi: 10.1109/ISIE.2015.7281466.
- [60] S. Dusmez, S. Choudhury, M. Bhardwaj, and B. Akin, "A Modified Dual-Output Interleaved PFC Converter Using Single Negative Rail Current Sense for Server Power Systems," *IEEE Trans. Power Electron.*, vol. 29, no. 10, pp. 5116–5123, Oct. 2014. doi: 10.1109/TPEL.2014.2319734, ISSN: 0885-8993.
- [61] L. Asiminoaei, E. Aeloiza, J. H. Kim, P. Enjeti, F. Blaabjerg, L. T. Moran, and S. K. Sul, "Parallel interleaved inverters for reactive power and harmonic compensation," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, 2006. doi: 10.1109/PESC.2006.1711865, ISSN: 02759306.
- [62] J. Zhu and A. Pratt, "Capacitor Ripple Current in an Interleaved PFC Converter," *IEEE Trans. Power Electron.*, vol. 24, no. 6, pp. 1506–1514, Jun. 2009. doi: 10.1109/TPEL.2009.2014164, ISSN: 0885-8993.
- [63] L. Asiminoaei, E. Aeloiza, J. H. Kim, P. Enjeti, F. Blaabjerg, L. T. Moran, and S. K. Sul, "Parallel Interleaved Inverters for Reactive Power and Harmonic Compensation," in *37th IEEE Power Electronics Specialists Conference*, pp. 1–7. doi: 10.1109/PESC.2006.1711865.
- [64] Zhihong Ye, D. Boroyevich, Jae-Young Choi, and F. C. Lee, "Control of circulating current in two parallel three-phase boost rectifiers," *IEEE Trans. Power Electron.*, vol. 17, no. 5, pp. 609–615, Sep. 2002. doi: 10.1109/TPEL.2002.802170, ISSN: 0885-8993.
- [65] H. Akagi and A. Nabae, "Control Strategy of Active Power Filters Using Multiple Voltage-Source PWM Converters," *IEEE Trans. Ind. Appl.*, vol. 1, no. 3, pp. 460–465, 1986.
- [66] S. Ogasawara, J. Takagaki, H. Akagi, and A. Nabae, "A novel control scheme of a parallel current-controlled PWM inverter," *IEEE Trans. Ind. Appl.*, vol. 28, no. 5, pp. 1023–1030, 1992. doi: 10.1109/28.158825, ISSN: 00939994.

- [67] Kun Xing, F. C. Lee, D. Borojevic, Zhihong Ye, and S. Mazumder, "Interleaved PWM with discontinuous space-vector modulation," *IEEE Trans. Power Electron.*, vol. 14, no. 5, pp. 906–917, Sep. 1999. doi: 10.1109/63.788496, ISSN: 0885-8993.
- [68] M. Karimi-Ghartemani and M. R. Iravani, "A Method for Synchronization of Power Electronic Converters in Polluted and Variable-Frequency Environments," *IEEE Trans. Power Syst.*, vol. 19, no. 3, pp. 1263–1270, Aug. 2004. doi: 10.1109/TPWRS.2004.831280, ISSN: 0885-8950.
- [69] Dr.-Ing. habil. Jigou Liu, "'Hall Effect Voltage Sensor CYHVS5-25A,'" *ChenYang Technol. GmbH Co. KG*, vol. 49, no. May, 2016.
- [70] —, "Current Transducer LTSR 15-NP," *LEM*, 2014.
- [71] I. Husain, "*Research to reality leading the electrification revolution.*" Freedm Systems Center, 2019.
- [72] —, "C3M0120090D Silicon Carbide Power MOSFET," *CREE C3M MOSFET Technol.*, no. 1, pp. 1–10, 2017.
- [73] —, "Aluminum Electrolytic Capacitors Power Long Life 4-Terminal Snap-In," *Vishay BCcomponents*, pp. 1–7, 2016.
- [74] —, "Polypropylene Pulse/High Frequency Capacitors A72, Polypropylene Film/Foil, Axial," *KEMET, Electron. Components*, pp. 1–14, 2019.
- [75] —, "Isolated Precision Half-Bridge Driver , 4 A Output," *Analog Devices*, 2017.
- [76] —, "MEJ2 Series," *Murata Power Solut.*, pp. 1–8, 2013.
- [77] —, "BY229X-200 thru BY229X-800 BY229B-200 thru BY229B-800 Vishay Semiconductors Major Ratings and Characteristics," *Vishay Semicond.*, vol. 1500, no. 88540, pp. 1–5, 2005.
- [78] W. Choi, D. Son, M. Hallenberger, S. Young, A. P. Mosfet, and S. Mosfet, "Driving and Layout Requirements for Fast Switching MOSFETs," *Fairchild Semicond. Power Semin. 2010-2011*, pp. 1–13, 2011.