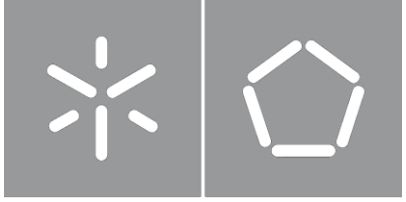
Universidade do Minho
Escola de Engenharia

Pedro Nuno da Silva Pereira

Desenvolvimento de um Conversor CA-CC Trifásico *T-Type* para um *Energy Hub* com Interface de Mobilidade Elétrica

Outubro de 2025



Universidade do Minho
Escola de Engenharia

Pedro Nuno da Silva Pereira

Desenvolvimento de um Conversor CA-CC Trifásico *T-Type* para um *Energy Hub* com Interface de Mobilidade Elétrica

Dissertação de Mestrado
Mestrado em Engenharia Eletrónica Industrial e Computadores

Trabalho realizado sob orientação do
Professor Doutor Vítor Duarte Fernandes Monteiro

e

Professor Doutor João Luiz Afonso

Outubro de 2025

DIREITOS DE AUTOR E CONDIÇÕES DE UTILIZAÇÃO DO TRABALHO POR TERCEIROS

Este é um trabalho académico que pode ser utilizado por terceiros desde que respeitadas as regras e boas práticas internacionalmente aceites, no que concerne aos direitos de autor e direitos conexos.

Assim, o presente trabalho pode ser utilizado nos termos previstos na licença abaixo indicada.

Caso o utilizador necessite de permissão para poder fazer um uso do trabalho em condições não previstas no licenciamento indicado, deverá contactar o autor, através do RepositóriUM da Universidade do Minho.

Licença concedida aos utilizadores deste trabalho



Atribuição-NãoComercial-SemDerivações
CC BY-NC-ND

https://creativecommons.org/licenses/by-nc-nd/4.0/

A todos os que comigo caminharam,

partilhando o peso e o riso do caminho;

se aqui cheguei, foi porque me ampararam,

nada se ergue, afinal, de todo sozinho.

Agradecimentos

Se cheguei até aqui, foi porque nunca caminhei sozinho. À minha Mãe, obrigado por me ensinares, no dia a dia, os valores com que se faz um homem e por seres abrigo quando o cansaço falou mais alto. Foste quem me ensinou a levantar, a pedir desculpa e a voltar a tentar. Ao meu Pai, pela confiança serena, pelo apoio e por me relembrar que os resultados chegam quando se insiste. Sei que esta etapa é um grande motivo de orgulho para ele.

À minha namorada, o meu grande amor, obrigado por acreditares em mim mesmo quando eu duvidava, por respirares fundo e ficares quando eu dizia que estava ocupado. Obrigado, também pelos "vai correr bem" na véspera das entregas. Foste paciência, abrigo e alegria. És a pessoa mais especial que tenho. Acolheste-me como sou e ajudaste-me a ser ainda melhor. Este trabalho também é teu.

Ao meu primo Bruno, sempre presente, para mim um irmão. Obrigado por apareceres quando era preciso levantar o ânimo e por me arrancares sorrisos quando a pressão apertava.

Ao Professor Doutor Vítor Monteiro, meu orientador, pela orientação rigorosa, pelo conhecimento partilhado e pela postura sempre correta e assertiva. Obrigado pela exigência justa e pela confiança que me fez crescer. Também agradecer ao pessoal do GEPE, um obrigado especial ao Tiago Soares pela ajuda, companhia e pela persistência transmitida. És, sem dúvida, das pessoas mais genuínas que já conheci. Obrigado, também ao Pedro Brito, Sérgio Coelho, José Faria, Paulo Peixoto, Maria Carolina e a todos os restantes que, mesmo não participando ativamente, nunca deixaram de estar presentes.

Aos amigos que o curso me trouxe, diferentes entre si, mas unidos neste caminho, obrigado pelas noites de estudo, pelas pequenas vitórias que hoje parecem enormes e por dividirem a bacia comigo. Levo-vos comigo para lá destas páginas. Foi lindo o percurso que fizemos.

Ao Vítor Hugo Pinto, pela amizade, pelos ensinamentos que me fizeram crescer e pela máxima que guardo: "Tu não és bom! Tu és muito bom! Melhor que tu, só o Ronaldo".

A todos, esta dissertação é nossa! Obrigado!

DECLARAÇÃO DE INTEGRIDADE

Declaro ter atuado com integridade na elaboração do presente trabalho académico e confirmo que não recorri à prática de plágio nem a qualquer forma de utilização indevida ou falsificação de informações ou resultados em nenhuma das etapas conducente à sua elaboração.

Mais declaro que conheço e que respeitei o Código de Conduta Ética da Universidade do Minho.

Resumo

A evolução do setor elétrico, impulsionada pela integração de fontes renováveis e pela maior diversidade de cargas ligadas à rede elétrica, exige conversores de eletrónica de potência com melhor desempenho e flexibilidade de controlo. Esta dissertação apresenta o desenvolvimento de um conversor CA-CC trifásico *T-Type* para integração num *energy hub* com interface de mobilidade elétrica. O protótipo, dimensionado para uma potência nominal de 25 kW e uma frequência de comutação de 50 kHz, foi concebido para operar em três variantes (*Full-Bridge*, *T-Type Vienna* e *T-Type* convencional), permitindo enquadrar a validação do conversor trifásico com topologia *T-Type* em condições laboratoriais controladas.

A abordagem metodológica inclui modelação e simulação, seleção de modulação por portadora do tipo SPWM, controlo de corrente (PI síncrono e preditivo) e sincronização com a rede elétrica por PLL, seguidas de implementação em hardware e validação experimental. Os ensaios laboratoriais evidenciam uma tensão do barramento CC estável e correntes sinusoidais em fase com a tensão no lado da rede elétrica. Além disso, a variante multinível apresenta redução do ripple e do THD face ao *Full-Bridge*, destacando o conversor *T-Type* convencional como solução robusta para integração em *energy hubs*. A análise clarifica ainda o efeito das escolhas de modulação e controlo na mitigação harmónica e na estabilidade da tensão do barramento CC, sustentando a conformidade com requisitos de qualidade de energia elétrica em redes de baixa tensão.

A principal contribuição desta dissertação é a demonstração experimental de um conversor *T-Type* trifásico funcional, com arquitetura de controlo implementável e desempenho consistente em operação ligada à rede elétrica. As variantes *Full-Bridge* e *T-Type Vienna* foram usadas apenas como apoio ao comissionamento e para contextualização dos resultados do *T-Type*.

Palavras-Chave: Controlo preditivo de corrente; Conversor CA-CC trifásico; Qualidade de energia; SPWM; Topologia *T-Type*.

Abstract

The evolution of the electric power sector, driven by the integration of renewable sources and the growing diversity of loads connected to the electrical grid, requires power electronic converters with improved performance and control flexibility. This dissertation presents the development of a three-phase AC–DC T-Type converter for integration into an energy hub with an electric mobility interface. The prototype, designed for a nominal power of 25 kW and a switching frequency of 50 kHz, was conceived to operate in three variants (Full-Bridge, T-Type Vienna, and conventional T-Type), enabling the validation of the three-phase T-Type converter under controlled laboratory conditions.

The methodological approach includes modelling and simulation, selection of carrier-based SPWM modulation, current control (synchronous PI and predictive), and grid synchronisation via PLL, followed by hardware implementation and experimental validation. Laboratory tests demonstrate a stable DC bus voltage and sinusoidal grid-side currents in phase with the voltage. Moreover, the multilevel variant exhibits reduced ripple and THD compared with the Full-Bridge, highlighting the conventional T-Type as a technically robust solution for integration into energy hubs. The analysis also clarifies the effect of modulation and control strategies on harmonic mitigation and DC bus voltage stability, supporting compliance with low-voltage power quality standards.

The main contribution of this dissertation is the experimental demonstration of a functional three-phase T-Type converter, with an implementable control architecture and consistent performance in grid-connected operation. The Full-Bridge and T-Type Vienna variants were employed solely to support commissioning and to contextualise the results of the T-Type.

Keywords: Power quality; Predictive current control; SPWM; Three-phase AC–DC converter; T-Type topology.

ÍNDICE

Agradecimentos v

Resumo vii

Abstract viii

Lista de Figuras xii

Lista de Tabelas xvii

Acrónimos e Siglas xviii

Nomenclatura xx

Capítulo 1 Introdução 1

1.1 A Necessidade de Conversores Eficientes na Mobilidade Elétrica 1

1.2 Enquadramento 2

1.3 Motivações 3

1.4 Objetivos 4

1.5 Organização da Dissertação 4

Capítulo 2 Conversores de Eletrónica de Potência CA-CC Trifásicos Operando como Retificadores Ativos 6

2.1 Introdução 6

2.2 Tipos de Retificadores de Eletrónica de Potência 7

2.2.1 Retificadores Ativos de Eletrónica de Potência de Dois Níveis 8

2.2.2 Retificadores de Eletrónica de Potência Multinível 14

2.3 Conclusões 25

Capítulo 3 Técnicas de Modulação, Algoritmos de Controlo, Teorias de Potência e Técnicas de Sincronismo com a Rede Elétrica 27

3.1 Introdução 27

3.2 Técnicas de Modulação 27

3.2.1 *Sinusoidal Pulse-Width Modulation* (SPWM) 28

3.2.2 *Third Harmonic Injection Pulse-Width Modulation* (THIPWM) 29

3.2.3 *Discontinuous Pulse-Width Modulation* (DPWM) 31

3.3 Controlo de Corrente 32

3.3.1 Histerese 32

3.3.2 Amostragem Periódica 33

3.3.3 PI Estacionário 35

3.3.4 PI Síncrono 36

3.3.5 Preditivo 38

3.4 Teorias de Potência 40

3.4.1 Teoria *pq* 40

3.4.2 FBD 41

3.5 Técnicas de Sincronismo com a Tensão da Rede Elétrica 42

3.5.1 *Enhanced Phase-Locked Loop* (E-PLL) 43

3.5.2 *Alfa-Beta Phase-Locked Loop* 44

3.6 Conclusões 44

Capítulo 4 Simulações Computacionais das Topologias Propostas 46

4.1 Introdução 46

4.2 Conversor *Full-Bridge* 47

4.3 Conversor *T-Type* 49
4.3.1 *T-Type* Como *Vienna Rectifier* 50
4.3.2 *T-Type* Convencional 53

4.4 Estratégias de Controlo Empregues 54
4.4.1 Controlo da Tensão do Barramento CC 55
4.4.2 PI Síncrono 56
4.4.3 Preditivo 58

4.5 Técnica de Modulação Utilizada 59
4.5.1 Modulação para o Conversor *Full-Bridge* 60
4.5.2 Modulação para o Conversor o *T-Type* 61

4.6 Técnica de Sincronismo com a Rede Elétrica 66

4.7 Modelo de Simulação Real e Análise do Desempenho 67

4.8 Conclusões 72

Capítulo 5 Projeto e Desenvolvimento do Conversor 74

5.1 Introdução 74

5.2 Sistema de Controlo 74
5.2.1 Microcontrolador 75
5.2.2 *Drivers* 78
5.2.3 Circuito de Aquisição e de Condicionamento de Sinal 80

5.3 Sistema de Potência 85
5.3.1 Sensor de Tensão 86
5.3.2 Sensor de Corrente 88
5.3.3 Semicondutores de Potência 89
5.3.4 Condensadores de *Snubber* 91
5.3.5 Condensadores de Filme do Barramento CC 92

5.4 Protótipo Desenvolvido 93

5.5 Conclusões 107

Capítulo 6 Resultados Experimentais 109

6.1 Introdução 109

6.2 Validação do Conversor *Full-Bridge* como Inversor 110
6.2.1 Ensaios sem a indutância de acoplamento à rede elétrica *L* 110
6.2.2 Inserção da indutância de acoplamento à rede elétrica *L* 111
6.2.3 Validação da PLL 114
6.2.4 Validação do Conversor *Full-Bridge* em Malha Fechada 116

6.3 Validação do Conversor *Full-Bridge* como Retificador 118

6.4 Validação do Conversor *T-Type Vienna Rectifier* 122

6.5 Validação do Conversor *T-Type* Convencional 124
6.5.1 Validação da complementaridade e do *dead-time* dos PWMs do *T-Type* convencional 124
6.5.2 Validação experimental do retificador *T-Type* convencional 125

6.6 Comparação entre as Três Topologias 128

6.7 Conclusões 129

Capítulo 7 Conclusão 131

7.1 Conclusões 131
7.2 Sugestões para Trabalhos Futuros 133
Lista de Referências 134

Lista de Figuras

Figura 1.1 - Conversor trifásico CA-CC para um *energy hub* com enquadramento de mobilidade elétrica. 2

Figura 1.2 - Evolução das emissões de gases com efeito de estufa ao longo do tempo na *Emissions Trading System*. 3

Figura 2.1 - Diagrama geral de classificação de retificadores ativos. 8

Figura 2.2 – Circuito monofásico de um retificador de Meia Ponte. 8

Figura 2.3 - Primeiro estado de funcionamento de um retificador monofásico de Meia Ponte. 9

Figura 2.4 - Segundo estado de funcionamento de um retificador monofásico de Meia Ponte. 9

Figura 2.5 - Ondas das tensões de saída, V_{CC}, e de entrada, V_{CA}, de um retificador de Meia Ponte. 10

Figura 2.6 - Circuito de um retificador monofásico de Ponte Completa. 10

Figura 2.7 - Primeiro estado de funcionamento de um retificador monofásico de Ponte Completa. 11

Figura 2.8 - Segundo estado de funcionamento de um retificador monofásico de Ponte Completa. 11

Figura 2.9 - Onda da tensão de saída, V_{CC}, de entrada, V_{CA}, e retificada sem a ação de filtragem do condensador, $|V_{CA}|$, de um retificador de Ponte Completa. 12

Figura 2.10 - Onda da variação da tensão entre os braços do retificador, V_{ab}, e onda da tensão de entrada, v_a. 12

Figura 2.11 - Diferentes configurações dos MOSFETs para um retificador de Ponte Completa monofásico com os seguintes níveis de tensão: (a) $+V_{cc}$; (b) 0; (c) 0; (d) $-V_{cc}$; (e) 0; (f) 0. 13

Figura 2.12 - Circuito de um retificador trifásico de Ponte Completa. 14

Figura 2.13 – Circuito de um retificador monofásico NPC. 15

Figura 2.14 - Diferentes configurações dos MOSFETs para um retificador NPC monofásico com os seguintes níveis de tensão: (a) $+V_{cc}/2$; (b) $-V_{cc}/2$; (c) 0. 16

Figura 2.15 - Circuito de um retificador trifásico NPC. 16

Figura 2.16 - Circuito monofásico de um retificador *Flying Capacitor*. 17

Figura 2.17 - Diferentes configurações dos MOSFETs para um retificador *Flying Capacitor* monofásico com os seguintes níveis de tensão: (a) $+V_{cc}/2$; (b) $-V_{cc}/2$; (c) 0, (d) 0. 18

Figura 2.18 - Circuito de um retificador trifásico *Flying Capacitor*. 19

Figura 2.19 – Circuito de um retificador monofásico de Ponte Completa em Cascata. 19

Figura 2.20 - Diferentes configurações dos MOSFETs para um conversor Ponte Completa em Cascata monofásico com os seguintes níveis de tensão para o semiciclo positivo da tensão: (a) + V_{cc1} + V_{cc2}; (b) + V_{cc1}; (c) + V_{cc2}, (d) 0; (e) - V_{cc1} + V_{cc2}; (f) + V_{cc1} - V_{cc2}; (g) - V_{cc1} - V_{cc2}, (h) 0; e os seguintes níveis de tensão para o semiciclo negativo da tensão: (a) - V_{cc1} - V_{cc2}; (b) - V_{cc1}; (c) - V_{cc2}, (d) 0; (e) + V_{cc1} - V_{cc2}; (f) - V_{cc1} + V_{cc2}; (g) + V_{cc1} + V_{cc2}, (h) 0; 21

Figura 2.21 - Circuito monofásico de um retificador *T-Type*. 22

Figura 2.22 - Diferentes configurações dos MOSFETs para um retificador *T-Type* monofásico com os seguintes níveis de tensão: (a) $+V_{cc}$; (b) $-V_{cc}$; (c) 0, (d) 0. 23

Figura 2.23 - Configurações possíveis para os semicondutores de baixa tensão de um retificador *T-Type*. 23

Figura 2.24 - Explicação das configurações possíveis para os semicondutores de baixa tensão de um retificador *T-Type*. 24

Figura 2.25 – Tensões aos terminais dos semicondutores de maior tensão, V_{S1} e V_{S4} (sobrepostas na figura), tensões aos terminais dos semicondutores de menor tensão, V_{S2} e V_{S3} (sobrepostas na figura), e tensão aplicada no retificador *T-Type*, v_{conv}. 24

Figura 2.26 - Circuito de um retificador trifásico *T-Type*. 25

Figura 3.1 – Técnica de modulação SPWM. 28
Figura 3.2 – Exemplo de um circuito de comparação. 29
Figura 3.3 - Diagrama de blocos para a implementação da modulação THIPWM. 30
Figura 3.4 - Exemplo de um circuito de comparação com histerese. 32
Figura 3.5 - Forma de onda da corrente e respetivas margens de um controlador de corrente por histerese e tensão entre os braços do conversor, V_{AB}. 33
Figura 3.6 - Diagrama do controlo de amostragem periódica. 34
Figura 3.7 - Formas de onda da corrente medida, i_{medida}, da corrente de referência, $i_{referencia}$, por *periodic sampling* e tensão entre os braços do conversor, V_{AB}. 34
Figura 3.8 - Princípio de funcionamento do controlador PI. 35
Figura 3.9 - Forma de onda da corrente de referência, $i_{referencia}$, e da corrente medida, i_{medida}, (sobrepostas) para um controlador PI estacionário. 36
Figura 3.10 - Diagrama de blocos do PI síncrono. 37
Figura 3.11 – Interface de um conversor CA-CC com a rede elétrica monofásica. 38
Figura 3.12 - Diagrama de blocos do controlo preditivo. 39
Figura 3.13 - Modelo de carga monofásica da teoria FBD. 41
Figura 3.14 - Diagrama de blocos da E-PLL para um caso monofásico. 43
Figura 3.15 - Diagrama de blocos da PLL $\alpha\beta$. 44
Figura 4.1 - Simulação do conversor *Full-Bridge* trifásico. 47
Figura 4.2 - Correntes CA e tensão de saída CC com mudança do valor do barramento. 48
Figura 4.3 – Tensões aos terminais dos MOSFETs superiores, V_{aT}, e inferiores, V_{aB} do conversor *Full-Bridge*. 49
Figura 4.4 - Tensão entre duas fases, V_{ab}, do conversor *Full-Bridge*. 49
Figura 4.5 - Simulação do conversor *T-Type Vienna rectifier*. 50
Figura 4.6 – Tensões aos terminais dos MOSFETs da célula bidirecional da fase *A*, V_{Q7} e V_{Q8}, e sinais de gate dos mesmos, Q_7 e Q_8, do conversor *T-Type Vienna rectifier*. 51
Figura 4.7 – Tensão aos terminais dos diodos V_{aT} e V_{aB} do conversor *T-Type Vienna rectifier*. 52
Figura 4.8 - Tensão entre duas fases, V_{ab}, do conversor *T-Type Vienna rectifier*. 52
Figura 4.9 - Simulação do conversor *T-Type* convencional. 53
Figura 4.10 - Formas de onda do conversor *T-Type* convencional relativas à fase *A*: tensões *drain-source* da célula bidirecional, V_{Q7} e V_{Q8}, e tensões aos terminais dos MOSFETs do braço V_{aT} e V_{aB}. 54
Figura 4.11 - Tensão entre duas fases, V_{ab}, do conversor *T-Type* convencional. 54
Figura 4.12 – Diagrama de blocos do algoritmo do controlo PI do barramento. 55
Figura 4.13 - Variação da tensão de referência do barramento e correntes do lado CA. 56
Figura 4.14 – Componente direta da corrente medida, i_d, e respetiva referência de corrente, i_{d_ref}, (sobrepostas) e componente quadrática da corrente medida, i_q, e respetiva referência de corrente, i_{q_ref}, (sobrepostas) para o PI síncrono. 57
Figura 4.15 - Formas de onda das componentes de tensão direta e quadrática, v_d e v_q, para o PI síncrono. 57
Figura 4.16 - Formas de onda das correntes do lado CA, i_a, i_b e i_c, e respetivo THD para o PI síncrono. 58
Figura 4.17 - Forma de onda da corrente de referência, i_s^*, e da corrente medida, i_s, (sobrepostas) e da tensão aplicada ao conversor, v_{conv}, do controlo preditivo. 59
Figura 4.18 - Formas de onda das correntes do lado CA, i_a, i_b e i_c, e respetivo THD do controlo preditivo. 59
Figura 4.19 - Circuito da modulação do conversor *Full-Bridge*. 60

Figura 4.20 - Comparação entre a portadora e a modeladora do conversor *Full-Bridge*. 61

Figura 4.21 - Comparação entre a portadora e a modeladora do conversor *Full-Bridge* no *PSIM*. 61

Figura 4.22 - Comparação com maior detalhe entre a portadora e a modeladora, v_{con}, (parte superior) e tensão aos terminais dos semicondutores, V_{aT} e V_{aB} (parte inferior) do conversor *Full-Bridge*. 61

Figura 4.23 - Circuito da modulação do conversor *T-Type* utilizada. 62

Figura 4.24 - Comparação entre a portadora e as modeladoras do conversor *T-Type*. 62

Figura 4.25 - Comparação entre a portadora e as modeladoras do conversor *T-Type* e respetivos MOSFETs em condução, Q_1 com Q_7 (comutação do semiciclo positivo) e Q_4 com Q_8 (comutação do semiciclo negativo) da modulação empregue. 63

Figura 4.26 – Tensão entre fases, V_{ab}, e formas de onda das correntes, i_a, i_b e i_c, da modulação empregue. 63

Figura 4.27 - Comparação entre a portadora e a modeladora do conversor *T-Type* e respetivos MOSFETs em condução, Q_1 com Q_7 (comutação do semiciclo positivo) e Q_4 com Q_8 (comutação do semiciclo negativo) da modulação convencional. 65

Figura 4.28 - Circuito da modulação convencional do conversor *T-Type*. 65

Figura 4.29 - Tensão entre fases, V_{ab}, e formas de onda das correntes, i_a, i_b e i_c, da modulação convencional. 65

Figura 4.30 - Tensões trifásicas medidas na rede elétrica do laboratório do GEPE, posteriormente copiadas para simulação, (V_{a_harm}, V_{b_harm}, V_{c_harm}) e tensões de saída da PLL (V_{a_pll}, V_{b_pll}, V_{c_pll}) com respetivos THD, obtidas nos ensaios de simulação. 66

Figura 4.31 - Frequência angular estimada pela PLL (ω) e respetivo ângulo de fase (ω_t), sem (painel esquerdo) e com (painel direito) introdução de harmónicos. 67

Figura 4.32 - Componentes α e β da tensão, v_{α_pll} e v_{β_pll}, fornecida pela PLL, com harmónicos (V_{a_harm}, V_{b_harm}, V_{c_harm}), e respetivo THD. 67

Figura 4.33 - Validação computacional do *T-Type* com modelos reais. 68

Figura 4.34 - Circuito térmico equivalente. 68

Figura 4.35 - Dados do semicondutor escolhido para a simulação real. 68

Figura 4.36 - Influência da variação dos valores de indutância de acoplamento à rede elétrica e da potência da carga CC no THD das correntes consumidas pelo conversor *Full-Bridge*. 69

Figura 4.37 - Influência da variação dos valores de indutância de acoplamento à rede elétrica e da potência da carga CC no THD das correntes consumidas pelo conversor *T-Type*. 69

Figura 4.38 - Influência da variação da tensão do barramento CC e da potência da carga CC no THD das correntes consumidas pelo conversor *Full-Bridge*. 70

Figura 4.39 - Influência da variação da tensão do barramento CC e da potência da carga CC no THD das correntes consumidas pelo conversor *T-Type*. 70

Figura 4.40 - Influência da variação da tensão do barramento CC e da potência da carga CC no *ripple* máximo das correntes consumidas pelo conversor *Full-Bridge*. 70

Figura 4.41 - Influência da variação da tensão do barramento CC e da potência da carga CC no *ripple* máximo das correntes consumidas pelo conversor *T-Type*. 71

Figura 4.42 - Influência da variação da potência da carga CC na eficiência de ambos os conversores. 71

Figura 4.43 - Influência da variação da f_{sw} na eficiência de ambos os conversores. 71

Figura 4.44 - Perdas no indutor (laranja) e perdas nos semicondutores (azul) para ambas as topologias (em cima: *Full-Bridge* / em baixo: *T-Type*). 72

Figura 5.1 - Placa de desenvolvimento *LAUNCHXL-F28379D*. 76

Figura 5.2 - Canais dos ePWMs associados aos diversos MOSFETs do *T-Type*. 76

Figura 5.3 - Introdução do *dead-time* de forma manual. 77

Figura 5.4 - Fluxograma do algoritmo desenvolvido para implementar os *dead-times* e controlar os PWMs. 78
Figura 5.5 - *Driver* utilizado - *1EDI60N12AF*. 79
Figura 5.6 - Circuito utilizado na alimentação bipolar do *driver*. 79
Figura 5.7 - Cadeia de filtros implementada no protótipo. 80
Figura 5.8 - Sensor de tensão utilizado - *Si8920BC-IP*. 86
Figura 5.9 - Circuito do sensor de tensão com o respetivo divisor resistivo. 87
Figura 5.10 – Exemplo de regressão linear para um dos sensores de tensão do lado CC. 87
Figura 5.11 - Exemplo de regressão linear para um dos sensores de tensão do lado CA. 88
Figura 5.12 - Sensor de corrente utilizado - *MCA1101-50-5*. 88
Figura 5.13 - Exemplo de regressão linear para um dos sensores de corrente. 89
Figura 5.14 - Semicondutor de potência utilizado - *MSC080SMA120B4*. 90
Figura 5.15 - Circuito de comando das gates dos MOSFETs SiC. 91
Figura 5.16 - Dissipador utilizado (150 mm x 95 mm x 70 mm). 91
Figura 5.17 - Condensador *snubber* utilizado - *A72QT3100AA02K* 92
Figura 5.18 - Condensador de filme utilizado - *B32778Z4107K000*: (a) vista superior; (b) vista lateral. 93
Figura 5.19 - *Layout* bidimensional da PCB de potência (596,90 mm x 219,71 mm). 94
Figura 5.20 - Modelo tridimensional frontal da PCB de potência. 95
Figura 5.21 - Modelo tridimensional traseiro da PCB de potência. 96
Figura 5.22 - Vista frontal da PCB de potência. 97
Figura 5.23 - Vista traseira da PCB de potência. 98
Figura 5.24 - *Layout* de uma das placas de controlo referentes às fases *A* e *B* (175,30 mm x 104,60 mm). 100
Figura 5.25 - Layout da placa de controlo referente à fase *C* (175,30 mm x 163,50 mm). 100
Figura 5.26 - Modelo tridimensional frontal referente às fases *A* e *B*. 101
Figura 5.27 - Modelo tridimensional traseiro referente às fases *A* e *B*. 101
Figura 5.28 - Modelo tridimensional frontal referente à fase *C*. 102
Figura 5.29 - Modelo tridimensional traseiro referente à fase *C*. 102
Figura 5.30 - Vista frontal de uma das PCBs de controlo das fases *A* e *B*. 103
Figura 5.31 - Vista traseira de uma das PCBs de controlo das fases *A* e *B*. 103
Figura 5.32 - Vista frontal da PCB de controlo da fase *C*. 104
Figura 5.33 - Vista traseira da PCB de controlo da fase *C*. 104
Figura 5.34 - Protótipo final do conversor *T-Type*. 106
Figura 5.35 - Bancada de trabalho com o protótipo e respetivas ligações. 107
Figura 5.36 - Protótipo final da dissertação. 107
Figura 6.1 - Montagem utilizada para a realização das diferentes etapas experimentais. 110
Figura 6.2 - Tensões *drain-source* (V_{DS}) e *gate-source* (V_{GS}) medidas em cada semicondutor, sem a inclusão da indutância de acoplamento à rede elétrica, *L*. 111
Figura 6.3 - Tensões de saída das três fases (V_a, V_b e V_c) do inversor *Full-Bridge* sem a indutância de acoplamento à rede elétrica, *L*. 111
Figura 6.4 - Sinais de PWM complementares, PWM_A e PWM_B medidos diretamente na DSP (a) e respetivo *dead-time* (b). ..112

Figura 6.5 - Sinais de PWM complementares, V_{GS_A} e V_{GS_B} medidos diretamente na *gate* (a) e respetivo *dead-time* (b). 112

Figura 6.6 - Sinais de PWM das três fases gerados na DSP (PWM_A, PWM_B e PWM_C) (a) e medidos nas gates dos MOSFETs (V_{GS_A}, V_{GS_B} e V_{GS_C}) (b), desfasados entre si de 120°. 113

Figura 6.7 - Tensões de saída das três fases (v_a, v_b e v_c) do inversor *Full-Bridge* com a indutância de acoplamento à rede elétrica, *L*. 113

Figura 6.8 - Tensão de saída da fase *A* (v_a), evidenciando o *ripple* e a frequência de comutação. 113

Figura 6.9 - Tensões da rede elétrica trifásica do laboratório do GEPE (v_a, v_b e v_c) (a) e análise espetral de uma das fases (b). 114

Figura 6.10 - Tensão medida da fase *A* (v_a) e tensão sintetizada pela PLL (PLL_a) (a) e respetiva análise espetral (b). 115

Figura 6.11 - Tensões da rede elétrica trifásica (v_a, v_b e v_c) com o ângulo de fase (ω_t) calculado pela PLL. 115

Figura 6.12 - Ângulo de desfasamento entre a tensão medida (v_a) na rede elétrica e o sinal gerado pela PLL (PLL_a). 116

Figura 6.13 - Corrente da fase *A* (i_a) e sinal de referência da PLL (PLL_a) da mesma fase, evidenciando o desfasamento de 180° 117

Figura 6.14 – Tensão (v_a) e corrente da fase *A* (i_a) e sinal de referência da PLL (PLL_a) da mesma fase. 117

Figura 6.15 – Sinal da PLL da fase *A* (PLL_a) e correntes injetadas nas fases *A*, *B* e *C* (i_a, i_b e i_c). 118

Figura 6.16 - Tensão da fase *A* da rede elétrica (v_a), corrente da fase *A* (i_a) e sinal da PLL correspondente (PLL_a) durante a operação passiva do retificador (a); correntes das três fases (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) durante a mesma condição (b). 119

Figura 6.17 - Análise espetral da corrente de uma fase durante a operação passiva do retificador *Full-Bridge*. 119

Figura 6.18 - Tensão da fase *A* da rede elétrica (v_a), corrente da fase *A* (i_a) e sinal da PLL correspondente (PLL_a) durante a operação com comutação ativa do retificador (a); correntes das três fases (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) durante a mesma condição (b). 120

Figura 6.19 - Sinal da PLL (PLL_a) e corrente de uma das fases (i_a), bem como a tensão do barramento CC (V_{CC}). 121

Figura 6.20 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *Full-Bridge*. 121

Figura 6.21 - Tensão entre os braços *A* e *B* do conversor (V_{ab}) e tensão da fase *A* (v_a), da topologia *Full-Bridge*. 122

Figura 6.22 - Tensão do barramento CC (V_{CC}), sinal da PLL da fase *A* (PLL_a) e corrente da mesma fase (i_a) (a); correntes das três fases do lado CA (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) (b); para a topologia *T-Type Vienna rectifier*. 123

Figura 6.23 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *T-Type Vienna rectifier*. 123

Figura 6.24 - Tensão entre os braços *A* e *B* (V_{ab}) do conversor *T-Type Vienna rectifier*. 124

Figura 6.25 - Ensaio da complementaridade dos sinais PWM dos pares *6A–1A* (PWM_{6A} e PWM_{1A}) e *6B–1B* (PWM_{6B} e PWM_{1B}). 125

Figura 6.26 - Sinal da PLL da fase *A* (PLL_a), corrente da mesma fase (i_a) e tensão do barramento CC (V_{CC}) (a); correntes das três fases do lado CA (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) (b); para a topologia *T-Type* convencional. 126

Figura 6.27 - Tensão entre os braços *A* e *B* (V_{ab}) do conversor *T-Type* convencional. 126

Figura 6.28 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *T-Type* convencional. 127

Figura 6.29 - Evolução da tensão do barramento CC (V_{CC}) ao longo dos diferentes estágios de operação do conversor T-Type convencional. 128

Lista de Tabelas

Tabela 2.1 - Nível lógico de cada configuração para um retificador de Ponte Completa. 13

Tabela 2.2 - Nível de tensão de cada configuração de um retificador NPC. 16

Tabela 2.3 - Nível de tensão de cada configuração do retificador *Flying Capacitor*. 18

Tabela 2.4 - Exemplo de diferentes níveis de tensão para um retificador de Ponte Completa em Cascata quando V_{cc1} é diferente de V_{cc2}. 20

Tabela 2.5 - Níveis de tensão de cada configuração de um conversor Ponte Completa em Cascata. 21

Tabela 2.6 - Nível de tensão de cada configuração do retificador *T-Type*. 23

Tabela 4.1 - Valores de K_p e K_i utilizados no PI síncrono. 56

Tabela 6.1 - Comparação do número de níveis do conversor, da complexidade de implementação, dos valores de *ripple* e dos valores de THD das três topologias. 129

Acrónimos e Siglas

Acrónimo / Sigla	**Significado**
ADC	*Analog-to-Digital Converter*
CA	Corrente Alternada
CBPWM	*Carrier-Based Pulse-Width Modulation*
CC	Corrente Contínua
CLA	*Control Law Accelerator*
CPU	*Central Processing Unit*
CSR	*Current Source Rectifiers*
DAC	*Digital-to-Analog Converter*
DPWM	*Discontinuous Pulse-Width Modulation*
E-PLL	*Enhanced Phase-Locked Loop*
ESR	*Equivalent Series Resistance*
ETS	*Emissions Trading System*
FBD	*Fryze-Buchholz-Depenbrok*
GEE	Gases de Efeito de Estufa
GPIO	*General-Purpose Input/Output*
IGBT	*Insulated Gate Bipolar Transistor*
LUT	*Look-Up Table*
MMC	*Modular Multilevel Converter*
MOSFET	*Metal Oxide Semiconductor Field Effect Transistor*
NPC	*Neutral Point Clamped*
PCB	*Printed Circuit Board*
PLL	*Phase-Locked Loop*

RAM	*Random Access Memory*
SiC	*Silicon Carbide*
SPWM	*Sinusoidal Pulse-Width Modulation*
SVPWM	*Space-Vector Pulse-Width Modulation*
THD	*Total Harmonic Distortion*
THD-F	*Total Harmonic Distortion – Fundamental*
THIPWM	*Third Harmonic Injection Pulse-Width Modulation*
TVS	*Transient Voltage Suppressor*
UE	União Europeia
VE	Veículo Elétrico
VSR	*Voltage Source Rectifier*

Nomenclatura

Símbolo	Descrição	Unidade
$\bar{v}^2$	Valor médio quadrático da tensão	V
$\bar{p}$	Potência média (teoria FBD)	W
C	Capacitância do condensador	F
dv/dt	Taxa de variação da tensão	V/µs
f	Frequência fundamental da tensão da rede elétrica	Hz
f_s	Frequência de amostragem	Hz
f_{sw}	Frequência de comutação dos semicondutores	Hz
G	Condutância equivalente (teoria FBD)	S
i'	Corrente de referência de compensação (teoria FBD)	A
i_a	Corrente instantânea na fase A	A
i_b	Corrente instantânea na fase B	A
i_c	Corrente instantânea na fase C	A
i_{comp}	Corrente de compensação (teoria FBD)	A
i_d	Componente direta da corrente no referencial dq	A
i_{d_ref}	Corrente de referência direta no referencial dq	A
i_G	Corrente associada à condutância equivalente da carga (teoria FBD)	A
i_g^*	Corrente ativa de referência desejada para a rede elétrica	A
$i_{g_linha}^*$	Corrente de referência da rede elétrica por fase	A
i_L	Corrente no indutor de acoplamento	A
$i_L(k)$	Corrente no indutor no instante k	A
$i_L(k+1)$	Corrente no indutor no instante $k+1$	A
i_{out}	Corrente contínua de saída	A
i_q	Componente em quadratura da corrente no referencial dq	A
i_{q_ref}	Corrente de referência em quadratura no referencial dq	A
K_i	Ganho integral do controlador PI	–
K_p	Ganho proporcional do controlador PI	–

L	Indutância de acoplamento à rede	H
m	Índice de modulação (THIPWM)	–
P	Potência ativa instantânea	W
P_{DC}	Potência do barramento contínuo	W
Q	Potência reativa instantânea	VAr
R	Resistência de carga equivalente	Ω
T_s	Período de amostragem	s
V	Tensão eficaz (RMS) por fase da rede elétrica	V
$V_{+SENSOR}$	Tensão de referência positiva do sensor	V
v_a	Tensão da fase *A*	V
V_A	Tensão no nó anterior a R3 (amplificador diferencial)	V
v_{a_harm}	Tensão harmónica medida na fase *A* da rede elétrica	V
v_{a_pll}	Tensão sintetizada pela PLL para a fase *A*	V
V_{ab}	Tensão entre os braços *A* e *B* do conversor	V
V_{aB}	Tensão nos terminais do MOSFET inferior da fase *A*	V
V_{aT}	Tensão nos terminais do MOSFET superior da fase *A*	V
v_b	Tensão da fase *B*	V
V_B	Tensão no nó anterior a R4 (amplificador diferencial)	V
v_{b_harm}	Tensão harmónica medida na fase *B* da rede elétrica	V
v_{b_pll}	Tensão sintetizada pela PLL para a fase *B*	V
v_c	Tensão da fase *C*	V
v_{c_harm}	Tensão harmónica medida na fase *C* da rede elétrica	V
v_{c_pll}	Tensão sintetizada pela PLL para a fase *C*	V
V_{CA}	Tensão do lado CA	
V_{CC}	Tensão do barramento de corrente contínua	V
V_{CC1}	Tensão do sub-barramento superior	V
V_{CC2}	Tensão do sub-barramento inferior	V
v_{conv}	Tensão sintetizada pelo conversor	V
v_d	Tensão no eixo direto do referencial síncrono *dq* (Park)	V
V_{DS}	Tensão entre *drain* e *source* do MOSFET	V

v_G	Tensão instantânea da rede elétrica (monofásico)	V
v_{g_linha}	Tensão instantânea da rede elétrica por fase	V
V_{GS}	Tensão entre *gate* e *source* do MOSFET	V
v_L	Tensão nos terminais do indutor de acoplamento	V
V_{OUT}	Tensão de saída do condicionamento de sinal (amplificador diferencial do sensor de corrente)	V
v_{out}	Tensão contínua de saída	V
v_q	Tensão no eixo em quadratura do referencial *dq* (Park)	V
V_{SENSOR}	Tensão de referência negativa do sensor	V
v_α	Tensão transformada para o referencial α (Clarke)	V
v_β	Tensão transformada para o referencial β (Clarke)	V
α	Eixo α do referencial de Clarke	–
β	Eixo β do referencial de Clarke	–
ΔH	Banda de histerese no controlo de corrente	A
Δt	Intervalo temporal discreto (passo de integração)	s
ω	Velocidade angular da rede elétrica	rad/s
ω_t	Ângulo de fase instantâneo da tensão da rede elétrica	rad

Capítulo 1

Introdução

1.1 A Necessidade de Conversores Eficientes na Mobilidade Elétrica

A mobilidade elétrica tem se consolidado como uma solução fundamental para a transição energética, especialmente em sociedades modernas e industrializadas. Esta desempenha um papel fulcral na mitigação de problemas ambientais, como a emissão de gases de efeito estufa, e também na redução da dependência de combustíveis fósseis [1]. Além disso, a mobilidade elétrica facilita a integração de fontes de energia renováveis no sector de transportes, contribuindo para um sistema energético mais sustentável e eficiente [2]. A crescente demanda por veículos elétricos (VE) impulsiona o desenvolvimento de novas tecnologias, especialmente na área de eletrónica de potência, tanto a nível de topologias de conversores como de algoritmos de controlo, que é vital para a infraestrutura de carregamento destes veículos.

Neste contexto, o desenvolvimento de conversores eficientes, que operem com elevados padrões de qualidade de energia em toda a gama de potência de operação e garantam uma utilização contínua e fiável da rede elétrica, é essencial. Este trabalho visa explorar e desenvolver um conversor trifásico CA-CC com topologia *T-Type* para um *energy hub*, cujo enquadramento principal é a interface com sistemas de mobilidade elétrica, conforme ilustrado na Figura 1.1. O conversor foi dimensionado para uma potência nominal de 25 kW, permitindo o seu enquadramento em aplicações de carregamento rápido de veículos elétricos, procurando-se assim uma solução mais eficiente e otimizada para este tipo de sistemas [3].

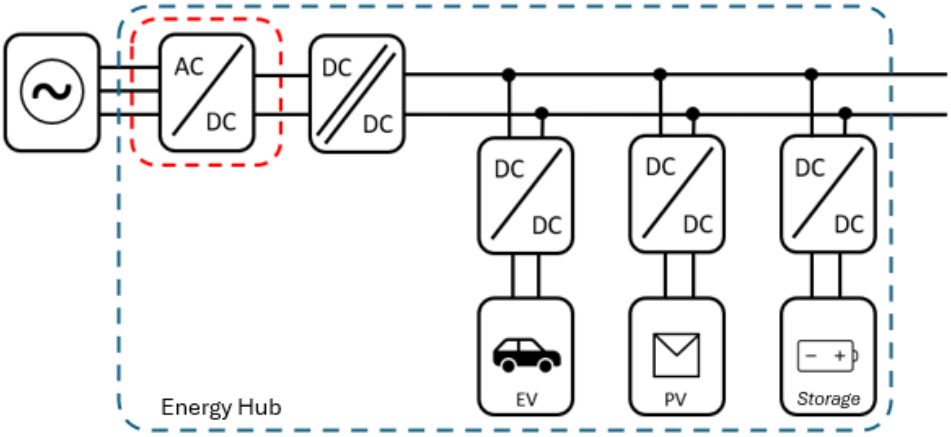


Figura 1.1 - Conversor trifásico CA-CC para um *energy hub* com enquadramento de mobilidade elétrica.

1.2 Enquadramento

A transição para a mobilidade elétrica é um dos pilares para a descarbonização do setor de transporte [2]. Numa sociedade industrializada e com crescente preocupação ambiental, a redução da pegada de carbono através de soluções de mobilidade sustentável é uma prioridade. Sendo assim, a tendência é reduzir as emissões de gases de efeito de estufa (GEE) [4]. A União Europeia (UE) tem implementado diversas medidas para combater a emissão de GEE em diversos setores, como é o caso da *Emissions Trading System* (ETS), que representa cerca de 40% dos GEE. Esta representa uma das principais ferramentas da UE para combater as alterações climáticas e reduzir as emissões de GEE de forma econômica e eficiente. Mais concretamente, este método aplica o princípio de "o poluidor paga" e funciona como um mercado de carbono, no qual as empresas têm limites para as suas emissões e podem negociar licenças de emissão. Embora o transporte doméstico não esteja abrangido por esta medida, demonstra o compromisso da União Europeia em mitigar os GEE. A Figura 1.2 ilustra a evolução das emissões de GEE no ETS ao longo dos anos [5], [6].

No entanto, para que a mobilidade elétrica se torne uma opção competitiva em relação aos veículos tradicionais, é necessário enfrentar desafios técnicos e económicos significativos. Um dos principais obstáculos é o tempo de carregamento dos veículos, que precisa ser reduzido para melhorar a experiência do utilizador [7]. Para isto, é necessário aumentar a potência dos postos de carregamento, o que exige o desenvolvimento de sistemas de eletrónica de potência altamente eficientes e robustos [8].

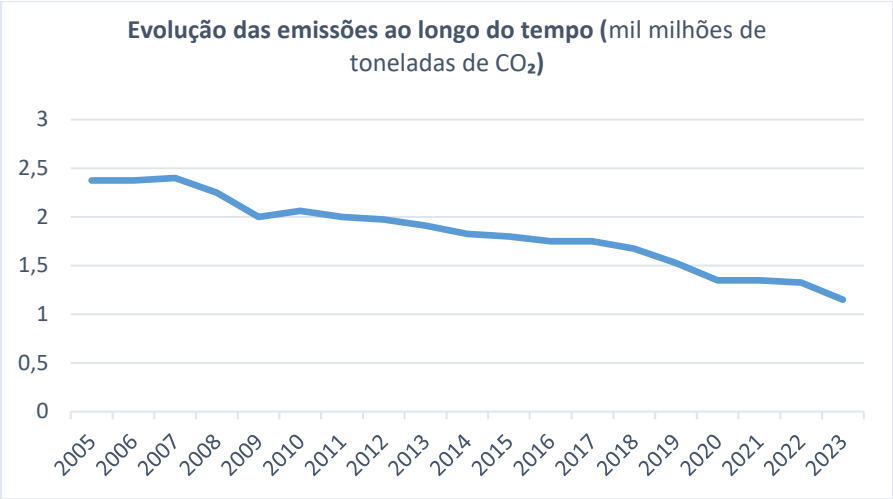


Figura 1.2 - Evolução das emissões de gases com efeito de estufa ao longo do tempo na *Emissions Trading System*.

Adicionalmente, a diversidade de VE, cada um com diferentes requisitos de carregamento, aumenta a complexidade dos sistemas de carregamento. Neste cenário, emerge a necessidade de sistemas versáteis, que possam se adaptar às diferentes demandas e garantir um processo de carregamento eficiente para diversos modelos/marcas de veículos [7]. Posto isto, são necessárias soluções tecnológicas que combinem eficiência energética com flexibilidade operacional.

1.3 Motivações

A motivação para este projeto de dissertação emerge da necessidade urgente de criar soluções tecnológicas que impulsionem a mobilidade elétrica como uma alternativa viável e sustentável. O crescimento da adoção de veículos elétricos, aliado à necessidade de redução das emissões de carbono, exige um avanço significativo na tecnologia de carregamento [3]. Um dos principais motores desta transformação é o desenvolvimento de conversores de eletrónica de potência eficientes, capazes de operar em altas potências, reduzir o tempo de carregamento e integrar fontes de energia renovável [9].

O desenvolvimento de um conversor trifásico CA-CC com topologia *T-Type* representa uma solução promissora para os desafios atuais da mobilidade elétrica. Esta topologia é conhecida por apresentar uma elevada eficiência e por reduzir a tensão aplicada aos semicondutores de potência, o que contribui para a diminuição das perdas de energia e para uma maior confiabilidade dos sistemas de carregamento [3], [8]. Além disso, a integração com sistemas de armazenamento e energias renováveis oferece a possibilidade de tornar o processo de carregamento mais sustentável e eficiente, utilizando a energia de maneira inteligente durante os períodos de maior demanda.

Este trabalho procura, assim, contribuir para o desenvolvimento de tecnologias que não apenas atendam às exigências atuais do mercado de veículos elétricos, mas que também preparem o caminho para uma infraestrutura de mobilidade elétrica mais sustentável e eficiente, essencial para a transição energética global.

1.4 Objetivos

De forma a viabilizar a realização desta dissertação foi necessário estabelecer alguns objetivos de trabalho. Sendo estes, os seguintes:

1. Estudo dos conversores: compreensão dos princípios de operação e diferentes configurações dos conversores trifásicos CA-CC. Posto isto, análises teóricas de forma a encontrar a configuração ideal do conversor que atende aos critérios do projeto.

2. Estudo dos sistemas de controlo: análise do algoritmos de controlo, técnicas de modulação, teorias de potência e técnicas de sincronismo com a rede elétrica para ajuste dos diversos parâmetros do projeto.

3. Simulações computacionais do projeto: realização de simulações para avaliar o seu correto desempenho.

4. Desenvolvimento do protótipo experimental: com base nas simulações foi desenvolvido o protótipo laboratorial.

5. Validação por meio de testes laboratoriais: uma vez funcional, o protótipo é submetido a uma serie de testes experimentais para validação do seu desempenho.

1.5 Organização da Dissertação

Nesta dissertação, serão documentados, de forma detalhada, todos os processos conduzidos até à validação do protótipo final. A dissertação está organizada em vários capítulos, com cada um dedicado a uma fase distinta do desenvolvimento, permitindo uma leitura estruturada e coerente.

No Capítulo 1, apresenta-se a descrição do problema, onde é feita uma análise detalhada dos desafios identificados, a sua relevância no contexto atual e a motivação para a sua resolução. Além disso, são claramente definidos os objetivos a atingir, que guiarão o progresso de todo o projeto.

Seguidamente, no Capítulo 2 são analisadas as principais topologias dos conversores utilizadas atualmente. Este capítulo inclui uma comparação crítica entre as soluções existentes, apontando as vantagens e limitações de cada uma, até se justificar a escolha da solução considerada mais adequada para este projeto.

No Capítulo 3 são apresentados e discutidos os algoritmos de controlo implementados no projeto, bem como a técnica de modulação adotada. Adicionalmente, são abordados os princípios teóricos subjacentes às teorias de potência e aos métodos de sincronismo com a rede elétrica, nomeadamente os baseados em *Phase-Locked Loops* (PLL). Este capítulo tem como objetivo documentar, de forma rigorosa e estruturada, a lógica de controlo desenvolvida, salientando os métodos e estratégias empregues para assegurar o comportamento dinâmico e o desempenho pretendido do sistema.

Posteriormente, no Capítulo 4, são detalhadas todas as simulações realizadas. Este capítulo relata o processo experimental em ambiente de simulação, desde as simulações preliminares, focadas na validação de conceitos básicos, até às simulações mais avançadas, que visam otimizar o desempenho do sistema e servir de base para o desenvolvimento do protótipo final.

No Capítulo 5, é documentado o processo de construção do protótipo físico. Nesta secção, são descritos os materiais e componentes utilizados, os passos seguidos para o dimensionamento e montagem, assim como as dificuldades encontradas e as soluções adotadas para a sua resolução.

No Capítulo 6, são apresentados os resultados dos testes realizados ao protótipo, com o objetivo de validar o correto funcionamento do mesmo.

Finalmente, no Capítulo 7, são demonstradas as conclusões da dissertação bem como as sugestões de trabalho futuro.

Capítulo 2

Conversores de Eletrónica de Potência CA-CC Trifásicos Operando como Retificadores Ativos

2.1 Introdução

Nos últimos anos, os conversores de eletrónica de potência tornaram-se indispensáveis, pois são responsáveis por transformar e gerir a energia elétrica. À medida que estes foram evoluindo, foram surgindo soluções cada vez mais eficientes, sustentáveis, mais compactas e robustas, adaptando-se assim às necessidades que foram surgindo e ainda irão surgir [10]. Posto isto, torna-se fundamental reconhecer os vários tipos de conversores de eletrónica de potência, classificando-os de acordo com a sua função e modo de operação [11]. Sendo estes os seguintes:

I. Conversores CA-CC (retificadores):
   - Topologias monofásicas ou trifásicas;
   - Ativos ou passivos;
   - Exemplos: retificadores de meia onda e de onda completa.

II. Conversores CC-CC:
   - Topologias *boost* (*step-up*) ou *buck* (*step-down*);
   - Isolados (em alta-frequência) ou não isolados;
   - Exemplos: conversores *buck* (redução de tensão), *boost* (aumento de tensão) e *buck-boost* (tensão ajustável).

III. Conversores CC-CA (inversores):
   - Topologias monofásicas ou trifásicas (com ou sem neutro);
   - Exemplo: inversores para motores (*motor drivers*).

IV. Conversores CA-CA:
   - Modificam a tensão e/ou a frequência da corrente alternada;
   - Exemplos: controladores de fase e conversores *matrix*.

Assim sendo, uma vez que o objetivo é tornar possível a interface da rede elétrica com os restantes conversores de potência, é necessário realizar um estudo sobre os diversos conversores CA-CC (retificadores) com maior relevância para esta aplicação. Neste capítulo, serão analisados os modos de operação das diferentes topologias, tais como possíveis vantagens e desvantagens na utilização destas.

2.2 Tipos de Retificadores de Eletrónica de Potência

Os retificadores de eletrónica de potência são os responsáveis por converter CA em CC. Este processo de retificação é especialmente importante em aplicações que requerem uma corrente contínua, ou seja, retificam a corrente alternada vinda da rede elétrica, em corrente continua, e assim, torna-se possível alimentar fontes de tensão, ou mesmo, criar uma interface entre a rede elétrica, os sistemas de armazenamento de energia e os conversores de energia renovável [12].

Os retificadores podem ser ativos ou passivos. Ativos quando recorrem a semicondutores de potência, como IGBTs ou MOSFETs, ou passivos, quando são constituídos por díodos em vez de semicondutores [13]. Além disso, existem retificadores de fonte de tensão (*voltage source rectifiers* - VSR) e de fonte de corrente (*current source rectifiers* - CSR), cada um com características específicas para diferentes tipos de aplicações. Os VSR mantêm uma tensão constante na saída e são amplamente utilizados onde é necessária uma tensão de saída estável. Por outro lado, os CSR mantêm uma corrente constante na saída, sendo aplicados em situações que exigem proteção e estabilidade na corrente de saída [14].

Alguns retificadores também podem operar em modo bidirecional, funcionando como inversores e injetando a energia na rede elétrica, caso necessário. Esta funcionalidade é possível através da comutação de semicondutores de potência totalmente controlados, como MOSFETs ou IGBTs, capazes de operar a altas frequências para alcançar a forma de onda desejada [13]. A tensão de saída, que depende da tensão máxima da onda CA, apresenta uma certa ondulação, resultando em flutuações que precisam de filtragem adicional para garantir uma tensão CC estável [15]. Posto isto, serão analisados individualmente os retificadores apresentados na Figura 2.1. Embora esta dissertação se concentre no desenvolvimento de um conversor trifásico, neste capítulo opta-se por apresentar as topologias de forma monofásica, de modo a facilitar a compreensão do princípio de funcionamento de cada uma. No final de cada análise monofásica é, então, introduzida a respetiva versão trifásica. Todos os retificadores são representados com MOSFETs e permitem operação bidirecional, ou seja, funcionamento nos quatro quadrantes.

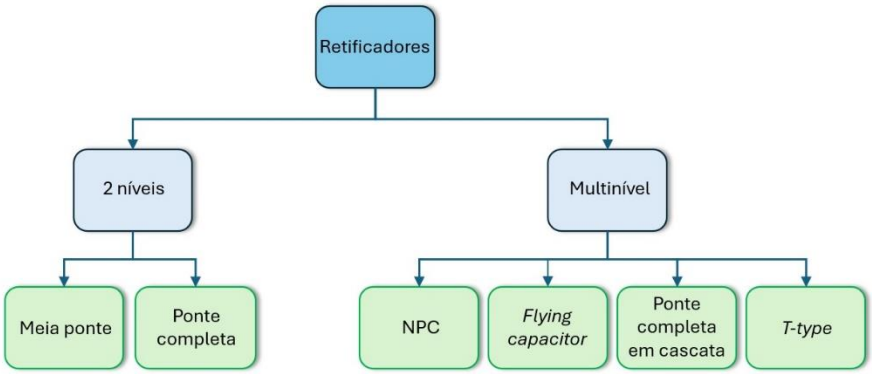


Figura 2.1 - Diagrama geral de classificação de retificadores ativos.

2.2.1 Retificadores Ativos de Eletrónica de Potência de Dois Níveis

Um retificador de dois níveis é utilizado para transformar CA em CC. Este é denominado assim, porque a tensão de saída só apresenta dois valores possíveis, sendo estes: positivo e zero (ou negativo, dependendo se se trata de um retificador unipolar ou bipolar). Este tipo de retificadores é ideal para circuitos de baixa e média potência, onde não é requerida uma tensão de saída com baixo *ripple*. Além disso, são fáceis de implementar e apresentam um custo reduzido, devido ao número reduzido de componentes [16]. Em contrapartida, também apresenta algumas desvantagens significativas, tal como a presença de elevados valores de tensão nos semicondutores de potência e um *ripple* maior à saída destes [17].

2.2.1.1 Retificador de Meia Ponte

O retificador de Meia Ponte, ou *Half-Bridge rectifier*, caracteriza-se pelo seu número reduzido de componentes e pela simplicidade da sua topologia, pois utiliza apenas dois semicondutores de potência. Esta configuração permite a retificação controlada da tensão de entrada para uma tensão contínua na saída [17]. Na Figura 2.2, está representado o circuito monofásico do retificador de Meia Ponte.

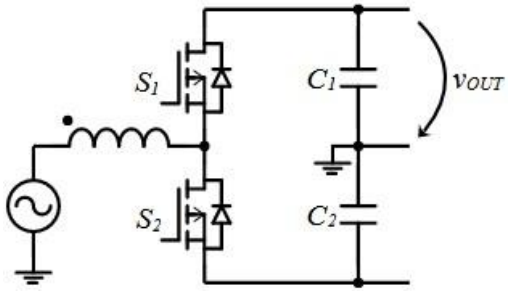


Figura 2.2 – Circuito monofásico de um retificador de Meia Ponte.

Durante o funcionamento, o circuito alterna entre dois estados. No primeiro estado, o semicondutor superior (S_1) conduz, permitindo que a corrente flua da fonte CA para a carga através do díodo (ou fechando o MOSFET), carregando o condensador de saída (C_1). Já o semicondutor inferior (S_2) permanece desligado, evitando a condução simultânea e prevenindo curtos-circuitos, como ilustrado na Figura 2.3.

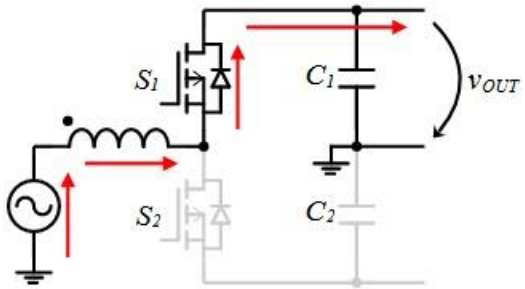


Figura 2.3 - Primeiro estado de funcionamento de um retificador monofásico de Meia Ponte.

No segundo estado, o semicondutor inferior (S_2) entra em condução enquanto o superior (S_1) se desliga. Neste caso, a corrente flui no sentido oposto, utilizando a outra metade do ciclo da tensão CA, como é possível constatar na Figura 2.4 a vermelho.

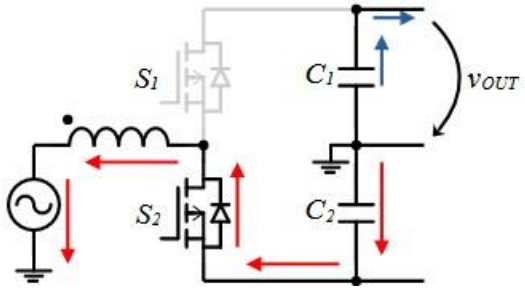


Figura 2.4 - Segundo estado de funcionamento de um retificador monofásico de Meia Ponte.

Quando o retificador se encontra no seu segundo estado, a corrente flui do condensador superior (C_1), que se encontra carregado, para a saída, como representado a azul na Figura 2.4, criando uma tensão contínua, como se pode conferir na Figura 2.5.

Embora esta topologia pudesse ser composta apenas por díodos, a presença de semicondutores de potência permite tornar o conversor bidirecional, caso necessário. A simplicidade desta topologia torna o retificador de Meia Ponte uma solução de baixo custo para fontes de alimentação e conversores de potência. Contudo, apresenta uma eficiência ligeiramente inferior à do retificador de Ponte Completa, uma vez que apenas metade do ciclo da tensão de entrada é utilizada [18].

Tal como nas restantes topologias analisadas a seguir, a presença de dois condensadores no barramento CC exige um controlo de balanceamento, de forma a assegurar que as tensões se mantenham simétricas

e estáveis. Este equilíbrio é essencial para o correto funcionamento do retificador e para evitar sobrecargas ou assimetrias de tensão no circuito [19].

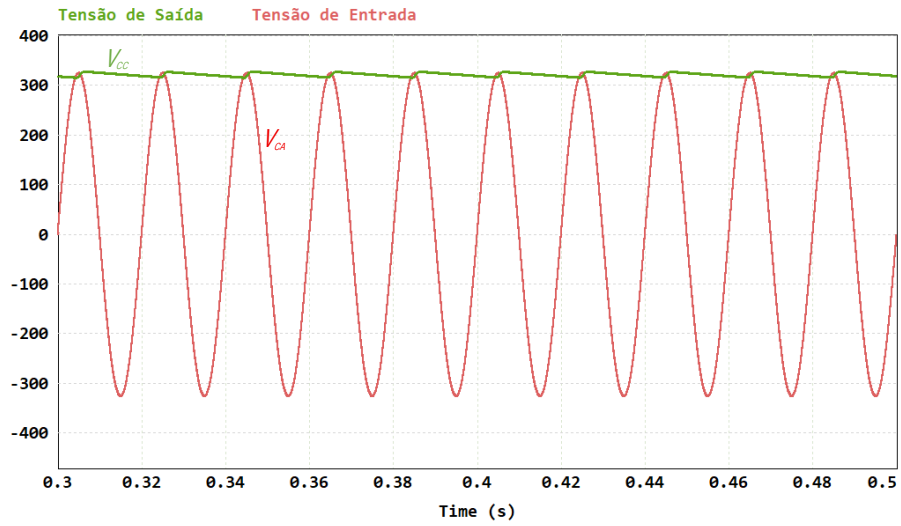


Figura 2.5 - Ondas das tensões de saída, V_{CC}, e de entrada, V_{CA}, de um retificador de Meia Ponte.

2.2.1.2 Retificador de Ponte Completa

O retificador de Ponte Completa, ou *Full-Bridge*, destaca-se pela presença de dois braços. Estes podem ser compostos por dois díodos cada, ou dois semicondutores de potência cada, o que permite a retificação de ambos os semiciclos da tensão de entrada, tornando assim, o retificador de Ponte Completa uma alternativa mais eficiente quando comparado com o retificador de Meia Ponte [20]. Os detalhes do circuito monofásico de um retificador de Ponte Completa estão ilustrados na Figura 2.6.

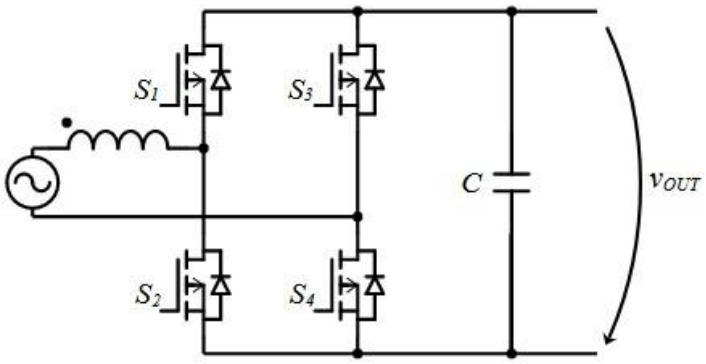


Figura 2.6 - Circuito de um retificador monofásico de Ponte Completa.

Durante o funcionamento, o circuito alterna entre dois estados principais, utilizando dois pares de semicondutores. No primeiro estado, os semicondutores S_1 e S_4 conduzem, permitindo que a corrente flua da fonte para a carga, através do caminho formado pelos díodos ou pelos MOSFETs. Já os semicondutores S_2 e S_3 permanecem desligados, prevenindo curtos-circuitos, conforme ilustrado na Figura 2.7 [21].

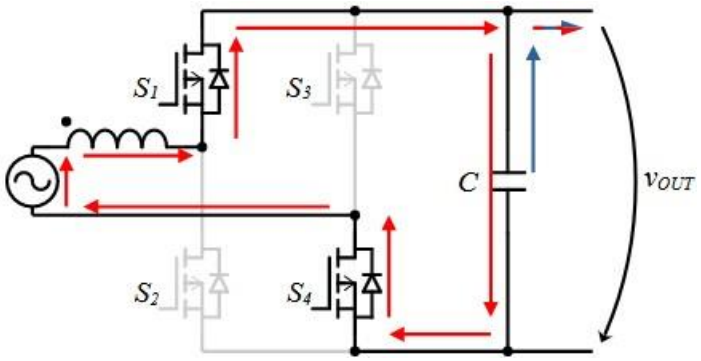


Figura 2.7 - Primeiro estado de funcionamento de um retificador monofásico de Ponte Completa.

No segundo estado, os semicondutores S_2 e S_3 conduzem, enquanto S_1 e S_4 se desligam. Neste estado, a corrente flui no sentido oposto, utilizando o outro semiciclo da tensão de entrada, como representado na Figura 2.8 a vermelho. Esta alternância permite a utilização integral da tensão de entrada, aproveitando ambos os semiciclos.

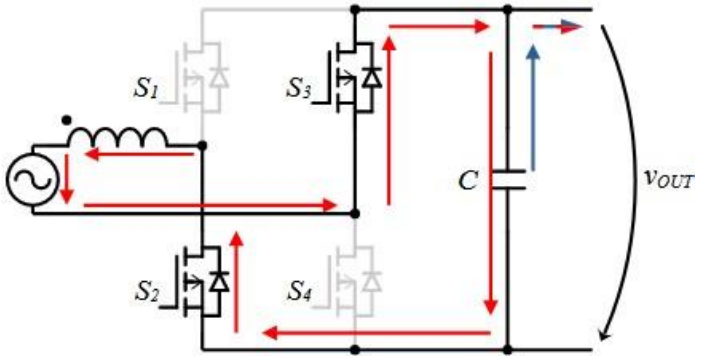


Figura 2.8 - Segundo estado de funcionamento de um retificador monofásico de Ponte Completa.

Durante ambos os estados de funcionamento, o condensador (C) é carregado. Após isso, quando a tensão de entrada é menor que a tensão que o condensador apresenta, este descarrega, garantindo assim, uma tensão quase contínua na saída. Esse processo está representado a azul, tanto na Figura 2.7, como na Figura 2.8. Assim, a tensão contínua resultante na saída do retificador apresenta uma ondulação reduzida, como evidenciado na Figura 2.9.

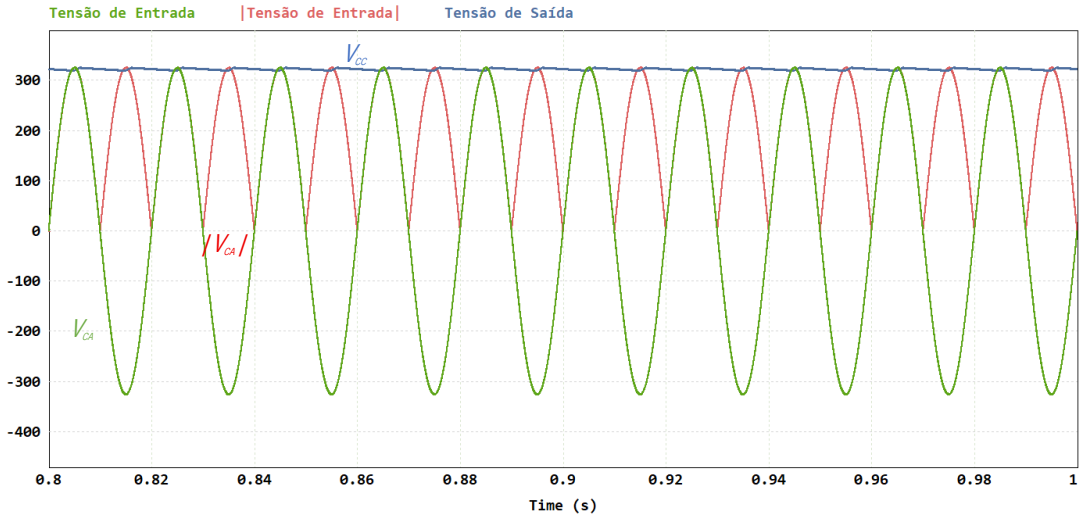


Figura 2.9 - Onda da tensão de saída, V_{CC}, de entrada, V_{CA}, e retificada sem a ação de filtragem do condensador, $|V_{CA}|$, de um retificador de Ponte Completa.

Ao contrário do retificador de Meia Ponte, o retificador de Ponte Completa apresenta maior eficiência, uma vez que o fluxo de corrente ocorre em ambos os braços durante cada semiciclo, garantindo uma condução mais contínua e uma menor ondulação (*ripple*) na tensão de saída [20], [22]. Além disso, a presença de semicondutores de potência torna o conversor bidirecional. Apesar do retificador de Ponte Completa ser definido como um retificador de dois níveis, este pode operar com 3 níveis (positivo, zero e negativo), reduzindo assim o valor da indutância da bobina [21] . Na Figura 2.10, é possível observar a forma de onda da variação da tensão entre os braços do retificador (V_{ab}).

Para viabilizar esta configuração, é necessário comutar os MOSFETs de modo que o valor de V_{ab} varie entre 0 e $+V_{cc}$, no semiciclo positivo da tensão de entrada, e entre 0 e $-V_{cc}$, no semiciclo negativo. Na Figura 2.11 está representado as diferentes possibilidades.

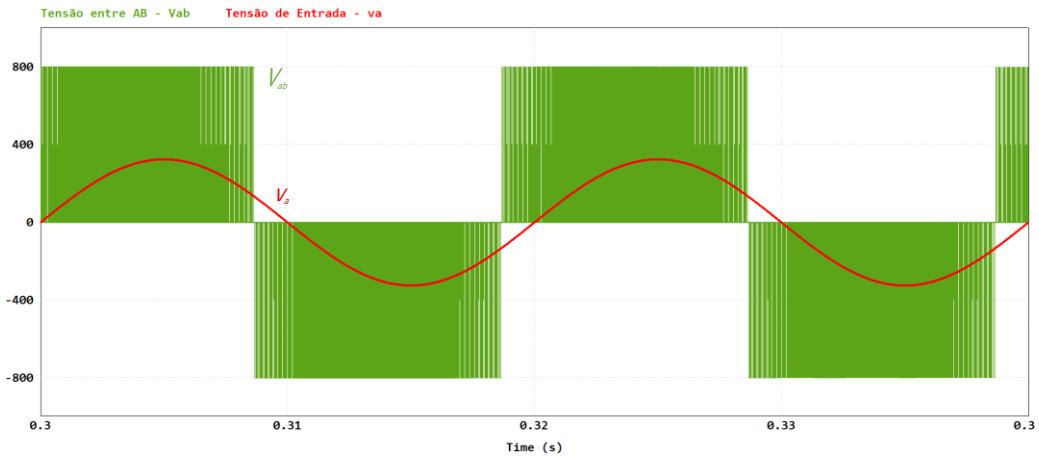


Figura 2.10 - Onda da variação da tensão entre os braços do retificador, V_{ab}, e onda da tensão de entrada, v_a.

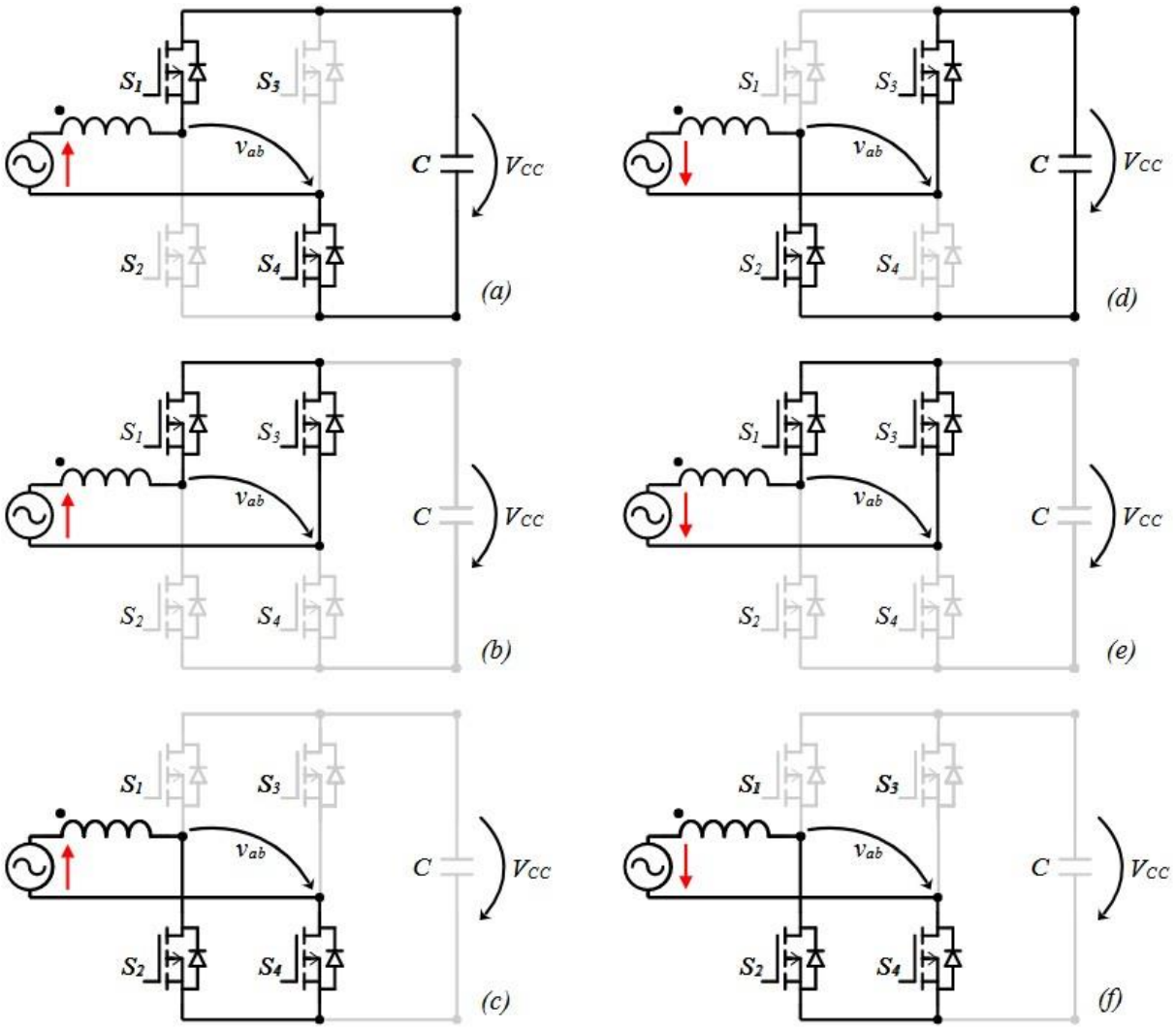


Figura 2.11 - Diferentes configurações dos MOSFETs para um retificador de Ponte Completa monofásico com os seguintes níveis de tensão: (a) $+V_{cc}$; (b) 0; (c) 0; (d) $-V_{cc}$; (e) 0; (f) 0.

Na Tabela 2.1 é possível observar o valor lógico de cada uma das configurações.

Tabela 2.1 - Nível lógico de cada configuração para um retificador de Ponte Completa.

Configuração	V_{ab}
Figura 2.11 (a)	$+V_{cc}$
Figura 2.11 (b)	0
Figura 2.11 (c)	0
Figura 2.11 (d)	$-V_{cc}$
Figura 2.11 (e)	0
Figura 2.11 (f)	0

Quando a tensão de entrada é positiva, os MOSFETs comutam entre as configurações (a) e (b)/(c). Por outro lado, quando se está perante o semiciclo negativo recorre-se às configurações (d) e (e)/(f), reduzindo assim a indutância da bobina do retificador. Embora apresente um maior número de componentes, o que aumenta a complexidade, a eficiência é superior. Sendo assim, o retificador de

Ponte Completa torna-se uma escolha comum em conversores CA-CC [23]. Por fim, na Figura 2.12 é possível visualizar o circuito trifásico do retificador de Ponte Completa.

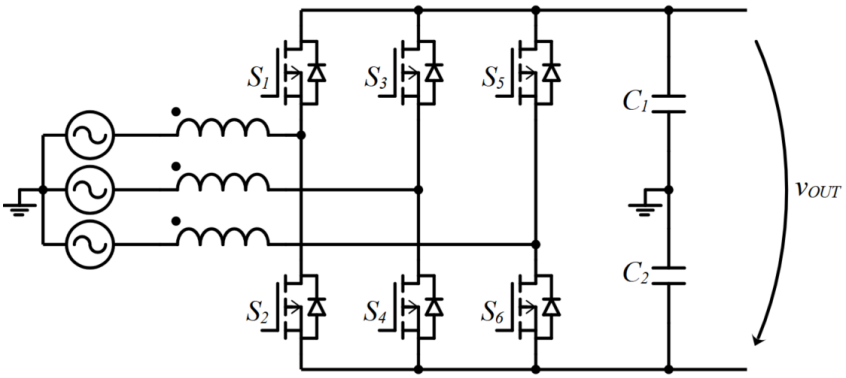


Figura 2.12 - Circuito de um retificador trifásico de Ponte Completa.

Tal como na topologia de Meia Ponte, esta configuração utiliza dois condensadores no barramento CC, o que exige um controlo de balanceamento para garantir a simetria das tensões. Este aspeto é particularmente relevante em aplicações de regime contínuo, nas quais o desequilíbrio de tensão pode afetar a estabilidade do sistema [19].

2.2.2 Retificadores de Eletrónica de Potência Multinível

Ao contrário dos retificadores de dois níveis, os retificadores multinível apresentam uma melhor qualidade da tensão de saída, pois possuem vários níveis de tensão intermédios em vez de apenas dois valores discretos. Por outras palavras, estes retificadores conseguem criar múltiplos níveis de tensão, o que reduz o *ripple* da tensão de saída e aproxima a forma de onda da saída a uma onda CC pura. Isto torna-os uma escolha indicada para aplicações de média e alta potência, onde se procura uma tensão de saída mais estável e com menor distorção [24], [25].

Uma outra vantagem é o facto de estes reduzirem o esforço aplicado a cada semicondutor, ou seja, são aplicadas tensões menores a cada IGBT, quando este permanece desligado. No entanto, esta complexidade adicional implica um controlo mais sofisticado e pode acarretar maiores custos na elaboração destes [26]. Entre os tipos de retificadores multinível mais comuns, destacam-se o *Neutral Point Clamped* (NPC), o *Flying Capacitor*, o retificador em Cascata e o *T-Type*.

2.2.2.1 Retificador NPC

O retificador NPC destaca-se das outras topologias multinível pela utilização de díodos de fixação. Estes são responsáveis por limitar a tensão nos semicondutores, e assim, reduzem o esforço aplicado a cada

componente. Além disso, os díodos de fixação contribuem para aumentar a durabilidade dos semicondutores. Este retificador apresenta três níveis de tensão na saída: positivo, neutro e negativo. Isto é possível através da utilização de dois condensadores conectados em série no barramento CC, criando um ponto neutro entre os condensadores. Este ponto neutro permite que a tensão de saída tenha um nível intermédio, o que aproxima a forma de onda a uma tensão contínua ideal. O circuito monofásico é composto por quatro semicondutores de potência e dois díodos de fixação por fase [27]. Na Figura 2.13, é possível ver esse mesmo circuito.

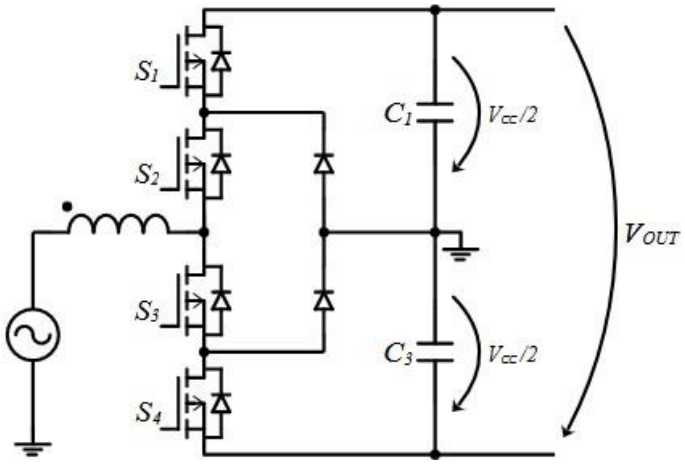


Figura 2.13 – Circuito de um retificador monofásico NPC.

No nível positivo (a), a corrente flui através dos semicondutores superiores (S_1 e S_2), produzindo uma tensão positiva na saída. No nível negativo (b), a corrente circula pelos semicondutores inferiores (S_3 e S_4), gerando uma tensão negativa. Já no nível zero (c), a corrente é desviada para o ponto neutro, uma vez que o semicondutor S_3 se encontra fechado, resultando numa tensão nula na saída. Todas estas configurações estão representadas na Figura 2.14.

Durante a transição entre os níveis de tensão, a corrente pode fluir momentaneamente pelos díodos antiparalelos dos semicondutores, caracterizando os chamados estados forçados de comutação, que asseguram a continuidade da corrente durante as trocas de condução. Embora essenciais para o correto funcionamento e continuidade da corrente, estes estados implicam uma ligeira penalização na eficiência, devido às perdas associadas à condução momentânea pelos díodos e às correspondentes perdas de comutação [28].

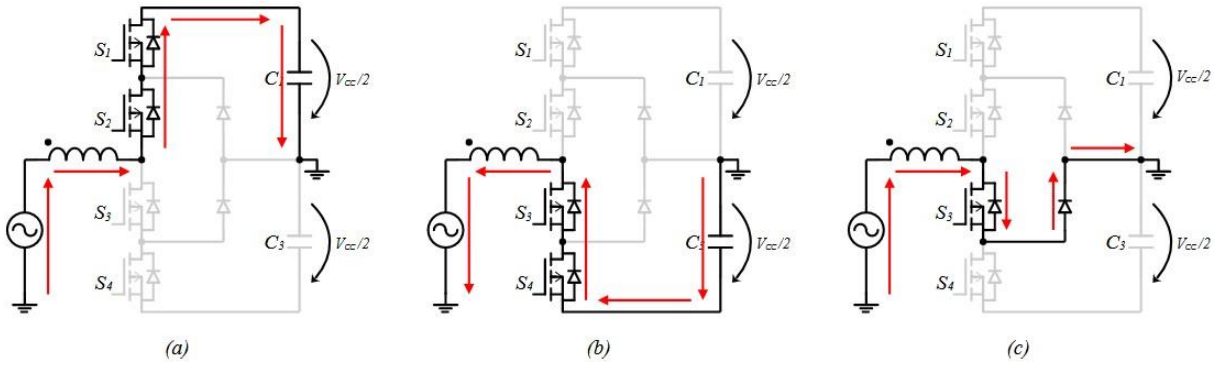


Figura 2.14 - Diferentes configurações dos MOSFETs para um retificador NPC monofásico com os seguintes níveis de tensão: (a) $+V_{cc}/2$; (b) $-V_{cc}/2$; (c) 0.

Esta capacidade de criar diferentes níveis de tensão permite uma operação mais suave e eficiente, especialmente em aplicações de alta potência. Na Tabela 2.2 está apresentado o nível de tensão de cada um dos modos de operação.

Tabela 2.2 - Nível de tensão de cada configuração de um retificador NPC.

Configuração	V_{ab}
Figura 2.14 (a)	$+V_{cc}/2$
Figura 2.14 (b)	$-V_{cc}/2$
Figura 2.14 (c)	0

Apesar deste retificador apresentar diversas vantagens, como um *ripple* reduzido na tensão de saída, a topologia NPC apresenta também algumas desvantagens como o aumento do número de componentes, especialmente os díodos de fixação, o que pode aumentar a complexidade do controlo e aumentar os custos que este acarreta. No entanto, esta complexidade é geralmente compensada pelos benefícios na eficiência e na robustez do sistema.[29], [30] Sendo assim, este retificador representa uma opção viável. Por fim, na Figura 2.15 está representado o circuito trifásico da topologia NPC.

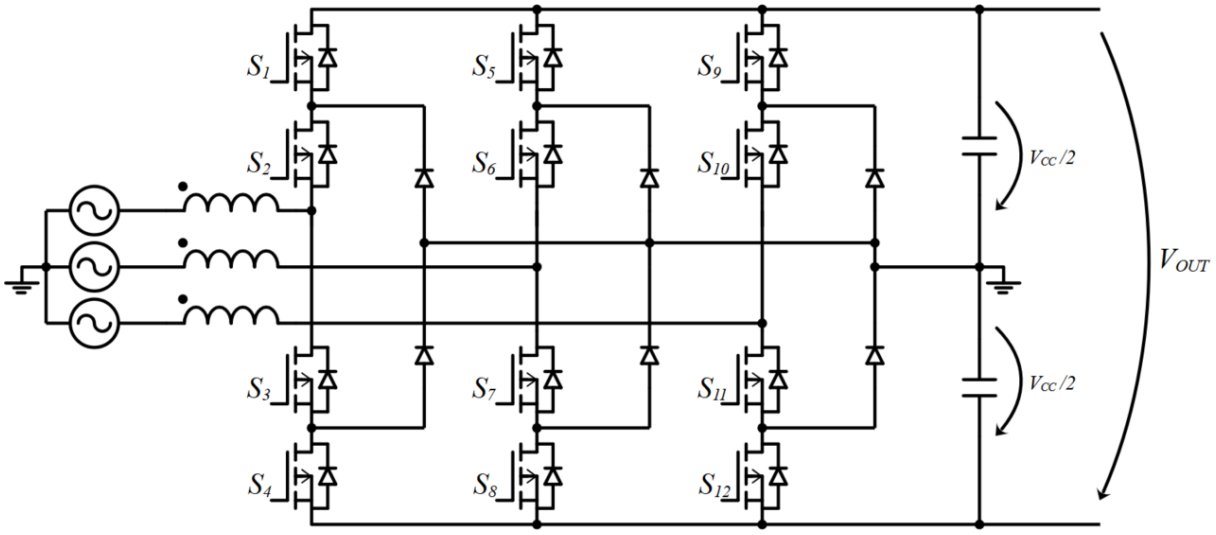


Figura 2.15 - Circuito de um retificador trifásico NPC.

2.2.2.2 Retificador *Flying Capacitor*

O retificador *Flying Capacitor* distingue-se das outras topologias multinível pela utilização de condensadores flutuantes. Estes têm a responsabilidade de produzir múltiplos níveis de tensão na saída, pois funcionam como elementos de armazenamento de energia, carregando e descarregam a tensão de forma controlada, estabilizando, assim, a onda de saída e reduzindo o *ripple*.

Normalmente, os conversores multinível operam com três níveis de tensão (positivo, neutro e negativo) e, com o aumento do número de células, podem alcançar cinco níveis ou mais. No caso particular do *Flying Capacitor*, essa expansão é obtida através da adição de condensadores flutuantes por fase. Denomina-se flutuante porque o condensador não está ligado a um potencial fixo do barramento CC, mas sim entre pontos intermediários do circuito, assumindo tensões relativas que variam dinamicamente conforme o estado de comutação [31]. À medida que o número de níveis aumenta, cresce também o número de componentes, os custos de implementação e a complexidade do sistema. Em contrapartida, verifica-se uma operação mais suave e eficiente, o que torna esta topologia particularmente vantajosa em aplicações de elevada potência. O circuito de um retificador *Flying Capacitor* monofásico é constituído por quatro semicondutores de potência e um condensador flutuante por fase [32], [33]. A Figura 2.16 apresenta o esquema do circuito.

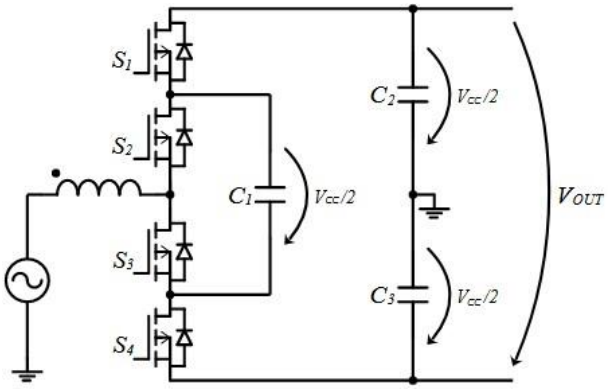


Figura 2.16 - Circuito monofásico de um retificador *Flying Capacitor.*

No nível positivo (a), a corrente passa pelos semicondutores superiores (S_1 e S_2), enquanto o condensador C_2 é carregado, produzindo uma tensão positiva na saída. Já no nível negativo (b), a corrente circula pelos semicondutores inferiores (S_3 e S_4), carregando o C_3 e produzindo uma tensão negativa. Por fim, no nível neutro (c ou d), a corrente alterna entre os condensadores para equilibrar a carga, produzindo uma tensão de saída nula. Os três níveis de tensão e o funcionamento dos condensadores são apresentados na Figura 2.17.

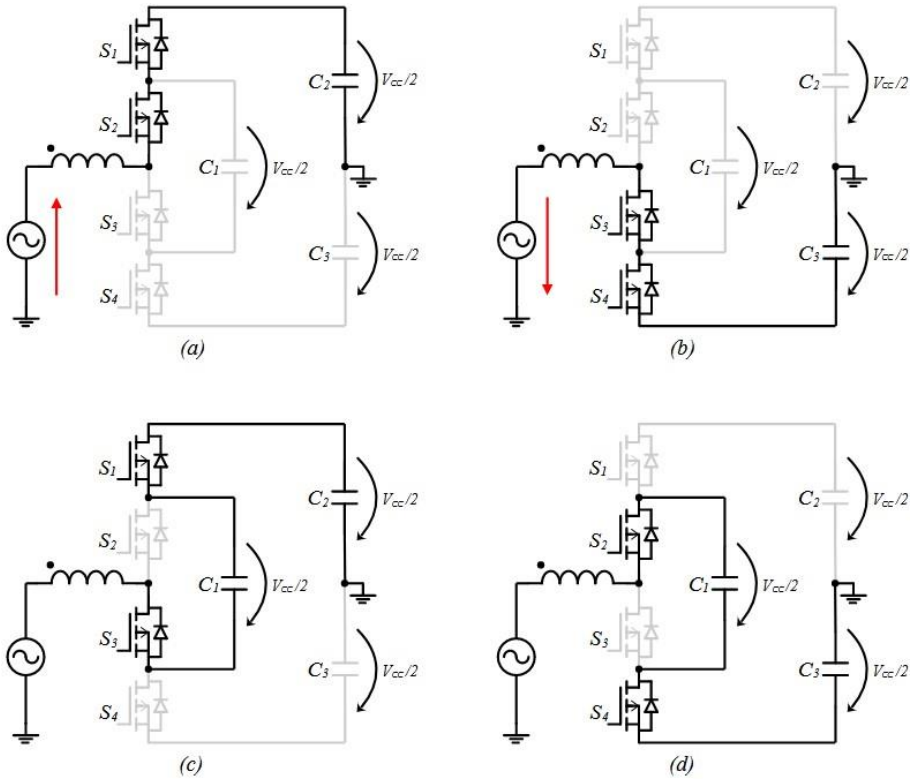


Figura 2.17 - Diferentes configurações dos MOSFETs para um retificador *Flying Capacitor* monofásico com os seguintes níveis de tensão: (a) $+V_{cc}/2$; (b) $-V_{cc}/2$; (c) 0, (d) 0.

Tabela 2.3 - Nível de tensão de cada configuração do retificador *Flying Capacitor.*

Configuração	V_{ab}
Figura 2.17 (a)	$+V_{cc}/2$
Figura 2.17 (b)	$-V_{cc}/2$
Figura 2.17 (c)	0
Figura 2.17 (d)	0

Esta topologia apresenta algumas desvantagens. A maior complexidade de controlo e o aumento do número de componentes, devido à utilização de vários condensadores, podem aumentar o custo e a complexidade da implementação. Além disso, esta topologia requer o pré-carregamento de todos os condensadores antes do início da operação controlada, de modo a garantir que as tensões se encontrem nos níveis adequados para a correta síntese da forma de onda de saída. Em contrapartida, quando devidamente controlada, esta topologia apresenta excelente desempenho em termos de estabilidade das tensões dos condensadores e baixo *ripple*, sendo adequada para sistemas CA-CC de elevado desempenho [34], [35]. Finalmente, a Figura 2.18 apresenta o circuito trifásico desta.

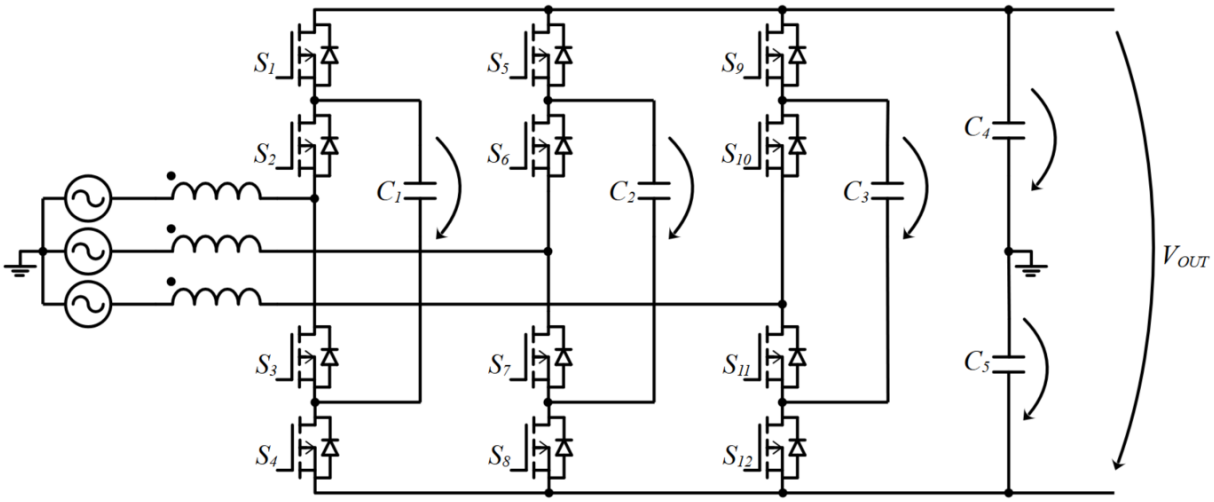


Figura 2.18 - Circuito de um retificador trifásico *Flying Capacitor.*

2.2.2.3 Retificador de Ponte Completa em Cascata

O retificador de Ponte Completa em Cascata é bastante recorrente em aplicações de média e alta potência. Esta topologia destaca-se pela modularidade e pela capacidade de produzir múltiplos níveis de tensão, pois conecta em série vários módulos de retificadores de Ponte Completa. Cada módulo é responsável por gerar três níveis de tensão: positivo, zero e negativo. Quando combinados, estes módulos conseguem aumentar o número de níveis de tensão na saída, o que resulta numa forma de onda mais próxima da contínua [36]. Na Figura 2.19 está representado um retificador monofásico de Ponte Completa em Cascata.

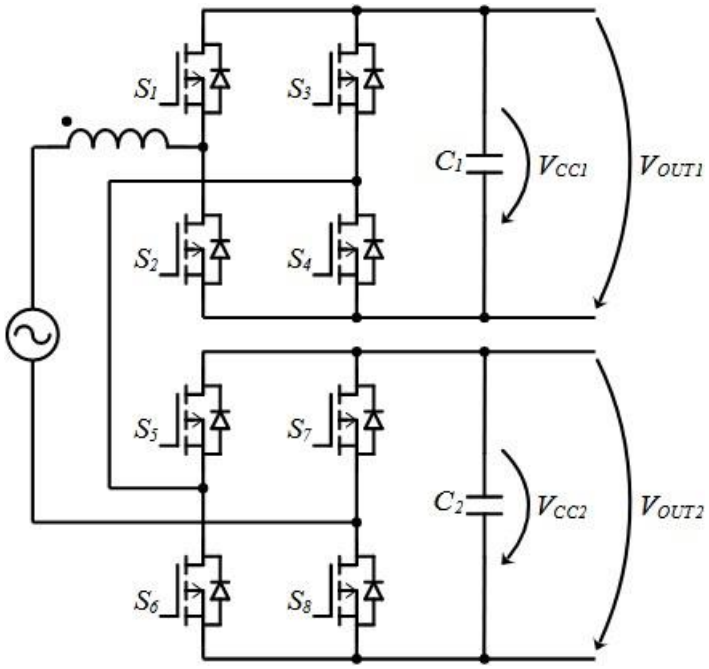


Figura 2.19 – Circuito de um retificador monofásico de Ponte Completa em Cascata.

Posto isto, esta topologia, composta por duas pontes completas ligadas em Cascata, pode gerar cinco níveis de tensão quando V_{cc1} e V_{cc2} apresentam a mesma tensão. Para termos de comodidade, como V_{cc1} é igual a V_{cc2}, cada um destes será apelidado de V_{cc}. Sendo assim, os cinco níveis de tensão serão os seguintes: $2 \cdot V_{cc}$; V_{cc}; 0; $-V_{cc}$; e $-2 \cdot V_{cc}$. Mas, caso V_{cc1} seja diferente de V_{cc2}, é possível extrair nove níveis de tensão, sendo esses os seguintes: $V_{cc1} + V_{cc2}$; V_{cc1}; V_{cc2}; $V_{cc1} - V_{cc2}$; 0; $- V_{cc1} + V_{cc2}$; $- V_{cc2}$; $- V_{cc1}$; $- V_{cc1} - V_{cc2}$. Na Tabela 2.4, está representado esta explicação, supondo que V_{cc1} = 250 V e V_{cc2} = 150 V.

Tabela 2.4 - Exemplo de diferentes níveis de tensão para um retificador de Ponte Completa em Cascata quando V_{cc1} é diferente de V_{cc2}.

Níveis de tensão	**Tensão de Saída - V_{cc} (V)**
$V_{cc1} + V_{cc2}$	400
V_{cc1}	250
V_{cc2}	150
$V_{cc1} - V_{cc2}$	100
0	0
$- V_{cc1} + V_{cc2}$	-100
$- V_{cc2}$	-150
$- V_{cc1}$	-250
$- V_{cc1} - V_{cc2}$	-400

Para que isto se torne possível, é necessário comutar os MOSFETs desta topologia da forma como está representado na Figura 2.20. Estas oito configurações são tanto possíveis no semiciclo positivo, quanto no negativo, mas como se trata de um retificador, a tensão e a corrente tem de ser ambas positivas ou ambas negativas e nunca a tensão positiva e a corrente negativa, ou vice-versa, pois, aí tratar-se-ia de um inversor. Sendo assim na Tabela 2.5, destacada a baixo, é possível ver qual o nível de tensão de cada configuração da Figura 2.20 e qual o semiciclo que origina esse nível, respetivamente. De realçar que apenas as linhas de *(a)* a *(d)* constituem relevância para este conversor funcionar como retificador quando V_{cc1} é igual a V_{cc2}.

Uma das grandes vantagens desta abordagem, como já referido, é a modularidade. Isto significa que é possível adaptar a topologia conforme a necessidade, adicionando ou removendo módulos para conseguir apresentar mais níveis de tensão. Logo, quanto maior for o número de níveis, mais a forma de onda da tensão de saída se aproxima de uma sinusoide ideal, reduzindo o *ripple* e a distorção harmónica [37]. Outro benefício é a menor tensão aplicada a cada semicondutor, o que prolonga a vida útil dos componentes.

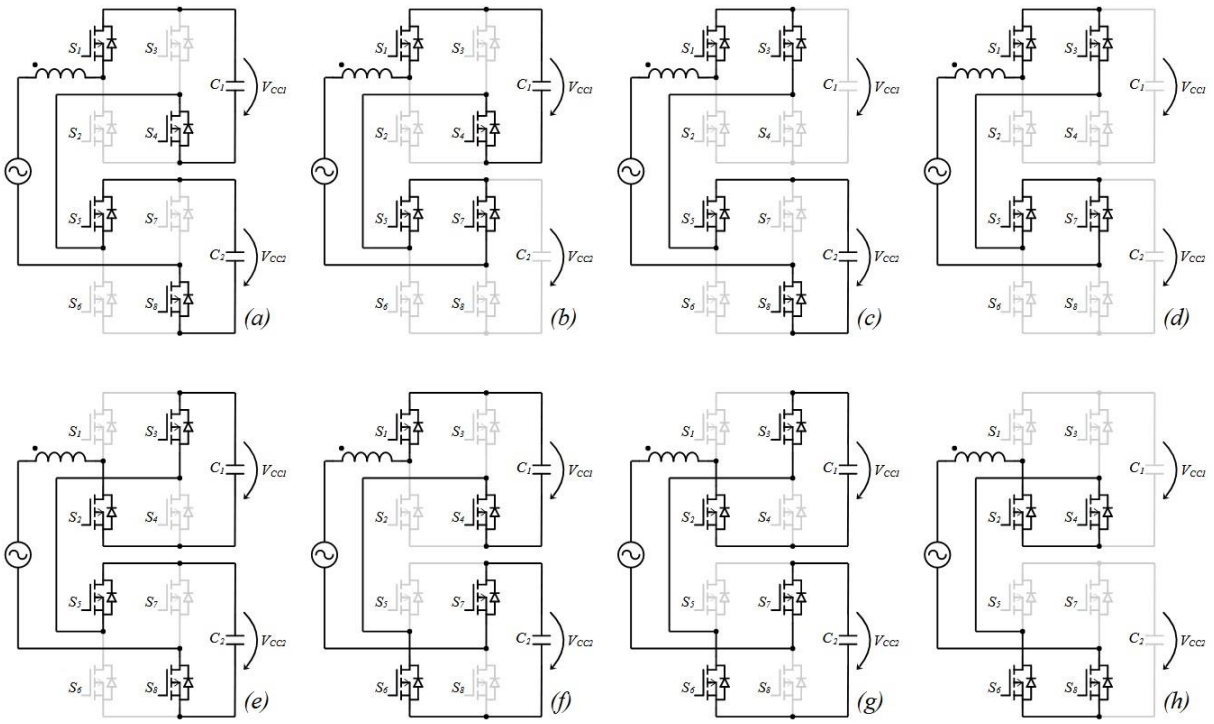


Figura 2.20 - Diferentes configurações dos MOSFETs para um conversor Ponte Completa em Cascata monofásico com os seguintes níveis de tensão para o semiciclo positivo da tensão: (a) + V_{cc1} + V_{cc2}; (b) + V_{cc1}; (c) + V_{cc2}, (d) 0; (e) - V_{cc1} + V_{cc2}; (f) + V_{cc1} - V_{cc2}; (g) - V_{cc1} - V_{cc2}, (h) 0; e os seguintes níveis de tensão para o semiciclo negativo da tensão: (a) - V_{cc1} - V_{cc2}; (b) - V_{cc1}; (c) - V_{cc2}, (d) 0; (e) + V_{cc1} - V_{cc2}; (f) - V_{cc1} + V_{cc2}; (g) + V_{cc1} + V_{cc2}, (h) 0;

Tabela 2.5 - Níveis de tensão de cada configuração de um conversor Ponte Completa em Cascata.

Configuração	Nível de Tensão	Semiciclo
Figura 2.20 (a)	V_{cc1} + V_{cc2}	Positivo
	- V_{cc1} - V_{cc2}	Negativo
Figura 2.20 (b)	V_{cc1}	Positivo
	- V_{cc1}	Negativo
Figura 2.20 (c)	V_{cc2}	Positivo
	- V_{cc2}	Negativo
Figura 2.20 (d)	0	Positivo
	0	Negativo
Figura 2.20 (e)	- V_{cc1} + V_{cc2}	Positivo
	V_{cc1} - V_{cc2}	Negativo
Figura 2.20 (f)	V_{cc1} - V_{cc2}	Positivo
	- V_{cc1} + V_{cc2}	Negativo
Figura 2.20 (g)	- V_{cc1} - V_{cc2}	Positivo
	V_{cc1} + V_{cc2}	Negativo
Figura 2.20 (h)	0	Positivo
	0	Negativo

Por outro lado, esta topologia também apresenta desvantagens. Uma vez que envolve um grande número de semicondutores, o seu controlo torna-se bastante complexo e exige uma sincronização precisa entre os módulos. Além disso, o número elevado de condensadores exigido por esta topologia contribui para o aumento do volume físico e do custo do sistema, uma vez que estes componentes ocupam mais espaço

e requerem valores de capacitância elevados para garantir a estabilidade das tensões durante a comutação [37], [38]. É igualmente necessário um controlo rigoroso para evitar desbalanceamentos de tensão, que poderiam afetar o desempenho e a estabilidade global do sistema [39]. Além disso, este retificador apresenta também uma particularidade, pois apresenta duas ondas de saída, V_{cc1} e V_{cc2}, que não podem ser ligadas em série entre si e por sua vez em paralelo a uma única resistência, pois permaneceria um ponto flutuantes no meio dos dois condensadores. De forma a contornar este problema, seria necessário acoplar dois conversores CC-CC à saída do retificador, um em cada V_{cc}, responsáveis por unificar as duas tensões, tornando esta topologia inviável para a aplicação em estudo.

Posto isto, a topologia *Modular Multilevel Converter* (MMC) foi também considerada. Contudo, a sua utilização foi descartada, uma vez que, embora represente uma evolução da Ponte Completa em Cascata e corrija alguns dos problemas referidos no parágrafo anterior, nomeadamente a união das diferentes tensões de saída, apresenta uma complexidade de controlo e de implementação de hardware significativamente superior. Além disso, esta topologia é maioritariamente aplicada em sistemas de média/alta tensão, como redes HVDC, o que se encontra fora do âmbito desta dissertação [40], [41].

2.2.2.4 Retificador *T-Type*

O retificador *T-Type* é uma topologia que se tem destacado em sistemas de média e alta potência devido à sua boa eficiência e capacidade de melhorar a qualidade da energia fornecida às cargas. Esta topologia apresenta uma configuração em *T*, na qual dois semicondutores adicionais permitem a comutação controlada entre os níveis de tensão positivo, neutro e negativo, reduzindo as perdas de comutação e melhorando o rendimento global em comparação com o retificador NPC tradicional[42], [43]. Na Figura 2.21 apresenta-se o circuito monofásico desta topologia.

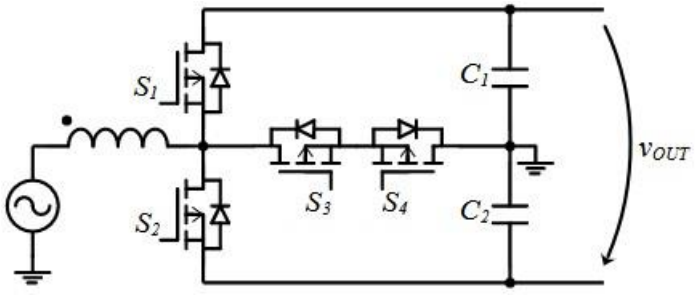


Figura 2.21 - Circuito monofásico de um retificador *T-Type*.

No semiciclo positivo da tensão de entrada, o semicondutor S_1 conduz, permitindo que a corrente flua para a saída (a). Durante o semiciclo negativo, S_2 entra em condução, conduzindo a corrente no sentido contrário e gerando uma tensão negativa (b). Já o nível neutro é alcançado quando os semicondutores

de baixa tensão, S_3 e S_4, são ativados, ligando a saída ao ponto médio criado pelos condensadores (c, d). Estas três configurações possíveis estão retratadas abaixo na Figura 2.22. Este funcionamento coordenado permite que cada componente suporte tensões menores, aumentando a eficiência do sistema e prolongando a vida útil dos semicondutores [21]. Na Tabela 2.6 é possível observar o valor lógico de cada uma das configurações destacadas acima.

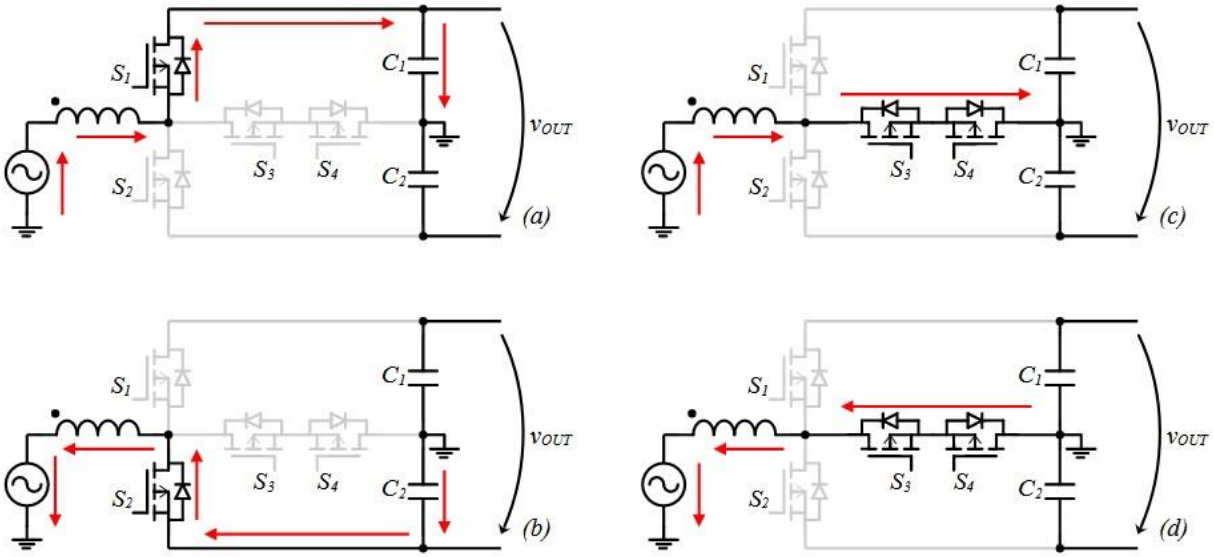


Figura 2.22 - Diferentes configurações dos MOSFETs para um retificador *T-Type* monofásico com os seguintes níveis de tensão: (a) $+V_{cc}$; (b) $-V_{cc}$; (c) 0, (d) 0.

Tabela 2.6 - Nível de tensão de cada configuração do retificador *T-Type*.

Configuração	V_{ab}
Figura 2.22 (a)	$+V_{cc}$
Figura 2.22 (b)	$-V_{cc}$
Figura 2.22 (c)	0
Figura 2.22 (d)	0

Posto isto, torna-se necessário verificar qual a melhor configuração para os semicondutores S_3 e S_4. As duas possibilidades encontram-se destacadas na Figura 2.23.

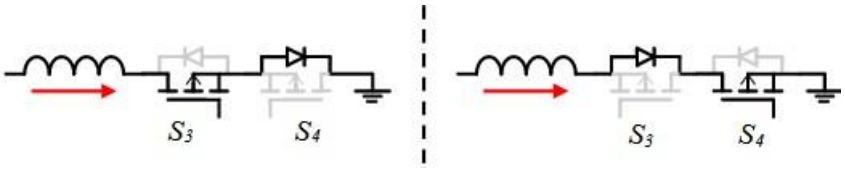


Figura 2.23 - Configurações possíveis para os semicondutores de baixa tensão de um retificador *T-Type.*

À primeira vista, pouco difere entre as duas configurações, mas visualizando com mais pormenor verifica-se que a configuração da esquerda apenas necessita de uma fonte isolada, pois o coletor dos dois semicondutores é comum, enquanto a da direita necessita de duas fontes isoladas, pois é uma configuração de emissor comum e, portanto, os coletores encontram-se nas extremidades, não se

encontrando ao mesmo potencial. Logo, a configuração da esquerda é mais simples de implementar, pois apresenta menor complexidade e custo, visto que contém apenas uma fonte isolada, em vez de duas. De forma a obter uma melhor explicação, destaca-se abaixo a Figura 2.24 [21].

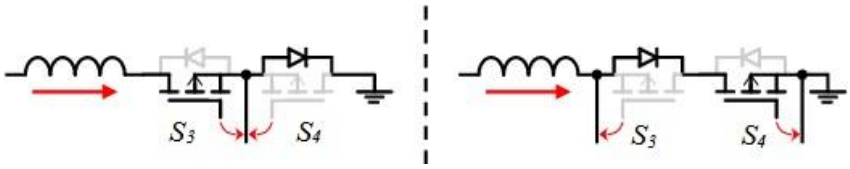


Figura 2.24 - Explicação das configurações possíveis para os semicondutores de baixa tensão de um retificador *T-Type.*

De forma a validar esta configuração, foi realizada uma simulação para constatar a viabilidade da mesma. Sendo assim, os semicondutores S_1 e S_4 ativam de forma complementar quando a tensão de entrada se encontra no semiciclo positivo, fazendo a tensão variar entre 0 e V_{cc}. Já quando a tensão de entrada se encontra no semiciclo negativo, os semicondutores S_2 e S_3 comutam, variando a tensão entre -V_{cc} e 0. Na Figura 2.25 é possível verificar este processo, bem como a tensão aplicada no retificador em dois ciclos da tensão de entrada.

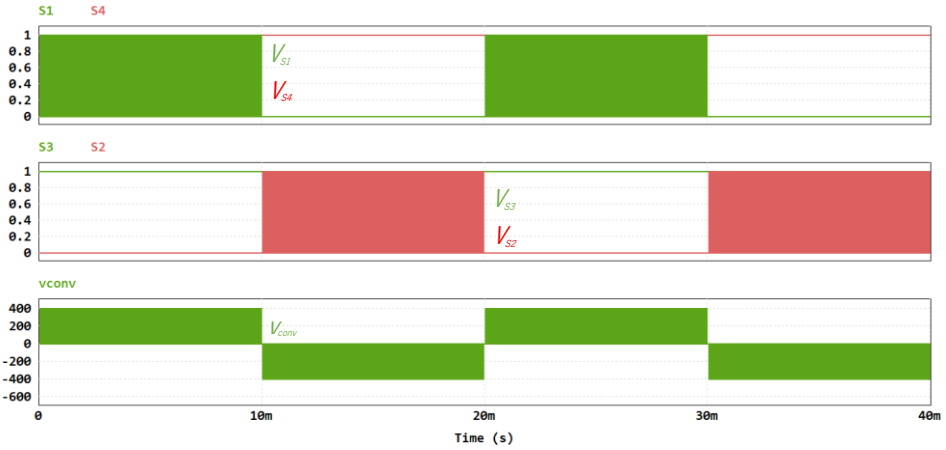


Figura 2.25 – Tensões aos terminais dos semicondutores de maior tensão, V_{S1} e V_{S4} (sobrepostas na figura), tensões aos terminais dos semicondutores de menor tensão, V_{S2} e V_{S3} (sobrepostas na figura), e tensão aplicada no retificador *T-Type*, V_{conv}.

Entre as principais vantagens do retificador *T-Type*, destaca-se a elevada eficiência energética, pois o design multinível reduz as perdas nos semicondutores e melhora a forma de onda da tensão de saída, tornando-a mais estável e com menor ondulação. Por outro lado, esta tecnologia também apresenta alguns desafios, nomeadamente no controlo dos semicondutores, uma vez que requer um algoritmo mais sofisticado para garantir o equilíbrio do ponto neutro e coordenar a comutação entre semicondutores de diferentes tensões, o que aumenta ligeiramente a complexidade do sistema [43]. Outro ponto importante é o custo, já que são necessários mais componentes, como semicondutores e condensadores, o que pode elevar os custos na implementação deste retificador. Em resumo, o

retificador T-Type constitui uma solução equilibrada, pois apesar dos desafios de implementação, os benefícios, como a elevada eficiência, a qualidade da tensão de saída e a robustez do sistema, justificam a sua aplicação em projetos como este [21], [43]. Por fim, na Figura 2.26 encontra-se representado o circuito trifásico desta topologia.

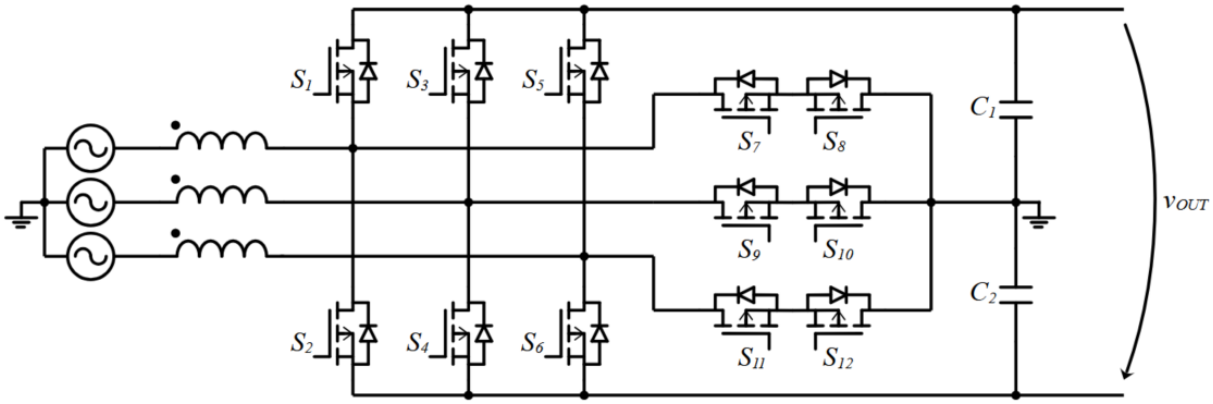


Figura 2.26 - Circuito de um retificador trifásico *T-Type.*

2.3 Conclusões

Neste capítulo, realizou-se uma análise comparativa das diferentes topologias de conversores CA-CC utilizadas em retificadores de eletrónica de potência, explorando as suas vantagens, desvantagens e modos de operação, bem como as configurações possíveis. Inicialmente, estudaram-se as topologias de dois níveis, nomeadamente a Meia Ponte e a Ponte Completa, por constituírem soluções simples e amplamente utilizadas. Contudo, verificou-se que, devido à sua estrutura elementar, estas topologias apresentam um *ripple* mais acentuado na tensão de saída, o que limita a sua aplicação em sistemas de maior desempenho. Deste modo, a análise centrou-se nas topologias multinível NPC, *Flying Capacitor*, Ponte Completa em Cascata e *T-Type*, que permitem obter uma forma de onda mais próxima da tensão contínua ideal, com menores distorções e maior eficiência energética.

Apesar de a topologia NPC apresentar bons resultados em termos de qualidade da forma de onda e equilíbrio das tensões nos condensadores, revelou-se ligeiramente menos eficiente na redução das perdas energéticas. Tal comportamento deve-se ao facto de, para gerar cada nível de tensão, ser necessário que dois semicondutores conduzam simultaneamente, o que aumenta a resistência efetiva de condução e, consequentemente, as perdas associadas. Ainda assim, esta topologia mantém-se amplamente utilizada devido à sua robustez, fiabilidade e relativa simplicidade de implementação, especialmente em aplicações de média potência.

Quanto à topologia *Flying Capacitor*, esta destacou-se pela sua capacidade de produzir múltiplos níveis de tensão, mas apresentou desvantagens significativas, como a necessidade de implementar circuitos de pré-carga para os condensadores, o que aumenta os custos e a complexidade do sistema.

Já a topologia Ponte Completa em Cascata, apesar de apresentar modularidade e com isto vários níveis de tensão, verificou-se que esta topologia não seria adequada para esta aplicação, uma vez que apresenta duas saídas de tensão contínua e para as juntar seria necessário adicionar conversores CC-CC à saída deste retificador, o que aumentaria os custos e a complexidade do sistema.

Por último, a topologia *T-Type* destacou-se como uma excelente opção, devido à sua elevada eficiência energética e à redução das perdas por condução em comparação com o retificador NPC. Embora o seu controlo exija maior precisão para garantir o equilíbrio do ponto neutro e a coordenação entre semicondutores de diferentes tensões, esta topologia apresenta um bom compromisso entre desempenho, eficiência e complexidade, sendo capaz de proporcionar uma forma de onda de saída estável e com baixo *ripple*.

Capítulo 3

Técnicas de Modulação, Algoritmos de Controlo, Teorias de Potência e Técnicas de Sincronismo com a Rede Elétrica

3.1 Introdução

Após a análise das diferentes topologias de conversores de eletrónica de potência e a seleção da topologia a utilizar, torna-se essencial examinar os métodos de controlo que assegurem o funcionamento eficaz do sistema. Para tal, é necessário adotar um algoritmo de controlo e uma técnica de modulação eficazes, de modo a garantir o controlo adequado dos semicondutores de potência.

Neste capítulo, são descritas e analisadas técnicas de modulação baseadas em portadora (*carrier-based* – CB), nomeadamente a *Sinusoidal Pulse-Width Modulation* (SPWM), a *Third Harmonic Injection* PWM (THIPWM) e a *Discontinuous* PWM (DPWM). Além disso, são apresentadas as principais estratégias de controlo de corrente, como o controlo por histerese, por amostragem periódica (*periodic sampling*), com regulador PI estacionário, com regulador PI síncrono e o controlo preditivo. Seguidamente, são introduzidas as teorias de potência, com destaque para a teoria pq e a teoria FBD (*Fryze-Buchholz-Depenbrok*). Por fim, é efetuada uma breve análise das técnicas de sincronismo com a rede elétrica, incluindo a E-PLL e a PLL *alfa-beta*.

3.2 Técnicas de Modulação

As técnicas de modulação desempenham elevada importância no controlo dos conversores de eletrónica de potência, uma vez que permitem regular a forma de onda da tensão ou corrente gerada. Estas técnicas atuam na ativação e desativação dos semicondutores de potência de acordo com os sinais gerados pela modulação, com o objetivo de alcançar o comportamento desejado. Além disso, são fundamentais para minimizar as distorções harmónicas, melhorando assim a qualidade da energia fornecida.

Existem várias abordagens de modulação, cada uma com características próprias que as tornam mais adequadas a diferentes tipos de conversores e aplicações. Estas abordagens podem ser baseadas tanto

em portadora (*Carrier-Based* – CB), como em vetor de espaço (*Space-Vector* – SV) [44], [45]. No entanto, as técnicas baseadas em portadora apresentam menor complexidade e carga computacional, mantendo simultaneamente um bom compromisso entre eficiência e qualidade das formas de onda. Por este motivo, serão analisadas exclusivamente as técnicas CBPWM [44].

3.2.1 *Sinusoidal Pulse-Width Modulation* (SPWM)

A técnica de modulação por largura de pulso (*Pulse-Width Modulation* – PWM) é amplamente utilizada no controlo de conversores de eletrónica de potência, uma vez que permite regular a forma de onda de saída através da variação do ciclo de trabalho (*duty-cycle*) dos semicondutores. O princípio baseia-se na comparação entre um sinal de referência e uma onda portadora, geralmente triangular, gerando uma sequência de pulsos cuja largura varia conforme a amplitude instantânea do sinal de referência. A frequência da portadora define a frequência de comutação (f_{sw}), determinante para o desempenho e as perdas do sistema [46].

A SPWM é uma técnica baseada na comparação entre uma onda portadora, geralmente triangular, e uma sinusoide de referência, como ilustrado na Figura 3.1. O resultado dessa comparação é um sinal digital que alterna entre os níveis lógicos zero e um (nível lógico positivo). Esse processo é realizado por um comparador, representado na Figura 3.2. O sinal gerado (destacado na parte inferior da Figura 3.1) controla os pulsos de gate dos semicondutores de potência, permitindo a sua comutação de forma adequada. Na Figura 3.2 encontra-se o circuito de comparação utilizado, aplicado a um exemplo de retificador monofásico de Ponte Completa como o descrito na Figura 2.6 [47].

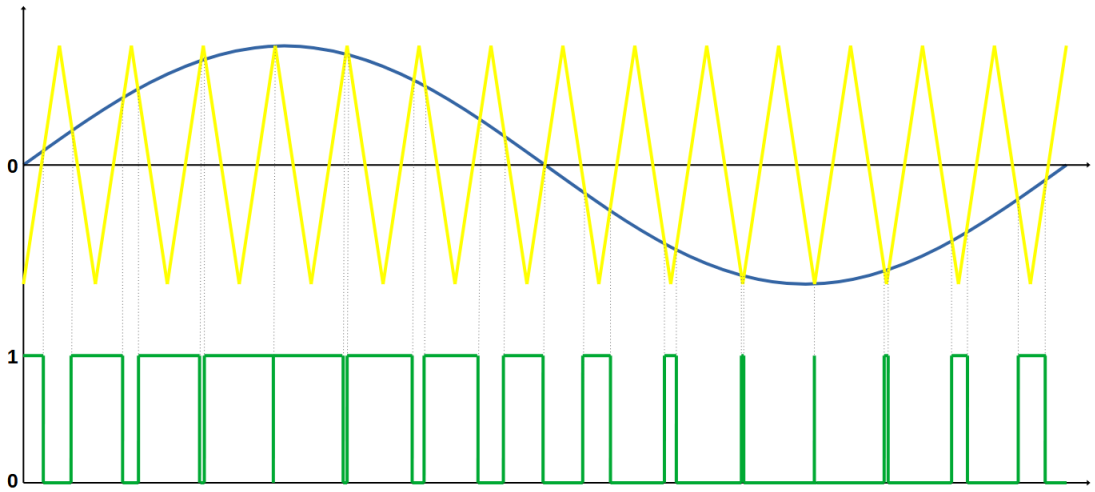


Figura 3.1 – Técnica de modulação SPWM.

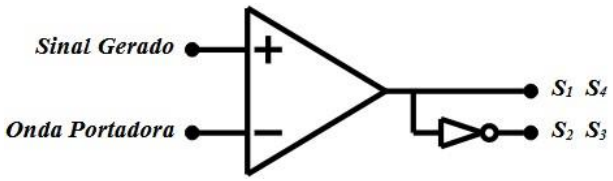


Figura 3.2 – Exemplo de um circuito de comparação.

Neste caso, quando o sinal gerado apresenta um valor superior ao valor da onda portadora, o valor lógico à saída do comparador é positivo, sendo assim os semicondutores S_1 e S_4 são ativados e conduzem, enquanto os semicondutores S_2 e S_3 permanecem desativados devido à porta lógica *NOT*. Por outro lado, quando o sinal gerado é menor que a onda portadora, o valor lógico à saída do comparador é negativo, sendo assim os semicondutores S_1 e S_4 são desativados e os semicondutores S_2 e S_3 ativados.

À medida que a amplitude do sinal sinusoidal de referência varia, a largura do pulso resultante altera-se em conformidade, permitindo obter uma onda de comando com *duty-cycle* variável para os semicondutores. Esta relação é caracterizada pelo índice de modulação de amplitude (m_a), definido como a razão entre a amplitude do sinal sinusoidal de referência e a amplitude da onda portadora triangular. Este parâmetro controla diretamente a amplitude da componente fundamental da tensão de saída do inversor, verificando-se uma relação aproximadamente linear entre ambas para valores de $m_a \leq 1$, correspondentes à região linear da modulação. Valores superiores a esta unidade conduzem à operação em regime de sobremodulação, com consequente aumento da distorção harmónica.

A frequência da onda modulada é definida pela frequência da onda portadora, designada por frequência de comutação (f_{sw}). A relação entre a frequência da portadora e a frequência do sinal de referência é expressa pelo índice de modulação de frequência (m_f), o qual influencia a distribuição espectral dos harmónicos da tensão de saída e as perdas de comutação dos semicondutores. Em aplicações práticas, m_f é geralmente escolhido como um número inteiro elevado, de forma a reduzir a distorção harmónica, assegurando simultaneamente um compromisso adequado entre qualidade da forma de onda e eficiência do conversor. Posto isto, esta técnica de modulação apresenta simplicidade e eficácia [47], sendo a escolhida para a implementação.

3.2.2 *Third Harmonic Injection Pulse-Width Modulation* (THIPWM)

A técnica THIPWM é usada para corrigir distorções na corrente de entrada que surgem quando a polaridade da tensão e da corrente não coincidem. Isto acontece, sobretudo, nas regiões próximas ao cruzamento por zero da tensão de entrada, onde o controlo dos semicondutores de potência é mais difícil, levando a inversões momentâneas na corrente em relação à tensão. Ao injetar o terceiro harmónico

no comando de tensão do lado CA, esta técnica ajuda a alinhar as polaridades e a reduzir os harmónicos indesejados em relação à componente fundamental, melhorando a forma de onda da corrente e garantindo um THD reduzido [48]. As seguintes equações e o diagrama de blocos apresentados baseiam-se na referência [49]. A componente de terceiro harmónico injetada na onda moduladora pode ser expressa como:

$$u^*_{con3h} = M\ sin(3\omega t + \varphi_{3h})\ , \tag{3.1}$$

onde M e φ_{3h} correspondem ao valor de pico e ao ângulo de fase inicial de u^*_{con3h}, respetivamente. A corrente de terceiro harmónico i^*_{s3h}, causada pela tensão de terceiro harmónico u^*_{con3h} no lado CA do retificador, é dada por:

$$i^*_{s3h} = -\frac{u^*_{con3h}}{\omega L_S}\ . \tag{3.2}$$

Assumindo que o comando de tensão do lado CA do retificador pode ser expresso como:

$$u^*_{con} = U^*_{con}\ sin(\omega t - \phi)\ . \tag{3.3}$$

A amplitude U^*_{con} e o ângulo de atraso desejado φ entre u^*_{con} e u_g podem ser obtidos por:

$$U^*_{con} = \sqrt{U^2_{gm} + (I_{sm}\omega L)^2 - 2U_{gm}I_{sm}\omega L\cos\theta}\ , \tag{3.4}$$

$$\varphi = \arccos\left(\frac{U_{gm} - \omega L I_{sm}\sin\theta}{\sqrt{U^2_{gm} + (I_{sm}\omega L)^2 - 2U_{gm}I_{sm}\omega L\cos\theta}}\right). \tag{3.5}$$

A Figura 3.3 mostra o diagrama de blocos para a implementação da modulação THIPWM proposta. Após a injeção da tensão de terceiro harmónico, a nova tensão de comando no lado CA, $u^*_{con_new}$, e o índice de modulação podem ser expressos como:

$$u^*_{con_new} = u^*_{con} + u^*_{con_3h}\ , \tag{3.6}$$

$$m = \frac{\left|u^*_{con} + u^*_{con_3h}\right|}{U_{dc}}\ . \tag{3.7}$$

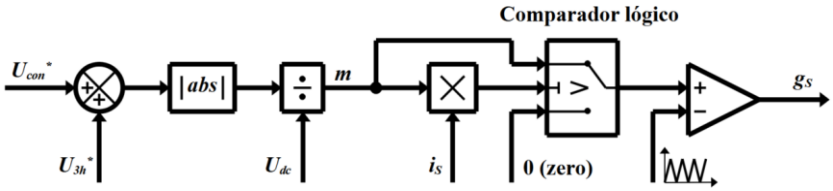


Figura 3.3 - Diagrama de blocos para a implementação da modulação THIPWM.

Embora esta técnica de modulação resulte num nível significativamente reduzido de THD, a sua elevada complexidade torna a sua implementação menos prática em aplicações que exigem simplicidade e baixo esforço computacional [46].

3.2.3 *Discontinuous Pulse-Width Modulation* (DPWM)

A DPWM é uma técnica utilizada para melhorar a eficiência através da introdução de períodos de inatividade, em que uma ou mais fases do sistema permanecem desligadas durante um ciclo. Ao reduzir o número de comutações, a DPWM diminui significativamente as perdas por comutação e melhora a eficiência do sistema [50], [51], [52]. À vista disso, nos conversores trifásicos ativos, esta técnica torna-se eficiente, pois reduz os processos de comutação a dois dos três braços do conversor em determinados instantes do funcionamento [50]. Esta abordagem contribui para a uniformização da dissipação térmica nos semicondutores de potência, o que prolonga a vida do conversor[51].

A principal diferença entre a SPWM e a DPWM reside no padrão de comutação dos semicondutores. Na SPWM, as comparações entre o sinal de referência e a onda portadora ocorrem de forma contínua ao longo de todo o ciclo, resultando numa comutação permanente dos dispositivos de potência. Por outro lado, na DPWM, durante determinadas partes do ciclo, geralmente próximas das passagens por zero ou dos picos da sinusoide, consoante a variante adotada, o controlador interrompe essas comparações, mantendo o estado atual inalterado. Nesses intervalos, um dos IGBTs do braço permanece em condução, enquanto o outro mantém-se desativado, até que o sinal de referência volte a sair da zona de inatividade. Este período inativo, designado por "*clamping*", é responsável pela redução do número total de comutações e, consequentemente, das perdas associadas [53].

Existem diferentes variantes da DPWM que determinam os períodos de inatividade para cada fase. A seleção desta variante depende das condições operacionais como os requisitos de qualidade da energia. Assim sendo, podem alcançar-se melhorias significativas na eficiência do sistema e, consoante a estratégia e o ponto de operação, reduções de THD face a técnicas convencionais [50], [54].

Apesar das suas vantagens, a implementação da DPWM exige uma gestão precisa dos tempos mortos e dos transientes de comutação, uma vez que pequenas imprecisões podem originar correntes de curto-circuito entre dispositivos semicondutores ou provocar distorções adicionais na forma de onda. Além disso, a necessidade de sincronização rigorosa entre os sinais de comando aumenta a complexidade de controlo e o esforço computacional [51], [55].

3.3 Controlo de Corrente

O controlo de corrente, tal como o nome indica, é responsável por regular a corrente que percorre os diferentes componentes do sistema, garantindo sempre uma resposta adequada a diferentes condições de operação. Existem várias estratégias de controlo de corrente, cada uma com características que a tornam mais adequada para aplicações específicas. Entre estas, destaca-se o controlo por histerese, que oferece uma resposta rápida e robustez em sistemas sujeitos a flutuações, e o controlo por amostragem periódica, que proporciona maior precisão e adaptação dinâmica às alterações das condições do sistema.

Outra abordagem amplamente utilizada é o controlo de corrente com regulador PI, aplicado tanto no referencial estacionário como no síncrono, sendo este último amplamente adotado em conversores trifásicos ligados à rede por permitir desacoplar os componentes de corrente ativa e reativa e assegurar uma resposta dinâmica estável [56]. Já o controlo preditivo recorre a modelos do sistema para antecipar/prever e corrigir variações de corrente antes que estas ocorram, melhorando o desempenho geral do conversor. A escolha da técnica mais adequada depende das características específicas do sistema e dos requisitos operacionais e para isso torna-se obrigatório reconhecer os diferentes algoritmos de controlo mais comuns.

3.3.1 Histerese

O controlo de corrente por histerese constitui uma abordagem de implementação simples, destacando-se pela sua forma de comparação baseada em duas referências que definem os limites superior e inferior da banda. Quando a corrente de saída ultrapassa o limite superior, o controlador aplica uma tensão de polaridade oposta, de modo a reduzir a corrente e trazê-la de volta à banda. Por outro lado, quando a corrente de saída desce abaixo do limite inferior, é aplicada uma tensão de polaridade positiva para aumentar a corrente até ao valor de referência. Quando a corrente do retificador se mantém dentro das margens predefinidas, o conversor conserva o seu estado até à próxima comutação [57]. Para ilustrar esta abordagem, recorreu-se a um retificador monofásico de Ponte Completa, como o da Figura 2.6, onde se aplicou a lógica apresentada na Figura 3.4.

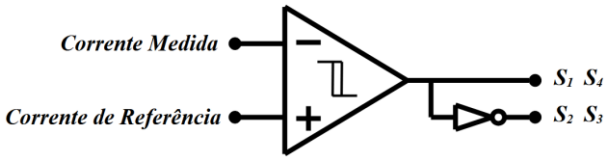


Figura 3.4 - Exemplo de um circuito de comparação com histerese.

Aplicado este controlo obtemos as formas de onda destacadas abaixo, na Figura 3.5, onde é possível constatar as margens do controlador, a corrente do circuito e a tensão aplicada entre os braços do conversor.

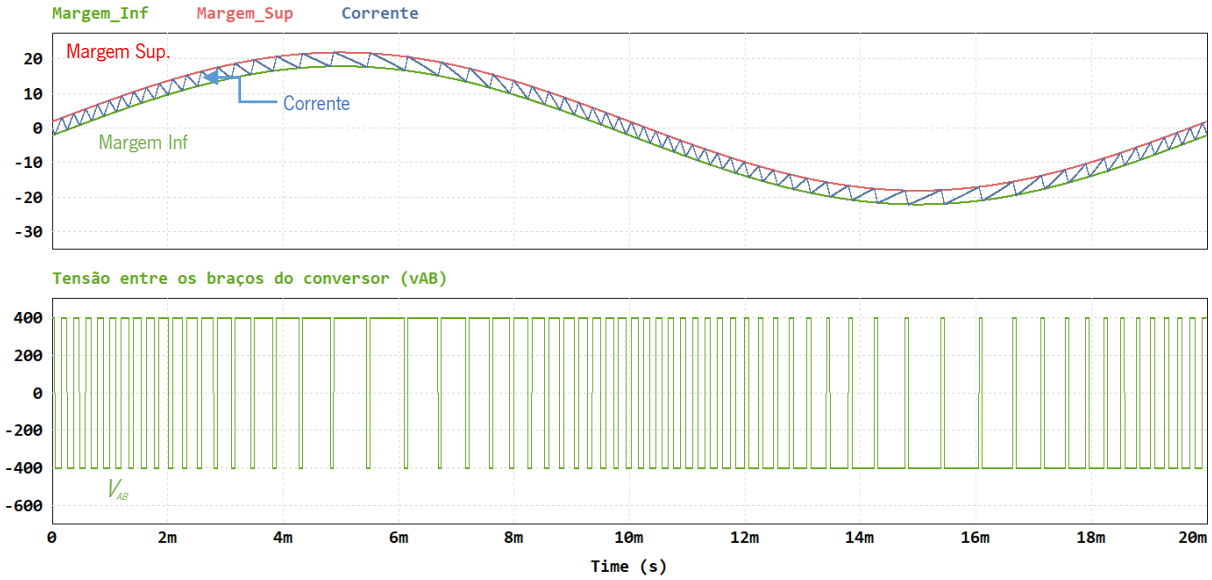


Figura 3.5 - Forma de onda da corrente e respetivas margens de um controlador de corrente por histerese e tensão entre os braços do conversor, V_{AB}.

Uma das principais vantagens desta técnica de controlo é a sua simplicidade de implementação. Contudo, esta apresenta uma desvantagem significativa, a frequência de comutação não é fixa, pois varia conforme o tempo e a diferença entre as margens, ΔH. Além disso, se porventura o ΔH for excessivamente reduzido, isso pode levar a frequências de comutação muito altas nos semicondutores de potência, o que comprometeria a integridade desses componentes, podendo causar danos substanciais [58].

3.3.2 Amostragem Periódica

A amostragem periódica, também conhecida como *periodic sampling*, é uma técnica de controlo baseada na comparação entre a corrente de referência e a corrente de saída do conversor. Embora esta técnica de controlo se assemelhe ao controlo por histerese, a diferença fundamental reside na ausência de margens de histerese. Aqui, realiza-se uma comparação direta entre as correntes, sem a utilização de faixas de tolerância para a comutação. Para garantir um funcionamento estável e evitar frequências de comutação demasiado elevadas, que poderiam danificar os semicondutores de potência, a técnica de amostragem periódica requer a implementação de um circuito lógico após a comparação. Este circuito de retenção e amostragem opera com uma frequência fixa, que é determinada de forma a limitar a

frequência máxima de comutação [59]. De forma a demonstrar esta abordagem, recorreu-se a um retificador de Ponte Completa monofásico, como o da Figura 2.6, onde se aplicou a seguinte lógica demonstrada na Figura 3.6.

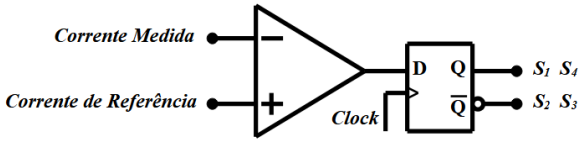


Figura 3.6 - Diagrama do controlo de amostragem periódica.

A frequência de amostragem, f_s, deve ser escolhida com cuidado, pois a aquisição de dados deve ser realizada a uma frequência que seja pelo menos o dobro da frequência de comutação, f_{sw} [60]. Esta abordagem garante que o sistema funcione de forma eficiente, minimizando riscos de danos aos componentes e proporcionando uma resposta precisa e dinâmica às variações do sistema. Na Figura 3.7 é possível visualizar as formas de onda da corrente medida, da corrente de referência e da tensão aplicada entre os braços do conversor para esta abordagem.

A técnica de amostragem periódica caracteriza-se pela sua simplicidade de implementação; contudo, a interação entre a frequência de amostragem, f_s, e a frequência de comutação, f_{sw}, pode originar fenómenos de *aliasing*, conduzindo a níveis elevados de distorção harmónica [61]. Esta limitação restringe a sua aplicabilidade em determinadas topologias e condições operacionais, tornando-a menos adequada para a configuração em estudo.

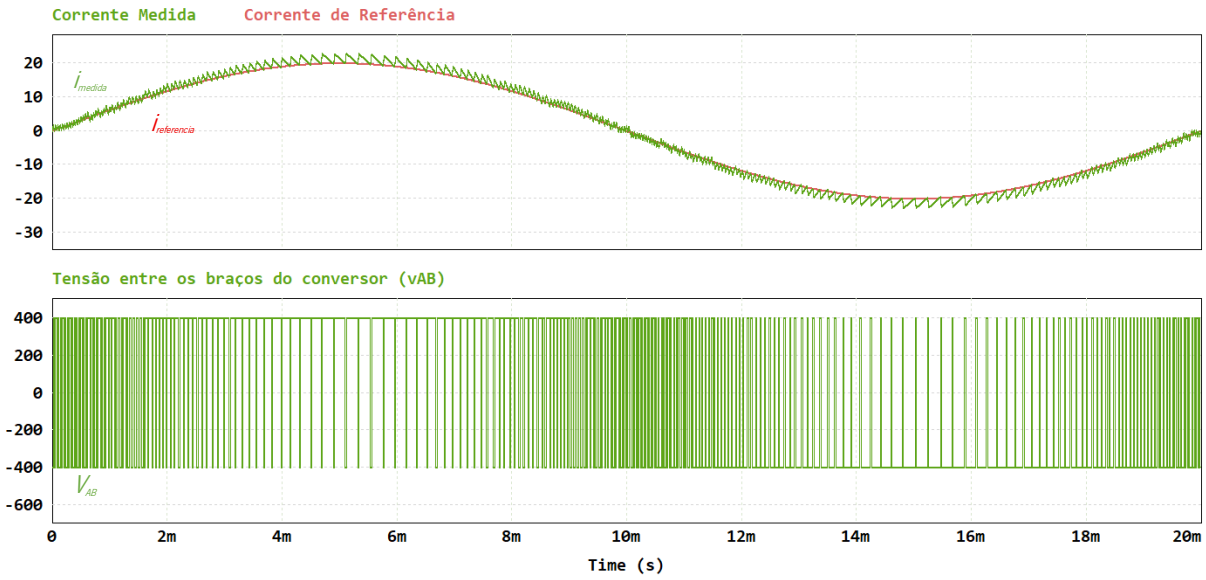


Figura 3.7 - Formas de onda da corrente medida, i_{medida}, da corrente de referência, $i_{referencia}$, por *periodic sampling* e tensão entre os braços do conversor, V_{AB}.

3.3.3 PI Estacionário

O controlo de corrente PI estacionário é amplamente utilizado em sistemas de conversores de potência para regular correntes de referência, podendo ser aplicado tanto a sinais alternados (CA) como a sinais contínuos (CC). No caso de CA, esta técnica opera diretamente no referencial fixo abc, no qual as correntes variam no tempo. O cálculo do erro entre a corrente de referência e a corrente medida é efetuado diretamente neste referencial, eliminando a necessidade de transformações para outros sistemas de coordenadas, o que simplifica significativamente a sua implementação [62], [63]. Na Figura 3.8 é possível observar o princípio de funcionamento do controlador PI.

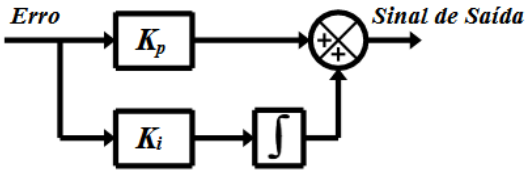


Figura 3.8 - Princípio de funcionamento do controlador PI.

Uma das principais vantagens do controlo PI estacionário é a sua resposta rápida em situações transitórias. Contudo, a componente integral do controlador, que tem como objetivo principal a eliminação do erro em regime permanente, apresenta limitações significativas quando aplicada a correntes de referência alternadas, dado que um controlador PI no referencial estacionário não assegura erro nulo em regime permanente para sinais sinusoidais. Estas limitações resultam num erro intrínseco que não pode ser completamente corrigido sem a implementação de estratégias complementares, como a compensação por *feedforward*, por exemplo [64]. Apesar disso, esta abordagem caracteriza-se pela sua simplicidade estrutural, uma vez que o controlo é diretamente aplicado às componentes *abc* da corrente. Tal característica torna o controlo PI estacionário particularmente adequado para sistemas com menor capacidade de processamento ou em que se privilegie a simplicidade de implementação, ainda que com limitações dinâmicas [63]. Todavia, o controlo PI estacionário enfrenta desafios no que respeita ao desempenho em regime permanente, comuns aos controladores PI em geral, uma vez que o ajuste adequado dos ganhos depende de diversos parâmetros do sistema. Este processo de sintonia pode constituir uma limitação significativa em sistemas sujeitos a variações operacionais consideráveis, como no caso em estudo. Na Figura 3.9 é possível constatar a forma de onda da corrente de referência e da corrente medida para um controlador PI estacionário.

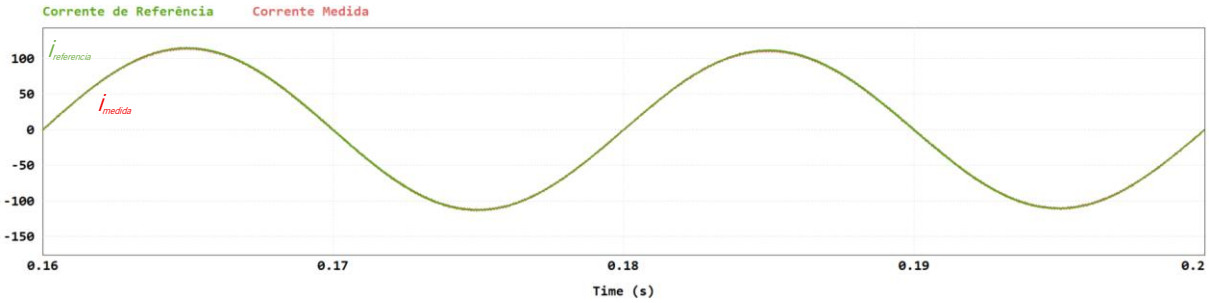


Figura 3.9 - Forma de onda da corrente de referência, $i_{referencia}$, e da corrente medida, i_{medida}, (sobrepostas) para um controlador PI estacionário.

Na prática, esta técnica é frequentemente implementada em conversores monofásicos ou trifásicos, mostrando-se particularmente eficaz em contextos onde a frequência de comutação é fixa. Além disso, este algoritmo de controlo demonstra bastante simplicidade de implementação.

3.3.4 PI Síncrono

O controlo de corrente PI síncrono é uma técnica amplamente utilizada em conversores de potência, destacando-se pela sua capacidade de eliminar o erro em regime permanente associado a correntes de referência alternadas (CA). Este método opera num referencial rotativo, também conhecido como sistema de coordenadas *dq*, onde as componentes da corrente assumem valores constantes no tempo, desde que a frequência do referencial coincida com a frequência da corrente desejada [65].

A principal vantagem desta abordagem reside na sua eficácia no controlo de grandezas alternadas, dado que a transformação para o referencial síncrono converte sinais alternados em sinais contínuos, facilitando a ação do controlador PI. Embora o erro intrínseco associado ao controlador PI não desapareça completamente, este é geralmente reduzido em comparação com o controlo PI aplicado no referencial estacionário. A implementação deste tipo de controlo requer dois reguladores PI independentes, associados às componentes *d* e *q* do referencial síncrono. Convém salientar que a atribuição de cada componente à potência ativa ou reativa depende da orientação adotada para o referencial *dq*, sendo habitual alinhar o eixo *d* com a tensão da rede elétrica [66].

A conversão das grandezas do referencial fixo *abc* para o referencial rotativo *dq* é realizada por meio da transformada de Clarke e da transformada de Park. Primeiro, a transformada de Clarke converte o sistema trifásico *abc* para o sistema estacionário α-β. Em seguida, a Transformação de Park realiza uma rotação das componentes α-β para o sistema rotativo *dq*, utilizando o ângulo de fase θ. A transformada inversa de Park e Clarke permite o regresso ao sistema original após o processamento. Este procedimento requer a definição de um ângulo de fase, que pode ser determinado através de um

integrador ou de técnicas de sincronização em malha fechada [67]. As equações (3.8), (3.9), (3.10) e (3.11) destacam a conversão necessária para converter as grandezas do referencial *abc* em α-β (3.8), α-β em *dq* (3.9) e *abc* em *dq*, (3.10), (3.11), através da multiplicação das anteriores [67], [68].

$$\begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \tag{3.8}$$

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \begin{bmatrix} sen\,\theta & -\cos\theta \\ \cos\theta & sen\,\theta \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} \tag{3.9}$$

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} sen\,\theta & \frac{-sen\,\theta - \sqrt{3}\cos\theta}{2} & \frac{-sen\,\theta + \sqrt{3}\cos\theta}{2} \\ \cos\theta & \frac{-\cos\theta + \sqrt{3}\,sen\,\theta}{2} & \frac{-\cos\theta - \sqrt{3}\,sen\,\theta}{2} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \Leftrightarrow \tag{3.10}$$

$$\Leftrightarrow \begin{bmatrix} x_d \\ x_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} sen\,\theta & sin\left(\theta - \frac{2\pi}{3}\right) & sin\left(\theta + \frac{2\pi}{3}\right) \\ \cos\theta & cos\left(\theta - \frac{2\pi}{3}\right) & cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \tag{3.11}$$

O controlo PI síncrono transforma os sinais CA em componentes CC no referencial *dq*, permitindo ao regulador PI atuar de forma mais direta e eficaz. Esta abordagem distingue-se pela elevada precisão em regime estacionário e pela redução significativa do THD em comparação com outras técnicas, uma vez que, no referencial *dq*, o ajuste dos ganhos é mais preciso para acompanhar uma referência, dado que as componentes *d* e *q* permanecem praticamente constantes. Por outro lado, apesar de todas estas vantagens apresenta uma complexidade de implementação relativamente elevada aliado a uma complexidade computacional [69]. Na Figura 3.10 está representado o diagrama de blocos deste método de controlo.

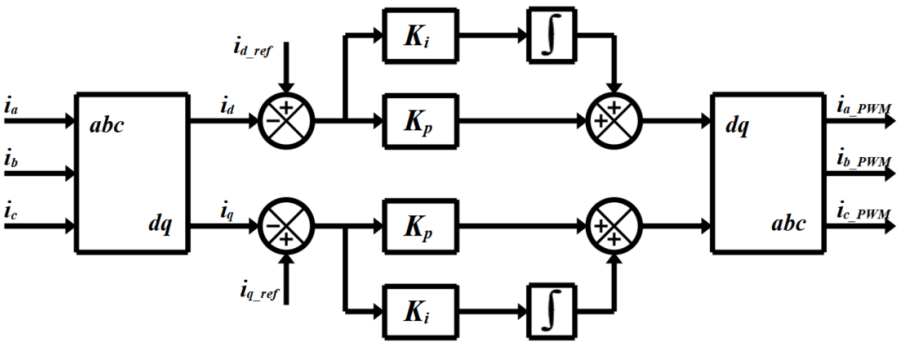


Figura 3.10 - Diagrama de blocos do PI síncrono.

3.3.5 Preditivo

O controlo preditivo é uma técnica baseada no modelo matemático do sistema, com o objetivo de determinar a tensão que o conversor deve gerar para minimizar o erro em regime permanente entre a corrente real e a corrente de referência. Ao contrário de outras abordagens, como o controlo PI, este não requer ganhos fixos, dependendo de parâmetros como as indutâncias de acoplamento à rede elétrica [21]. Tendo em consideração que esta técnica de controlo depende diretamente do modelo do sistema. É necessário recorrer ao modelo da Figura 3.11. Pela análise desta, verifica-se que a tensão da rede elétrica, v_G, é igual à soma da queda de tensão na bobina, v_L, com a tensão produzida pelo conversor, v_{conv}, resultando na equação (3.12).

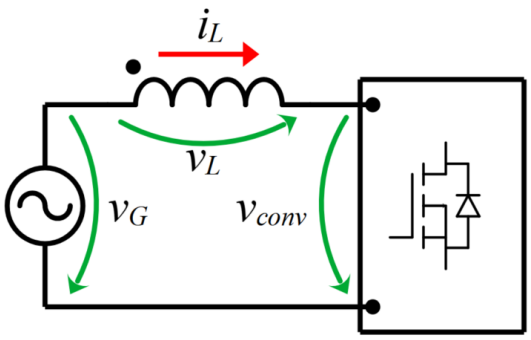


Figura 3.11 – Interface de um conversor CA-CC com a rede elétrica monofásica.

$$v_G(t) = v_L(t) + v_{conv}(t) \tag{3.12}$$

A tensão presente nos terminais da bobina é dada pela equação (3.13), na qual i_L é a corrente que percorre a bobina e, consequentemente, o conversor.

$$v_L(t) = L\frac{di_L(t)}{dt} \tag{3.13}$$

Assim, ao substituir a expressão de v_L, conforme apresentada na equação (3.13), na equação (3.12), obtém-se a equação (3.14).

$$v_{conv}(t) = v_G(t) - L\frac{di_L(t)}{dt} \tag{3.14}$$

Recorrendo ao método de *Euler* para calcular um valor aproximado da derivada da corrente que percorre a bobina em função do tempo, considerando um intervalo de tempo Δt, em tempo discreto, resulta a equação (3.15), a qual pode ser implementada digitalmente. Saliente-se que quanto menor for o intervalo de tempo Δt, mais precisa será a aproximação da solução numérica à solução analítica.

$$v_{conv}(k) = v_G(k) - L\frac{i_L(k+1) - i_L(k)}{\Delta t} \tag{3.15}$$

Por fim, tendo em conta que se pretende que a corrente que percorre o conversor, i_L, siga uma referência i_g^* específica, a corrente que circula pelo conversor no instante de tempo *k+1*, ou seja, $i_L(k+1)$, deverá corresponder a $i_g^*(k)$. Além disso, considera-se Δt como o período de amostragem, T_s, que é o inverso da frequência de amostragem, f_s, utilizada. Dessa forma, surge a equação (3.16), que permite determinar a tensão que o conversor deve produzir para que a corrente controlada se aproxime da corrente de referência. De forma a clarificar a explicação desta estratégia de controlo decidiu-se elaborar um diagrama de blocos, que está destacado na Figura 3.12 [21].

$$v_{conv}(k) = v_G(k) - L\frac{i_g^*(k) - i_L(k)}{T_s} \tag{3.16}$$

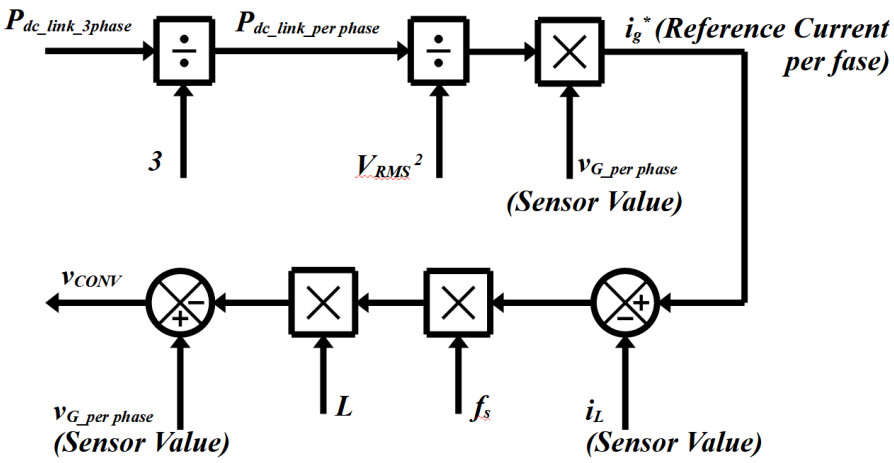


Figura 3.12 - Diagrama de blocos do controlo preditivo.

Em suma, a técnica de controlo de corrente preditivo é baseada na análise das equações do circuito elétrico no instante *k*, que envolvem as tensões e as correntes do sistema. O objetivo deste método é calcular, para o instante *k+1*, o índice de modulação necessário para o conversor, de modo que a corrente de saída acompanhe a corrente de referência no instante *k+2*. Assim, o controlo preditivo antecipa as ações a serem tomadas para minimizar o erro entre a corrente real e a desejada, melhorando a resposta dinâmica do conversor [21]. Devido ao seu bom desempenho dinâmico e elevada eficiência no controlo da corrente, optou-se pela adoção desta estratégia de controlo, que embora conceptualmente simples, apresenta maior exigência de implementação prática [70].

3.4 Teorias de Potência

As teorias de potência, são ferramentas matemáticas desenvolvidas para analisar e descrever o fluxo de energia elétrica em sistemas polifásicos. Estas abordagens são particularmente úteis em condições de operação desequilibrada ou na presença de harmónicos, situações cada vez mais comuns devido à utilização de cargas não lineares e fontes de energia renovável, responsáveis pela criação de distorção harmónica. Em termos práticos, estas teorias têm como principal objetivo melhorar a eficiência dos sistemas de energia elétrica, corrigir problemas de qualidade da energia, como desequilíbrios e harmónicos, e otimizar a operação dos equipamentos. Neste subcapítulo serão abordadas as teorias *pq* e FBD.

3.4.1 Teoria *pq*

A teoria *pq*, também conhecida como teoria das potências instantâneas, foi introduzida por Akagi, Kanazawa e Nabae. Baseia-se na transformação das correntes e tensões do referencial trifásico abc para o referencial estacionário $\alpha\beta$, utilizando a transformada de Clarke, (3.17) [71].

$$\begin{bmatrix} x_0 \\ x_\alpha \\ x_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \tag{3.17}$$

* x pode representar a corrente ou a tensão

Esta transformação permite decompor a potência elétrica em componentes ativa, reativa e deformante, analisadas instantaneamente no domínio do tempo, (3.18), (3.19), (3.20), (3.21). E, posteriormente, calcular as correntes de compensação, (3.22), (3.23).

$$\begin{bmatrix} p_0 \\ p \\ q \end{bmatrix} = \begin{bmatrix} v_0 & 0 & 0 \\ 0 & v_\alpha & v_\beta \\ 0 & v_\beta & -v_\alpha \end{bmatrix} \begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} \tag{3.18}$$

$$p = \bar{p} + \tilde{p} \tag{3.19}$$

$$p_0 = \overline{p_0} + \widetilde{p_0} \tag{3.20}$$

$$q = \bar{q} + \tilde{q} \tag{3.21}$$

$$\begin{bmatrix} {i_\alpha}^* \\ {i_\beta}^* \end{bmatrix} = \frac{1}{{v_\alpha}^2 + {v_\beta}^2} \begin{bmatrix} v_\alpha & v_\beta \\ v_\beta & -v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} - \overline{p_0} \\ q \end{bmatrix} \tag{3.22}$$

$${i_0}^* = \frac{1}{\sqrt{3}}(i_a + i_b + i_c) \tag{3.23}$$

Caso o objetivo seja o inverso, ou seja, passar do referencial estacionário $\alpha\beta$ para o referencial trifásico *abc*, torna-se necessário recorrer à transformada inversa de clarke (3.24) e ao cálculo das correntes no neutro (3.25).

$$\begin{bmatrix} {i_a}^* \\ {i_b}^* \\ {i_c}^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & 1 & 0 \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} {i_0}^* \\ {i_\alpha}^* \\ {i_\beta}^* \end{bmatrix} \tag{3.24}$$

$${i_n}^* = -(i_a + i_b + i_c) \tag{3.25}$$

A principal vantagem desta teoria é a sua aplicabilidade em sistemas desequilibrados e com harmónicos, sendo amplamente utilizada no controlo de filtros ativos de potência para compensação de harmónicos, correção de fator de potência e equilíbrio de correntes [72].

3.4.2 FBD

A teoria FBD (Fryze-Buchholz-Depenbrock) apresenta um modelo de carga monofásica como uma combinação em paralelo de uma condutância, uma reatância (indutiva ou capacitiva) e uma fonte de correntes harmónicas, como na Figura 3.13. Esta teoria introduz conceitos que permitem separar as componentes da potência em partes ativa e reativa, considerando também os efeitos dos harmónicos [73].

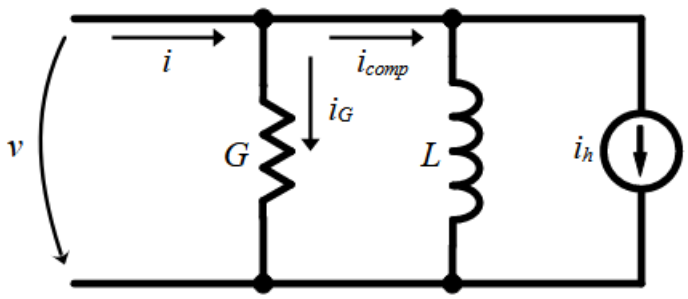


Figura 3.13 - Modelo de carga monofásica da teoria FBD.

A aplicação desta abordagem no controlo de filtros ativos paralelos baseia-se no princípio de que a rede elétrica deve fornecer apenas a corrente correspondente à condutância, i_G, enquanto as restantes componentes da corrente, incluindo as associadas à reatância e aos harmónicos, são compensadas pelo filtro ativo, i_{comp} [74]. Para controlar um condicionador ativo paralelo com base na teoria FBD, o processo inicia-se pelo cálculo do valor médio da potência consumida pela carga. Para tal, utiliza-se uma integral ao longo de um intervalo de tempo definido, que fornece o valor médio da potência elétrica, (3.26).

$$\bar{p} = \frac{1}{\Delta t}\int_{t_i}^{t_f} v\ i\ dt \tag{3.26}$$

De seguida, calcula-se o valor médio quadrático da tensão na carga, que também é obtido através de uma integral ao longo do mesmo intervalo de tempo, (3.27).

$$\bar{v}^2 = \frac{1}{\Delta t}\int_{t_i}^{t_f} v^2\ dt \tag{3.27}$$

Com estes valores, determina-se a condutância utilizando a relação entre a potência consumida pela carga e o valor médio quadrático da tensão aplicada, (3.28).

$$G = \frac{\bar{p}}{\bar{v}^2} \tag{3.28}$$

O passo seguinte consiste em determinar a corrente consumida pela condutância que é calculada a partir do produto entre a tensão e a condutância, (3.29).

$$i_G = v \times G \tag{3.29}$$

Por fim, obtém-se a corrente de referência de compensação para o filtro ativo paralelo, subtraindo a corrente consumida pela condutância pela corrente total, (3.30).

$$i^* = i - i_G \tag{3.30}$$

Assim, a teoria FBD destaca-se pela sua simplicidade e eficácia na compensação de correntes não desejadas, assegurando que a rede elétrica fornece apenas a componente ativa necessária. Esta abordagem contribui de forma significativa para a melhoria da qualidade da energia elétrica em sistemas monofásicos e trifásicos.

3.5 Técnicas de Sincronismo com a Tensão da Rede Elétrica

A PLL é uma técnica de sincronização utilizada para estimar, de forma rápida e precisa, a amplitude, a fase e a frequência da componente fundamental da tensão da rede elétrica. A escolha de uma PLL adequada é essencial para garantir uma sincronização correta e estável entre o sistema e a rede elétrica. Neste contexto, este capítulo apresenta duas abordagens distintas: a E-PLL e a PLL em coordenadas $\alpha\beta$.

De seguida, serão analisadas as suas principais características, bem como as respetivas vantagens e limitações, tendo em conta os requisitos e o objetivo final do sistema em estudo.

3.5.1 *Enhanced Phase-Locked Loop* (E-PLL)

A E-PLL é conhecida por operar diretamente no referencial *abc*, de forma a evitar transformações de coordenadas, logo apresenta um menor nível de complexidade, sendo adequada tanto para sistemas monofásicos como trifásicos. Uma outra vantagem desta PLL é o facto de recorrer à compensação direta do erro de fase, permitindo acompanhar variações quase instantaneamente, e implementa um desacoplamento entre as estimativas de amplitude e fase, reduzindo interferências entre ambas. Esta abordagem garante sincronização praticamente imediata em redes limpas e um bom desempenho em redes poluídas, tornando-a indicada para conversores de potência que requeiram elevada rapidez de resposta e robustez, como em *energy hubs* e carregadores rápidos de VE, que representam o caso em estudo [75], [76]. Na Figura 3.14, está representado o diagrama de blocos da E-PLL para um caso monofásico.

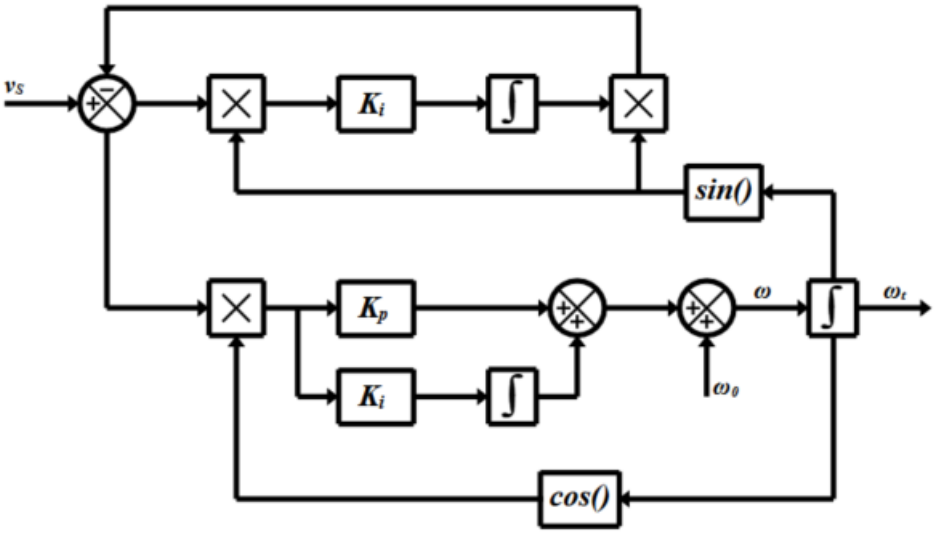


Figura 3.14 - Diagrama de blocos da E-PLL para um caso monofásico.

O ω_0 corresponde à velocidade angular nominal da rede elétrica, expressa em rad/s, que neste caso é $\omega_0 = 2\pi \times 50\,\text{Hz} \approx 314\,\text{rad/s}$.

Por outro lado, em condições de rede elétrica distorcida, a E-PLL apresenta uma forte dependência de um pré-filtro eficiente para garantir medições precisas, sendo recomendada a utilização de um filtro adaptativo em frequência para lidar com variações dinâmicas. Além disso, durante eventos transitórios, podem surgir oscilações de maior amplitude na estimativa da frequência, o que pode justificar a

implementação de um pós-filtro dedicado para suavizar a resposta e assegurar maior estabilidade na saída [75]. Posto isto e uma vez que não é necessário extrair o valor de amplitude, decidiu-se não se recorrer a esta PLL.

3.5.2 *Alfa-Beta Phase-Locked Loop*

A PLL em coordenadas $\alpha\beta$ é uma técnica de sincronização que utiliza a transformada de Clarke para converter os sinais trifásicos no referencial *abc* para o sistema $\alpha\beta$. Esta abordagem facilita a obtenção de sinais em quadratura, permitindo extrair com elevada precisão a fase e a frequência da componente fundamental [77]. Na Figura 3.15, está representado o diagrama de blocos da PLL $\alpha\beta$.

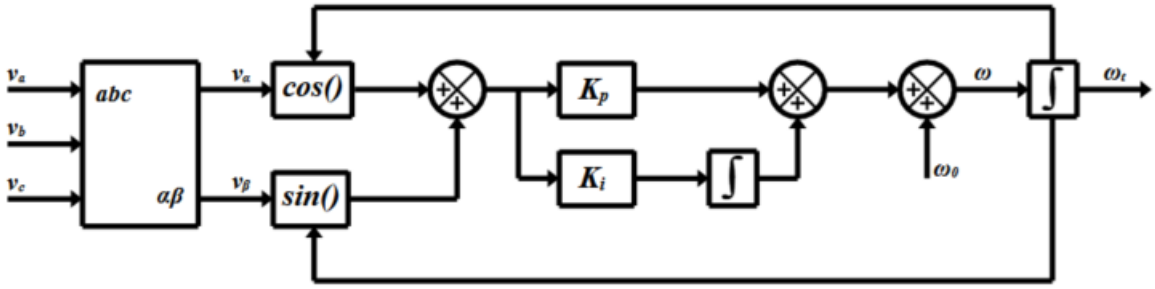


Figura 3.15 - Diagrama de blocos da PLL $\alpha\beta$.

A PLL $\alpha\beta$ caracteriza-se por uma resposta transitória extremamente rápida, alcançando o regime estacionário em apenas alguns milissegundos após a ocorrência de uma perturbação [78]. Para além disso, preserva um baixo nível de distorção harmónica na saída, mesmo quando sujeita a sinais com elevado conteúdo harmónico [78]. A sua estrutura apresenta-se simplificada, dispensando a utilização de uma malha de controlo de amplitude, e revela reduzida sensibilidade a variações na amplitude do sinal de entrada, assegurando, deste modo, estabilidade e precisão no processo de sincronização. Contudo, evidencia como principais limitações a sensibilidade a desvios de frequência, que podem originar erros de fase sempre que o sinal se afasta da frequência nominal, bem como a possibilidade de ocorrência de pequenas oscilações quando o sinal de entrada apresenta níveis elevados de distorção harmónica [76]. Em suma, e, não obstante às limitações identificadas, a PLL $\alpha\beta$ revela-se uma solução viável para aplicações de sincronização com a rede elétrica.

3.6 Conclusões

O Capítulo 3 abordou de forma abrangente os conceitos fundamentais e técnicas avançadas utilizadas no controlo de conversores de eletrónica de potência. Primeiramente, exploraram-se as técnicas de

modulação, com destaque para a SPWM, selecionada para a implementação neste trabalho devido à sua simplicidade, eficiência e baixo esforço computacional, garantindo elevada qualidade das formas de onda e confiabilidade na geração dos sinais de comando para os semicondutores. Foram também analisadas outras abordagens, como a THIPWM e a DPWM, que, embora mais complexas, apresentam benefícios específicos para aplicações exigentes.

Em seguida, foram apresentados os algoritmos de controlo de corrente, incluindo o controlo por histerese, por amostragem periódica, os controladores PI estacionário e síncrono e o controlador preditivo. Cada técnica foi analisada quanto às suas vantagens, limitações e adequação a diferentes contextos operacionais, com especial ênfase na escolha do controlo preditivo para esta dissertação, devido à sua capacidade de fornecer resultados com baixa distorção harmónica e elevada rapidez de resposta dinâmica, aliada a um conceito de implementação direto.

Além disso, foram introduzidas as teorias de potência *pq* e FBD, que proporcionam uma base matemática sólida para a análise e compensação de correntes indesejadas. Estas teorias destacaram-se pela sua aplicabilidade prática na melhoria da qualidade da energia elétrica e na otimização de sistemas de controlo.

Por fim, foi realizada uma pequena exposição sobre diferentes tipos de PLLs, onde foram abordadas as vantagens e desvantagens de cada uma. Sendo assim, recorreu-se a PLL $\alpha\beta$, uma vez que apresenta melhor desempenho que a E-PLL.

Em síntese, este capítulo forneceu as bases teóricas e práticas necessárias para a implementação de estratégias de modulação e controlo, bem como para a análise de potência em sistemas elétricos complexos. Esta fundamentação será essencial para o desenvolvimento e validação das soluções propostas nos capítulos seguintes.

Capítulo 4

Simulações Computacionais das Topologias Propostas

4.1 Introdução

As simulações computacionais constituem, na atualidade, um instrumento incontornável no âmbito da engenharia, na medida em que permitem analisar e validar o comportamento de sistemas complexos de forma segura e económica. A possibilidade de reproduzir virtualmente diferentes cenários de funcionamento viabiliza a conceção e a afinação de algoritmos de controlo, bem como a avaliação do impacto da alteração de parâmetros físicos e operacionais, reduzindo a necessidade de prototipagem física e minimizando riscos associados a ensaios laboratoriais ou em ambiente real.

No presente trabalho recorreu-se ao software *PSIM*, dada a sua reconhecida robustez na modelação de circuitos elétricos e sistemas de eletrónica de potência, bem como na sua simplicidade. A utilização desta ferramenta possibilitou o desenvolvimento e a verificação das estratégias de controlo propostas, garantindo uma análise sistemática e fundamentada do desempenho global do sistema em estudo.

Considerando que a topologia *Full-Bridge* apresenta uma implementação mais simples, e uma vez que o intuito é de criar uma PCB que possibilita a topologia *Full-Bridge* e *T-Type* na mesma placa, recorreu-se primeiramente a esta configuração com o intuito de validar de forma gradual os diferentes processos envolvidos, nomeadamente a estratégia de controlo, a PLL e a modelação do sistema.

Neste capítulo apresentam-se de forma detalhada as simulações efetuadas. A primeira parte incide sobre o conversor *Full-Bridge* e o conversor *T-Type*. De seguida, são abordadas as estratégias de controlo recorridas, nomeadamente o PI síncrono e o controlo preditivo, bem como a modulação adotada e a PLL utilizada, fundamentais para a sincronização e estabilidade do sistema. Posteriormente, discute-se o modelo de simulação real, que representa de forma aproximada as condições práticas de operação. Por fim, é apresentada a análise do desempenho e sensibilidade permitindo avaliar o comportamento do sistema perante diferentes condições e confirmar a validade do modelo desenvolvido.

4.2 Conversor *Full-Bridge*

De forma a ilustrar o correto funcionamento do conversor *Full-Bridge* trifásico, recorreu-se à simulação representada na Figura 4.1. O circuito é constituído por três braços totalmente controlados, correspondentes a cada uma das fases da rede elétrica. Cada braço integra dois MOSFETs, que realizam a comutação do sistema e permitem o controlo independente das tensões de saída em cada fase. No lado da rede CA foi implementado um indutor em serie do tipo *L*, composto por uma indutância em série em cada fase. Este indutor tem como principal função atenuar a componente harmónica da corrente e suavizar a forma de onda, através da redução do THD da mesma, permitindo assim uma melhor qualidade da energia trocada com a rede elétrica. Já do lado CC, o conversor dispõe de um barramento de condensadores, designados por C_1 e C_2. Estes elementos são responsáveis por reduzir a ondulação da tensão contínua e por manter o valor da tensão V_{CC} próximo do nível desejado, assegurando a estabilidade de funcionamento do sistema.

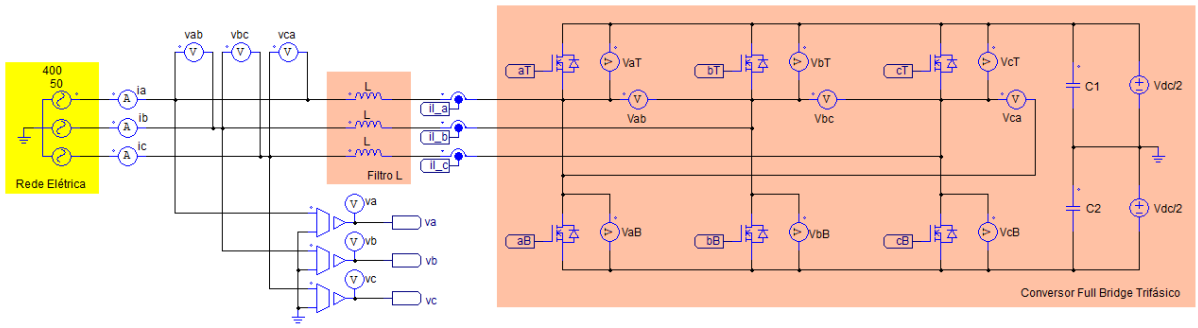


Figura 4.1 - Simulação do conversor *Full-Bridge* trifásico.

Antes de iniciar a simulação, é importante considerar que, dado o barramento possuir um ponto médio ligado ao neutro da rede elétrica, o valor de pico da tensão simples da rede deve ser próximo, mas ligeiramente inferior, à tensão de metade do barramento. No caso da rede elétrica em Portugal, com 230 V eficazes, o valor de pico é $\sqrt{2} \times 230\ V \approx 325$ V. Para que o conversor possa gerar a amplitude de saída requerida sem ficar limitado pela tensão do barramento, a tensão do meio barramento deve ser, no mínimo, superior a esse valor. Na prática, devido às quedas de tensão nos semicondutores (tensão de condução dos MOSFETs e díodos) e à eventual diminuição da tensão do barramento sob carga, recomenda-se uma margem adicional. Assim, um meio barramento de 400 V (correspondente a 800 V no barramento total) fornece margem suficiente para compensar as perdas e garantir capacidade de modulação e qualidade da forma de onda no lado CA. Caso a tensão de meio barramento seja inferior ao valor de pico da rede elétrica, a amplitude máxima de saída fica limitada, o que conduz inevitavelmente a maior distorção e a um aumento do THD nas correntes injetadas no lado CA, como demonstrado na

Figura 4.2, onde o barramento muda de 800 V para 600 V, perfazendo uma tensão de 300 V em cada meio barramento (inferior ao pico da rede elétrica)

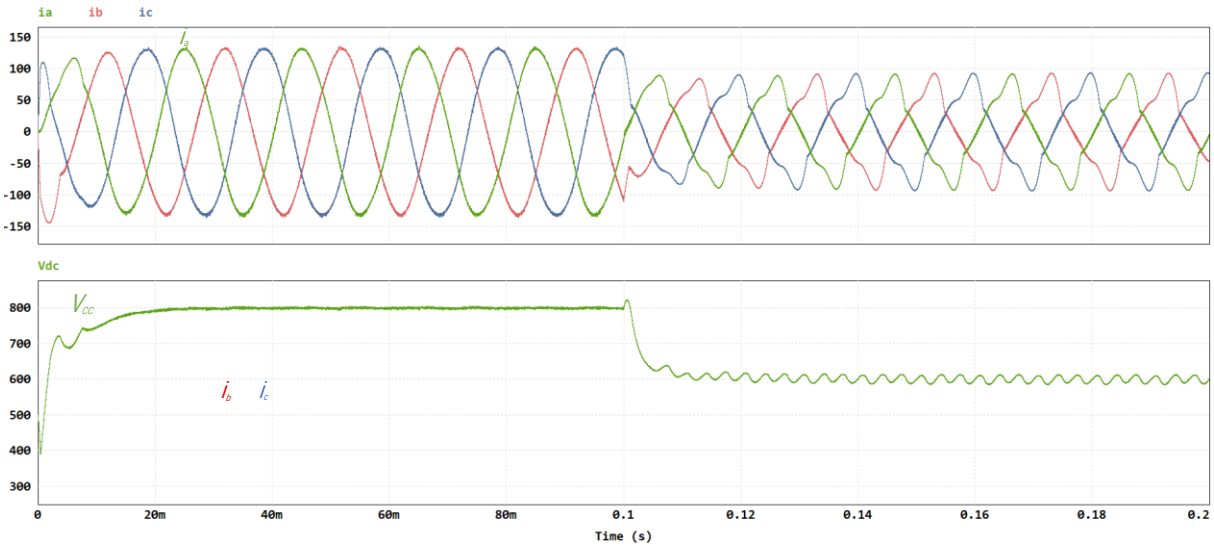


Figura 4.2 - Correntes CA e tensão de saída CC com mudança do valor do barramento.

Tendo em consideração esta premissa, aplicável a todos os conversores CA-CC, apresentam-se seguidamente os diferentes níveis de tensão nos terminais dos semicondutores de potência. O objetivo é demonstrar a tensão máxima que estes deverão suportar e analisar a forma de onda previsível nos resultados. Na Figura 4.3 encontram-se representadas as formas de onda correspondentes aos MOSFETs superiores e inferiores, onde se verifica que cada dispositivo deve suportar, no mínimo, uma tensão de 800 V. Contudo, tendo em conta os picos transitórios associados às comutações (variações rápidas do estado lógico), é recomendável a utilização de semicondutores com tensão nominal superior a 1000 V, de forma a garantir uma margem de segurança adequada. Por sua vez, a Figura 4.4 ilustra a tensão entre duas fases, evidenciando a presença de três níveis lógicos distintos: $-V_{cc}$, 0 e V_{cc}, característicos da operação do conversor trifásico em Ponte Completa.

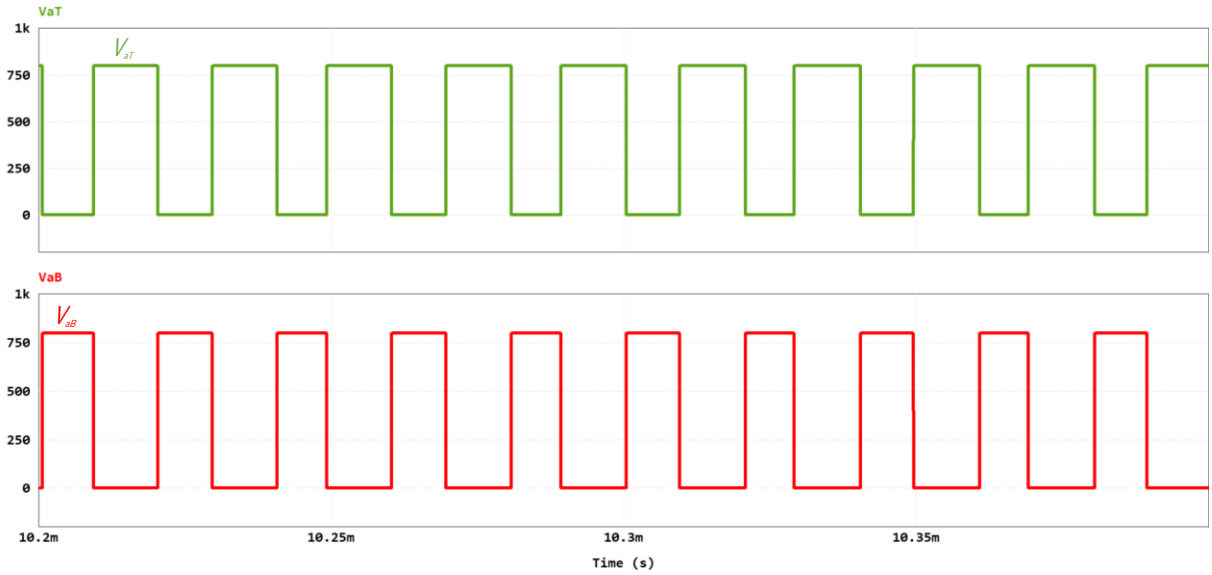


Figura 4.3 – Tensões aos terminais dos MOSFETs superiores, V_{aT}, e inferiores, V_{aB} do conversor *Full-Bridge*.

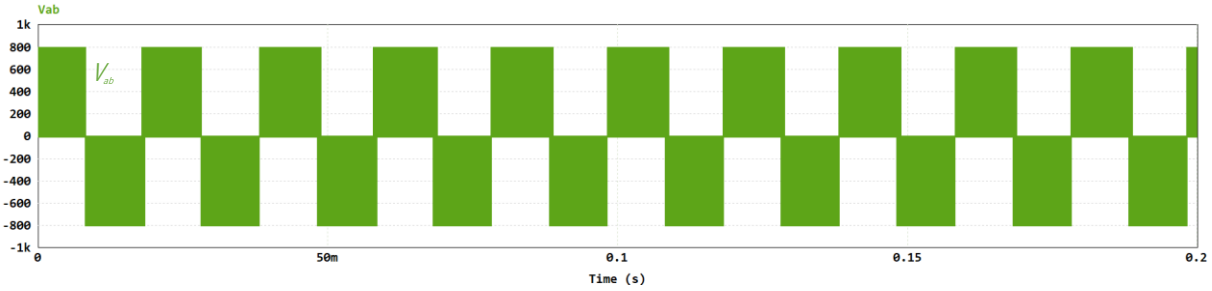


Figura 4.4 - Tensão entre duas fases, V_{ab}, do conversor *Full-Bridge*.

4.3 Conversor *T-Type*

Os conversores *T-Type* constituem uma topologia de elevado interesse, uma vez que permitem alcançar um compromisso equilibrado entre eficiência, qualidade da forma de onda e complexidade de controlo. Caracterizam-se por apresentarem uma configuração multinível, que possibilita menores esforços de tensão nos semicondutores e uma redução das perdas de comutação.

Neste subcapítulo serão analisadas duas variantes desta topologia: o *T-Type Vienna rectifier*, cuja simplicidade de implementação se deve ao facto de apenas as células bidirecionais realizarem a comutação, e o *T-Type* convencional, no qual todas as células comutam, destacando-se pela sua robustez. Entenda-se por células bidirecionais aquelas que ligam o ponto médio de cada braço ao neutro do conversor.

4.3.1 *T-Type* Como *Vienna Rectifier*

O *T-Type Vienna rectifier* constitui uma implementação específica da topologia *T-Type*, destacando-se pela simplificação do controlo em aplicações de conversão de energia. Esta variante preserva a configuração multinível característica da topologia *T-Type*, mas reduz de forma significativa a complexidade associada à comutação, dado que apenas as células bidirecionais são acionadas durante a transferência de energia. Tal característica conduz a uma redução do esforço sobre os semicondutores, tornando esta solução particularmente atrativa. Na Figura 4.5 apresenta-se a simulação relativa ao *T-Type Vienna rectifier* trifásico. Atendendo a que apenas as células bidirecionais são comutadas, optou-se por representar os restantes MOSFETs unicamente através do díodo em antiparalelo que estes integram, com o objetivo de simplificar a representação esquemática.

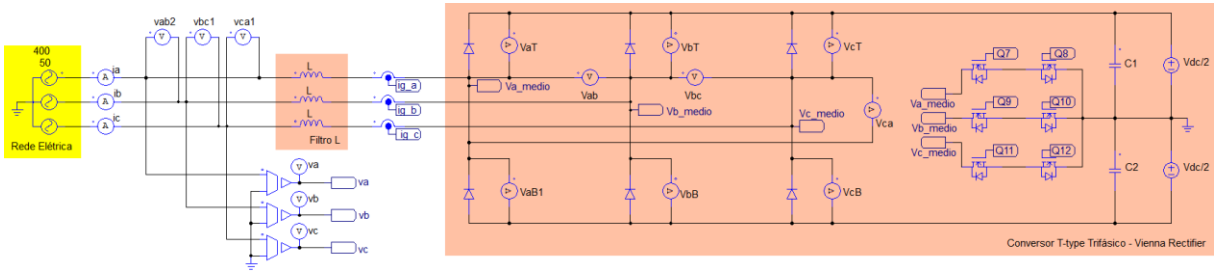


Figura 4.5 - Simulação do conversor *T-Type Vienna rectifier.*

Posto isto, importa ter em consideração todas as premissas identificadas no subcapítulo 4.2, relativo ao conversor *Full-Bridge*. De seguida, apresentam-se os diferentes níveis de tensão nos terminais dos semicondutores de potência deste conversor. O objetivo é, mais uma vez, determinar a tensão máxima que estes deverão suportar e analisar a forma de onda expectável nos resultados. Na Figura 4.6 encontram-se representadas as formas de onda correspondentes aos MOSFETs de uma das células bidirecionais, neste caso a célula bidirecional da fase *A*. Na parte superior é ilustrada a tensão *drain-source*, enquanto na parte inferior se apresenta o sinal de *gate* aplicado à gate desses mesmos semicondutores. Além disso, verifica-se que os semicondutores comutam de forma independente, isto é, quando um alterna entre o valor lógico 0 e 1, o outro permanece desligado e vice-versa.

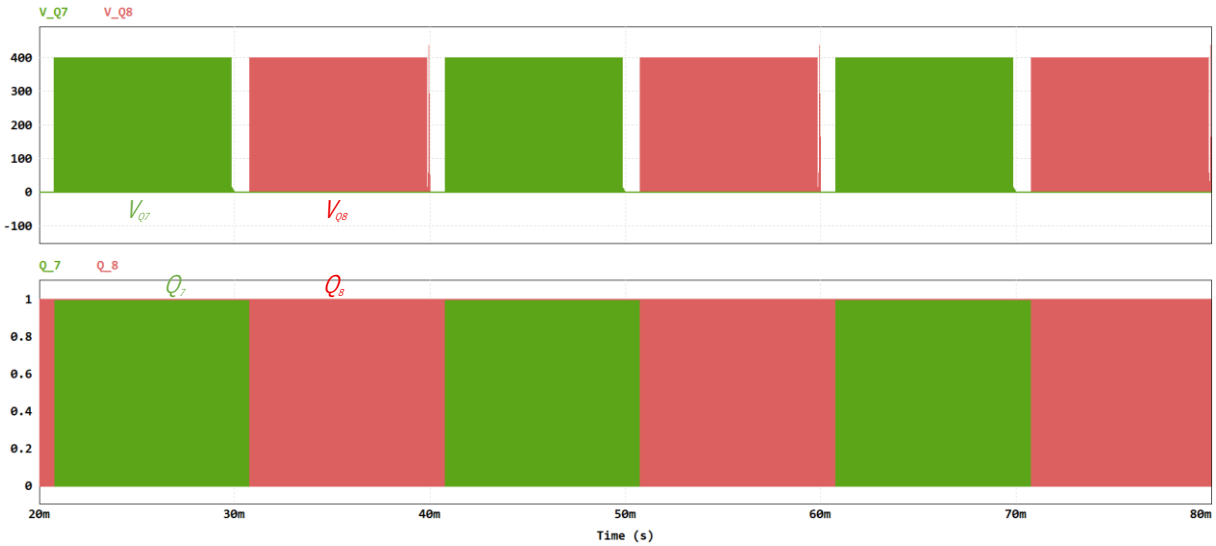


Figura 4.6 – Tensões aos terminais dos MOSFETs da célula bidirecional da fase *A*, V_{Q7} e V_{Q8}, e sinais de gate dos mesmos, Q_7 e Q_8, do conversor *T-Type Vienna rectifier*.

Um aspeto que poderá suscitar alguma confusão é o facto de a tensão *drain-source* (parte superior da Figura 4.6) evidenciar um *dead-time*, ao contrário do que se observa na tensão de *gate*. Na realidade, não se trata de *dead-time*, mas sim de um período de comutação natural, que ocorre quando a tensão de uma fase se torna ligeiramente superior à de outra. Nesse instante, o díodo correspondente necessita de um tempo finito para assumir a condução, enquanto o díodo anteriormente em condução ainda não cessou totalmente a sua atividade. Durante essa transição, a tensão de saída apresenta um intervalo em que a comutação não é instantânea, transmitindo a perceção de um tempo morto. Este fenómeno contribui ainda para um acréscimo do THD nas correntes do lado CA, aquando da respetiva passagem por zero. Nesta dissertação, serão utilizados MOSFETs de carboneto de silício (SiC), cujo díodo em antiparalelo apresenta uma recuperação inversa significativamente mais rápida face a dispositivos de silício. Assim, o intervalo de transição é mais reduzido, atenuando o impacto deste fenómeno na distorção harmónica [79].

Quanto aos restantes semicondutores, representados apenas pelos díodos em antiparalelo, importa salientar que, apesar de não realizarem comutação ativa, devem ser devidamente dimensionados para suportar os diferentes níveis de tensão presentes no conversor. Na Figura 4.7 apresentam-se as formas de onda correspondentes a esses díodos, mais concretamente ao díodo superior (V_{aT}) e ao díodo inferior (V_{aB}) da fase *A*. À esquerda é ilustrada a forma de onda ao longo de três ciclos da tensão da rede elétrica, enquanto à direita se apresenta a mesma onda com maior detalhe, de modo a evidenciar os diferentes níveis de tensão. Esta última representação corresponde a um semiciclo negativo da rede elétrica, em que V_{aT} suporta os níveis de tensão mais elevados, dado que V_{aB} se encontra em condução. Ou seja, quando V_{aB} conduz, V_{aT} deve suportar a totalidade da tensão do barramento (neste caso, 800 V). Já quando

não há condução, ambos suportam aproximadamente metade da tensão total do barramento. Também neste caso se observa o fenómeno de período de comutação natural.

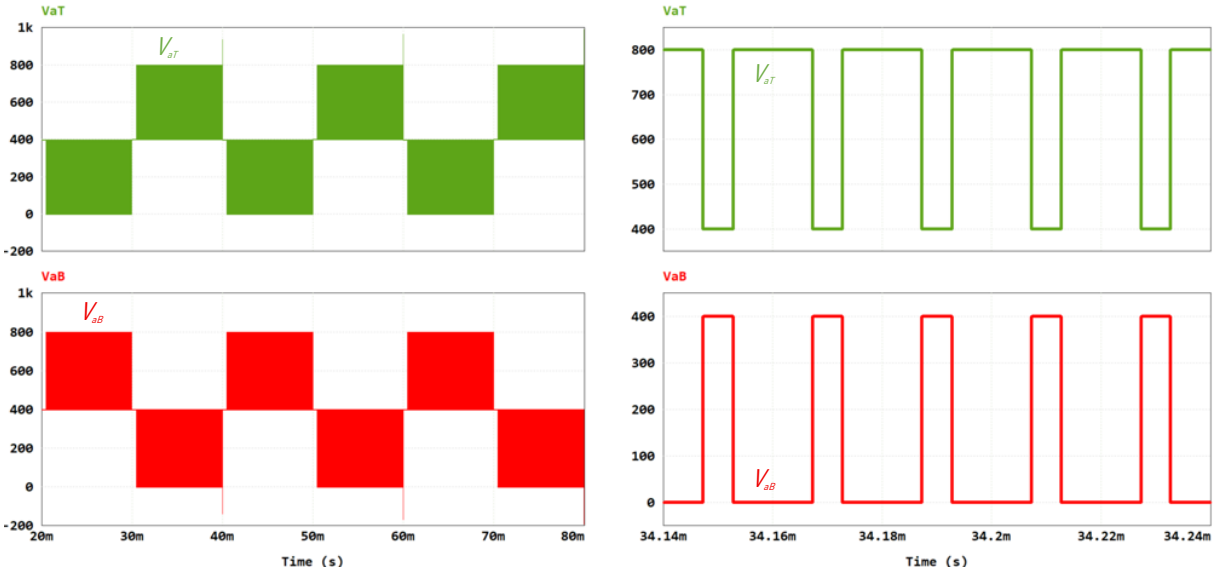


Figura 4.7 – Tensão aos terminais dos diodos V_{aT} e V_{aB} do conversor *T-Type Vienna rectifier*.

Nesta configuração, os díodos das células bidirecionais devem ser dimensionados para suportar uma tensão máxima de 400 V, considerando-se 600 V em situações de proteção. Já os restantes semicondutores devem suportar a totalidade da tensão do barramento, isto é, 800 V, podendo atingir 1000 V em regime de proteção, conforme já referido no subcapítulo 4.2. A Figura 4.8 apresenta a tensão entre duas fases, onde se evidenciam cinco níveis lógicos distintos: $-V_{cc}$, $-V_{cc}/2$, 0, $V_{cc}/2$ e V_{cc}, os quais são característicos da operação do conversor trifásico *T-Type*.

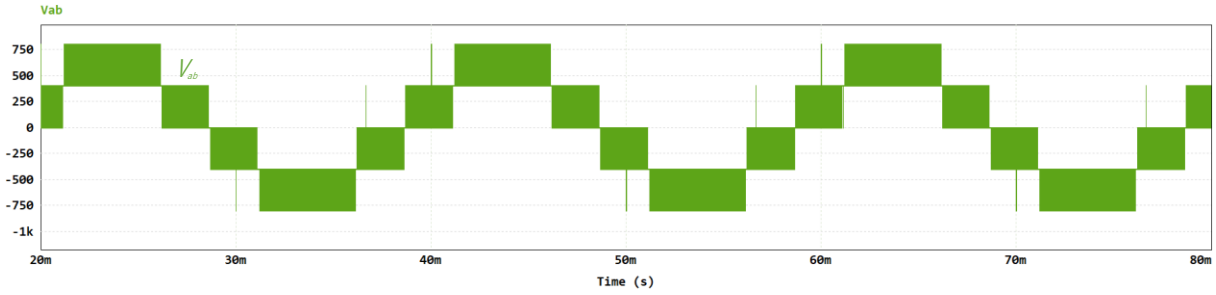


Figura 4.8 - Tensão entre duas fases, V_{ab}, do conversor *T-Type Vienna rectifier.*

Em suma, apesar de esta topologia apresentar um nível de THD superior quando comparada com o *T-Type* convencional, a sua simplicidade de controlo torna-a uma solução particularmente atrativa. Este passo também apresenta um passo importante antes da passagem para o *T-Type* convencional.

4.3.2 *T-Type* Convencional

O *T-Type* convencional constitui a topologia *T-Type* mais recorrente em aplicações de conversão de energia, distinguindo-se do *Vienna rectifier* pelo facto de todos os semicondutores de potência serem acionados de forma ativa durante a operação. Esta característica possibilita um controlo mais rigoroso e, consequentemente, uma redução significativa do THD nas correntes do lado CA, quando comparado com a variante *Vienna*. Um dos fatores que contribui para essa melhoria deve-se à eliminação do denominado período de comutação natural, uma ver que a corrente não flui pelos díodos, mas sim, pelos MOSFETs quando estes se encontram fechados. Todavia, esta vantagem acarreta um acréscimo na complexidade do sistema de controlo, particularmente ao nível da modulação, uma vez que se torna necessário introduzir períodos de *dead-time* nos MOSFETs, de modo a evitar a condução simultânea dos dispositivos pertencentes à mesma célula ou braço. Na Figura 4.9 apresenta-se a simulação do conversor *T-Type* trifásico convencional, evidenciando a comutação ativa de todos os MOSFETs.

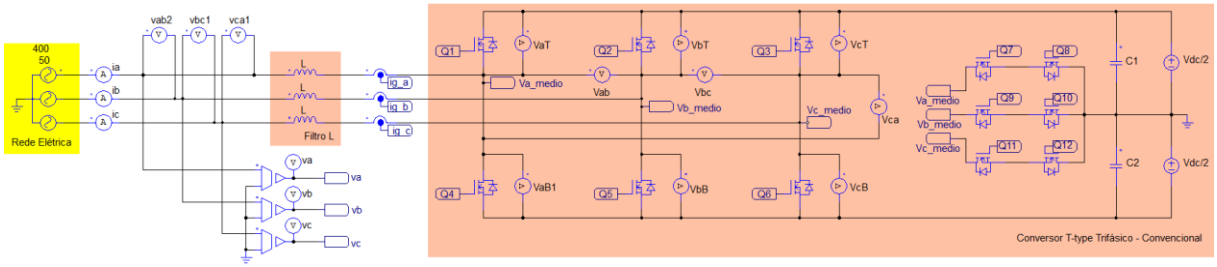


Figura 4.9 - Simulação do conversor *T-Type* convencional.

No que respeita à análise das formas de onda obtidas, a Figura 4.10 apresenta a tensão *drain-source* de uma das células bidirecionais, destacada no primeiro gráfico, onde se observa a ausência do período de comutação natural característico do *Vienna rectifier*. Adicionalmente, a mesma figura inclui as formas de onda correspondentes aos MOSFETs do braço, representadas nos restantes gráficos. Todos os resultados apresentados dizem respeito à fase *A*.

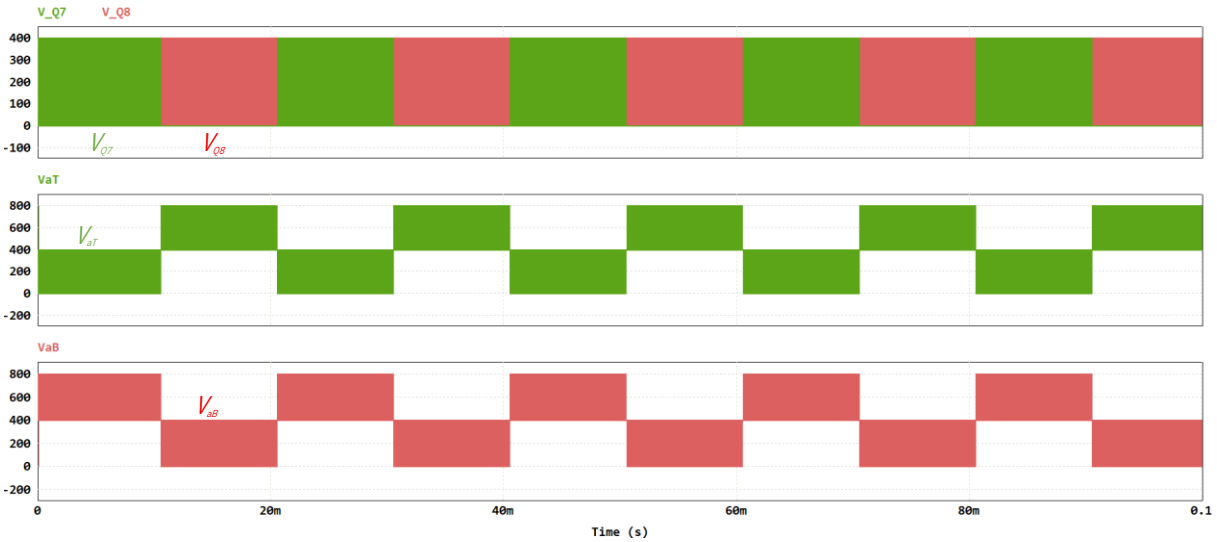


Figura 4.10 - Formas de onda do conversor *T-Type* convencional relativas à fase *A*: tensões *drain-source* da célula bidirecional, V_{Q7} e V_{Q8}, e tensões aos terminais dos MOSFETs do braço V_{aT} e V_{aB}.

Por fim, observa-se na Figura 4.11 que a tensão composta, V_{ab}, percorre os cinco níveis característicos da topologia *T-Type* trifásica $-V_{CC}$, $-V_{CC}/2$, 0, $V_{CC}/2$ e V_{CC}, tal como o *Vienna rectifier*.

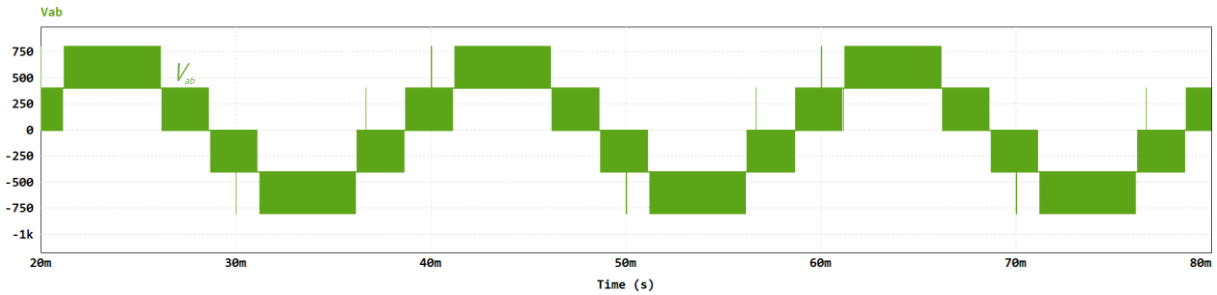


Figura 4.11 - Tensão entre duas fases, V_{ab}, do conversor *T-Type* convencional.

Em suma, o *T-Type* convencional, uma vez que constitui o objetivo final desta dissertação, recorre ao modulo do *Vienna* como um passo intermédio entre o *Full-Bridge* e o *T-Type*.

4.4 Estratégias de Controlo Empregues

Após a definição e caracterização do andar de potência, torna-se necessário abordar o andar de controlo, elemento essencial para assegurar a correta operação e estabilidade do sistema. De facto, a inexistência de estratégias de controlo adequadas inviabilizaria o cumprimento dos objetivos de desempenho estabelecidos. Neste contexto, recorreu-se à simulação computacional de duas metodologias de controlo previamente introduzidas, nomeadamente o controlo por PI Síncrono e o Controlo Preditivo, descritos em detalhe nas secções 3.3.4 e 3.3.5, respetivamente. Além disso, será abordado o controlo de barramento de forma a validar esse mesmo conceito.

4.4.1 Controlo da Tensão do Barramento CC

Antes de se apresentarem as estratégias de controlo, é pertinente destacar o método adotado para a regulação do barramento, dado que alguns cálculos associados às correntes dependem diretamente deste processo. Para assegurar a estabilidade da tensão ao nível pretendido, implementou-se um controlador PI, responsável por calcular o valor necessário para a sua regulação. A Figura 4.12 apresenta o diagrama de blocos correspondente a esse mesmo cálculo e, na equação (4.1), encontra-se a equação matemática utilizada para um barramento de 800 V, a qual foi deduzida a partir da análise do referido diagrama.

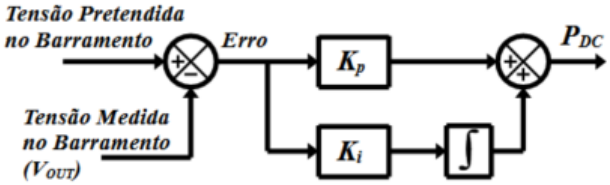


Figura 4.12 – Diagrama de blocos do algoritmo do controlo PI do barramento.

$$P_{DC}(k) = k_p \times (800 - V_{OUT}(k)) + k_i \times \left(\sum_{n=0}^{k} 800 - V_{OUT}(n) \right) \tag{4.1}$$

Com o objetivo de validar o correto funcionamento do barramento, foi definida uma variação da sua referência ao longo do tempo. Assim, iniciou-se com uma referência de 750 V; ao instante 0,06 s, esta foi alterada para 800 V; em 0,12 s passou para 850 V; e, finalmente, em 0,18 s retornou ao valor inicial de 750 V. A Figura 4.13 ilustra este ensaio, representando não apenas a tensão no barramento, mas também as correntes do lado CA. Observa-se que as correntes aumentam à medida que o nível de tensão do barramento se eleva, dado que, mantendo-se a mesma carga, um acréscimo de tensão implica igualmente um acréscimo de corrente ($V = R \times I$). Em termos de potência, verifica-se que, para uma carga constante, um aumento da tensão conduz a um aumento da mesma ($P = V^2/R$).

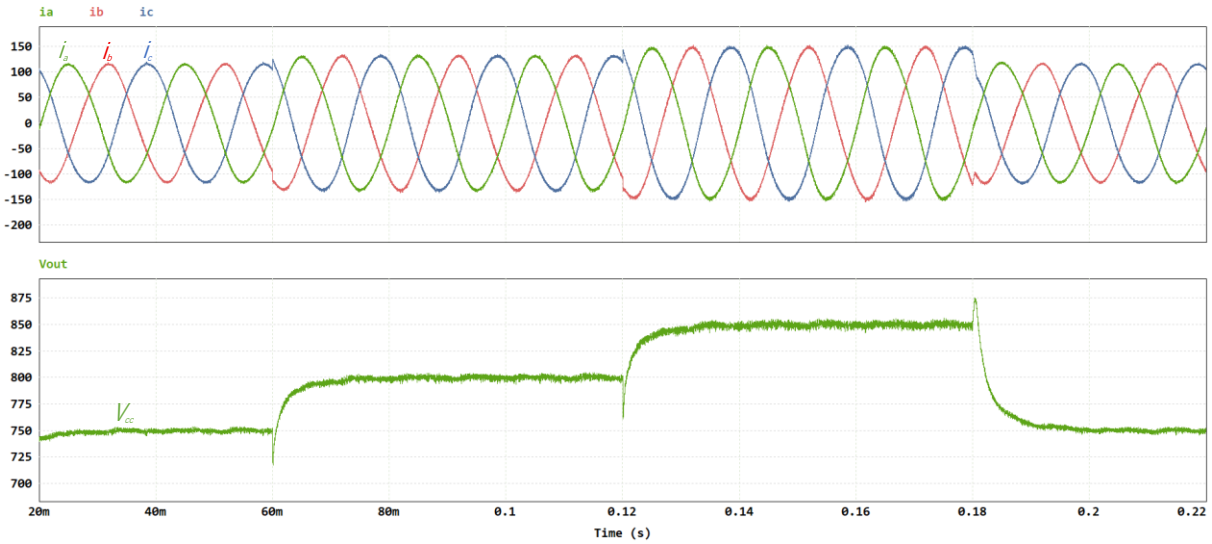


Figura 4.13 - Variação da tensão de referência do barramento e correntes do lado CA.

4.4.2 PI Síncrono

O controlo PI Síncrono foi implementado conforme os princípios descritos na secção 3.3.4 sobre o modelo de simulação desenvolvido. O objetivo deste é regular as correntes do lado da rede elétrica, atuando sobre as componentes do referencial síncrono *d* e *q* obtidas através da transformada de Park. Sendo assim, foi elaborada uma simulação no *PSIM*, cujas correntes trifásicas foram transformadas para o referencial síncrono, obtendo-se as componentes i_d e i_q. A componente i_d foi utilizada para controlar a potência ativa trocada com a rede elétrica, enquanto i_q regulou a potência reativa, mantendo-a próxima de zero. Para cada componente foi aplicado um controlador PI independente, com ganhos ajustados conforme os valores do projeto, como pode ser observado na Tabela 4.1. Esses mesmos valores foram escolhidos de forma a manter um bom equilíbrio entre um reduzido *overshoot* e uma resposta rápida do sistema até ao ponto de regime permanente. Para uma melhor referência visual encontra-se na Figura 3.10 um diagrama de blocos que retrata o processo completo.

Tabela 4.1 - Valores de K_p e K_i utilizados no PI síncrono.

Componente	k_p	k_i
i_d	10	0,01
i_q	10	0,01

De modo a validar o correto funcionamento da estratégia de controlo, analisam-se as formas de onda das componentes i_d e i_q, que representam os valores de corrente medidos, bem como das componentes i_{d_ref} e i_{q_ref}, que correspondem às referências de corrente requeridas. Dado que a componente i_q assume valor nulo, a equação (4.2) determina o valor que a componente i_d deve assumir. A Figura 4.14 apresenta as formas de onda de i_d e i_q, as quais evidenciam o seguimento eficaz face às referências impostas, i_{d_ref}

e i_{q_ref}. Complementarmente, a Figura 4.15 representa as componentes de tensão v_d e v_q, confirmando a estabilidade do referencial síncrono.

$$i_{d_ref} = \frac{(i_{out} \times v_{out} + P_{DC})}{v_d} \tag{4.2}$$

P_{DC} corresponde ao valor necessário para controlar o barramento

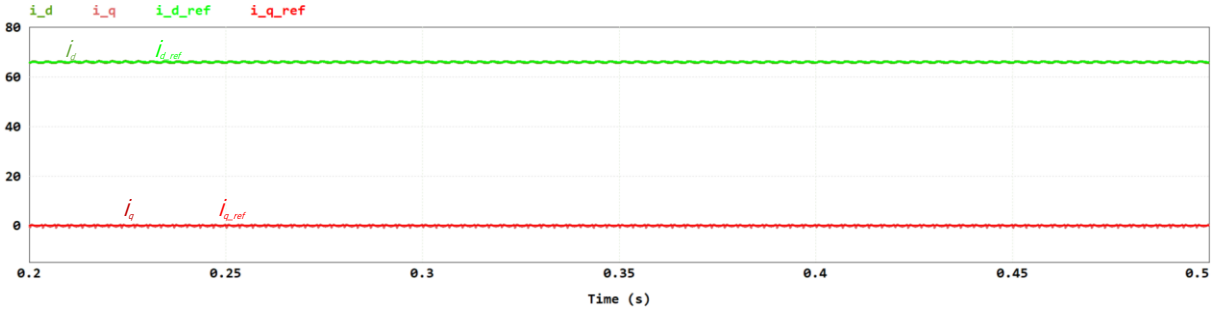


Figura 4.14 – Componente direta da corrente medida, i_d, e respetiva referência de corrente, i_{d_ref}, (sobrepostas) e componente quadrática da corrente medida, i_q, e respetiva referência de corrente, i_{q_ref}, (sobrepostas) para o PI síncrono.

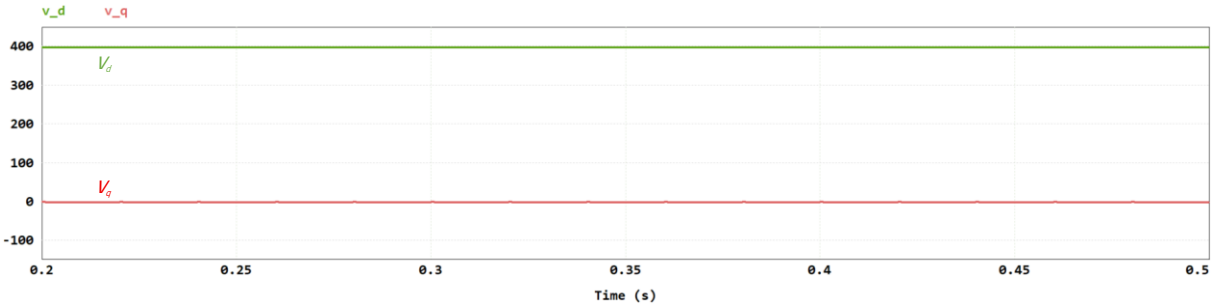


Figura 4.15 - Formas de onda das componentes de tensão direta e quadrática, v_d e v_q, para o PI síncrono.

Para avaliação da qualidade da corrente injetada na rede elétrica, a Figura 4.16 apresenta as formas de onda das correntes do lado CA e o respetivo THD. Este parâmetro permite uma comparação direta com o controlo preditivo a ser apresentado na secção seguinte. Em termos de desempenho, observa-se que o PI síncrono garante resposta estável e regulação eficaz das correntes, cumprindo os objetivos de potência ativa e reativa. Contudo, tal como discutido na secção 3.3.4, este apresenta uma complexidade computacional bastante elevada.

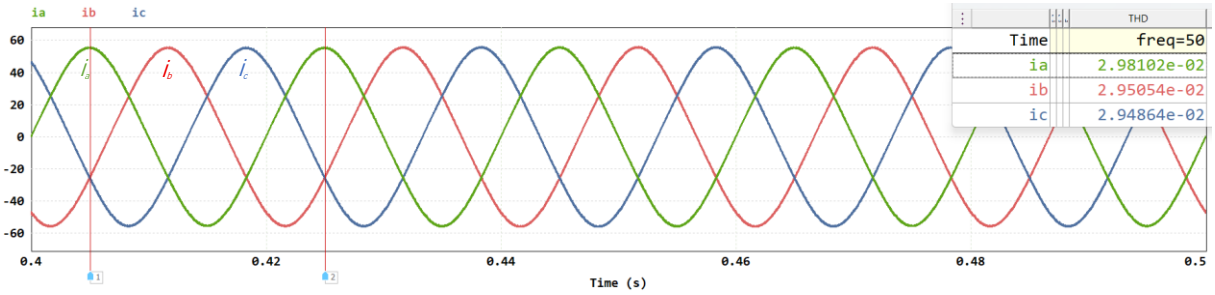


Figura 4.16 - Formas de onda das correntes do lado CA, i_a, i_b e i_c, e respetivo THD para o PI síncrono.

4.4.3 Preditivo

O controlo preditivo implementado baseia-se no modelo matemático do conversor apresentado na secção 3.3.5 (equações (3.12) a (3.16)), tendo como principal objetivo determinar a tensão que o conversor deve gerar de forma a que a corrente medida, i_L, acompanhe a corrente de referência, i_g^*. Ao contrário do regulador PI síncrono, este método não recorre a ganhos fixos, dependendo diretamente dos parâmetros do sistema, como, por exemplo, o valor da indutância de acoplamento à rede.

Na implementação realizada no *PSIM*, a equação (3.16) é utilizada para calcular a tensão a injetar no conversor. Para tal, torna-se necessário determinar a corrente de referência que o sistema deve seguir. Este processo encontra-se descrito na equação (4.3), onde $i^*_{g_linha}$ é obtido a partir da potência que cada fase deve fornecer (daí a divisão por três), sendo posteriormente dividido pelo quadrado do valor eficaz da tensão simples (no caso português, 230 V). Por fim, a equação é multiplicada por v_{g_linha}, de modo a conferir uma referência sinusoidal. De forma a ilustrar de forma mais clara este procedimento, apresentam-se as equações (4.4) e (4.5), agora expressas em função das grandezas de medida, evidenciando que o resultado se encontra em ampere. Note-se que, na equação (4.5), a componente sinusoidal da tensão é anulada pelo valor eficaz da tensão, tratando-se de uma convenção adotada para simplificação.

$$i^*_{g_linha} = \frac{\frac{(i_{out} \times v_{out} + P_{DC})}{3}}{V^2} v_{g_linha} \tag{4.3}$$

$$i^*_{g_linha} = \frac{P}{V^2} v \Leftrightarrow \tag{4.4}$$

$$\Leftrightarrow i^*_{g_linha} = \frac{P}{V} \tag{4.5}$$

Posto isto, apresentam-se as formas de onda da corrente i_L comparada com a respetiva referência i_g^* (Figura 4.17), as quais evidenciam o seguimento eficaz da corrente desejada. Adicionalmente, é

representada a tensão v_{conv}, valor aplicado na modulação e responsável pelo correto funcionamento do conversor. Por fim, a Figura 4.18 mostra a corrente do lado CA e o respetivo THD, possibilitando uma futura comparação com o desempenho obtido através do regulador PI síncrono.

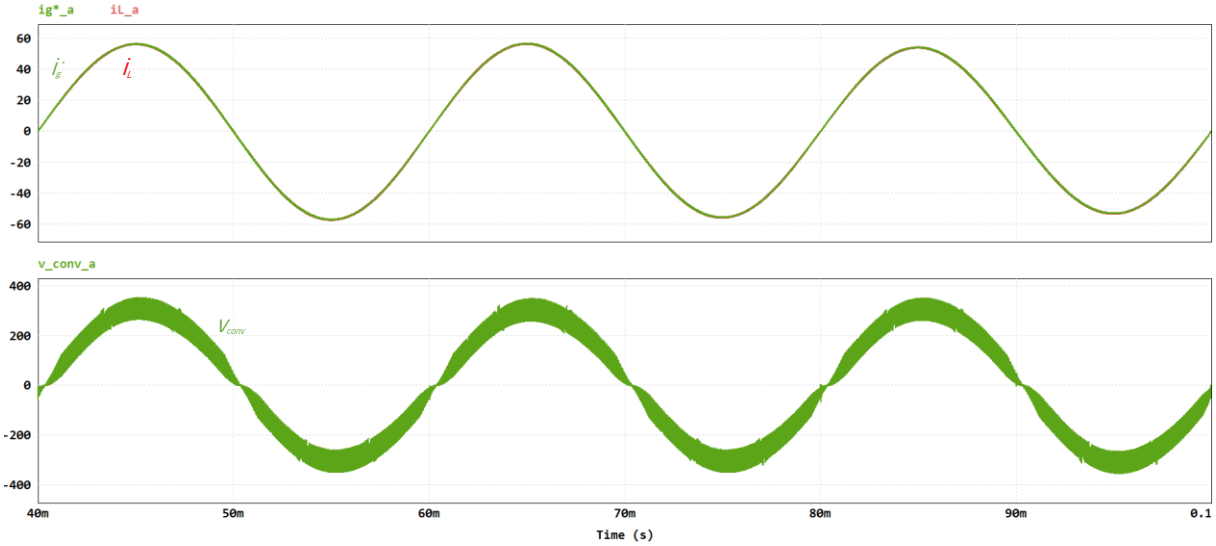


Figura 4.17 - Forma de onda da corrente de referência, i_g^*, e da corrente medida, i_L, (sobrepostas) e da tensão aplicada ao conversor, v_{conv}, do controlo preditivo.

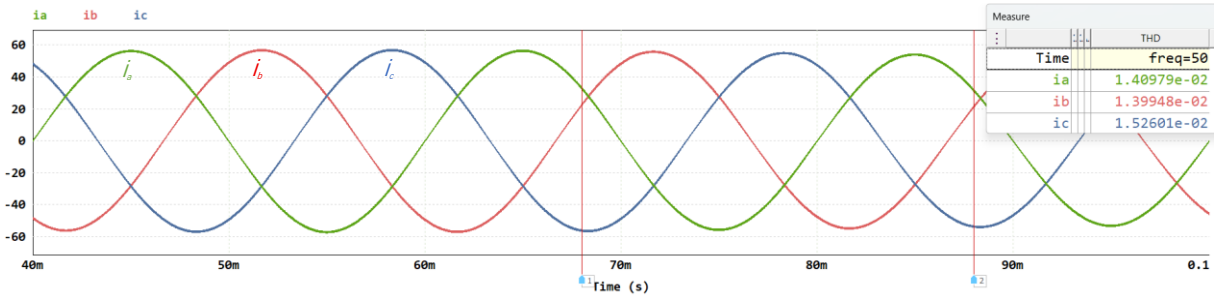


Figura 4.18 - Formas de onda das correntes do lado CA, i_a, i_b e i_c, e respetivo THD do controlo preditivo.

Em termos de desempenho, verifica-se que o controlo preditivo apresenta uma resposta mais rápida face a variações da referência ou a perturbações da rede elétrica, registando erros residuais mínimos. A técnica revelou-se eficaz, apresentando uma estrutura de implementação conceptualmente simples e capaz de obter baixos valores de THD nas correntes do lado CA, o que justifica a sua adoção neste projeto.

4.5 Técnica de Modulação Utilizada

Após a análise da estratégia de controlo implementada no conversor, Subcapítulo 4.4, torna-se necessário definir a técnica de modulação responsável pela comutação dos semicondutores de potência. Conforme apresentado na Secção 3.2.1, foi adotada a técnica SPWM dado que alia simplicidade de implementação a um compromisso equilibrado entre eficiência e qualidade das formas de onda, sem

exigir uma complexidade de controlo acrescida, revelando-se a opção mais adequada para a presente aplicação. Para efeitos de modelação e validação computacional, foram consideradas três variantes da SPWM, de modo a avaliar o comportamento do sistema em diferentes cenários operacionais. Importa ainda referir que, para facilitar a descrição e análise, o conversor *Full-Bridge* foi tratado de forma separada, uma vez que a modulação aplicada nesta topologia difere substancialmente da utilizada nas duas variantes do conversor *T-Type* anteriormente documentadas.

4.5.1 Modulação para o Conversor *Full-Bridge*

Para a implementação da modulação no conversor *Full-Bridge* recorreu-se ao ambiente de simulação *PSIM*, conforme ilustrado na Figura 4.19. Nesta configuração, cada braço do conversor é comandado através da comparação entre a tensão de referência da fase correspondente e uma onda portadora triangular, originando os sinais de disparo necessários para os semicondutores.

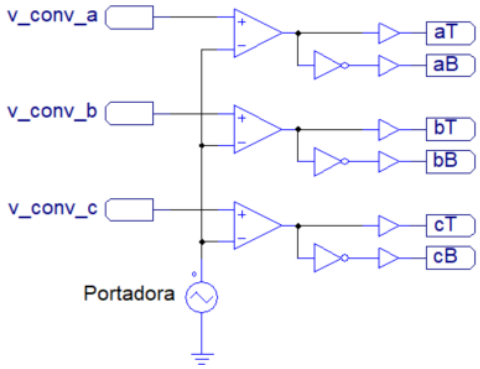


Figura 4.19 - Circuito da modulação do conversor *Full-Bridge*.

O conversor *Full-Bridge* apresenta um princípio de comutação relativamente simples, uma vez que a condução alterna entre o semicondutor superior e o inferior de cada braço. Quando um se encontra em condução, o outro permanece em aberto. Assim, a principal consideração consistiu em elevar o ponto médio da onda de saída do controlo até metade do valor da portadora triangular, permitindo que a DSP manipule de forma adequada todos os valores de referência. Para ilustrar o funcionamento da técnica SPWM, a Figura 4.20 apresenta a sobreposição da onda portadora triangular com a onda de referência v_{conv}. Sempre que a amplitude da referência é superior ao valor instantâneo da portadora, o comparador gera um sinal lógico positivo, conduzindo os semicondutores superiores. De forma análoga, quando a referência assume um valor inferior ao da portadora, são acionados os semicondutores inferiores. Na Figura 4.21 é apresentada a mesma comparação implementada no *PSIM*. Já a Figura 4.22 mostra novamente essa análise, agora com maior nível de detalhe, incluindo a tensão aplicada aos semicondutores.

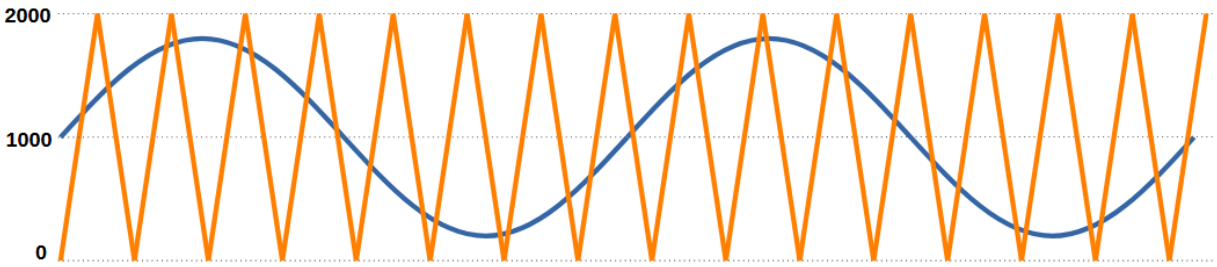


Figura 4.20 - Comparação entre a portadora e a modeladora do conversor *Full-Bridge.*

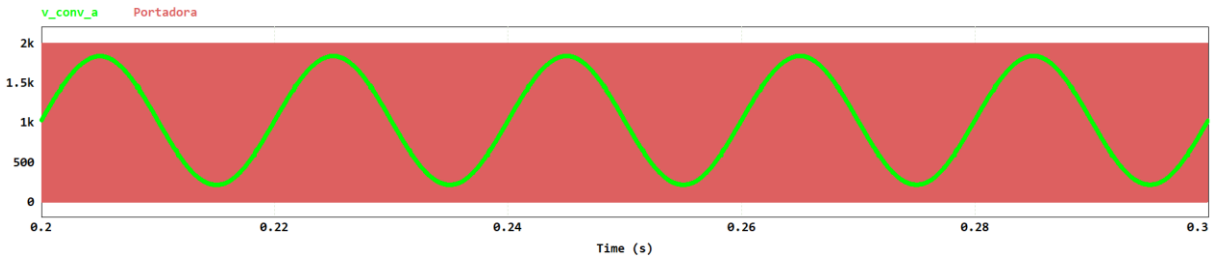


Figura 4.21 - Comparação entre a portadora e a modeladora do conversor *Full-Bridge* no *PSIM*.

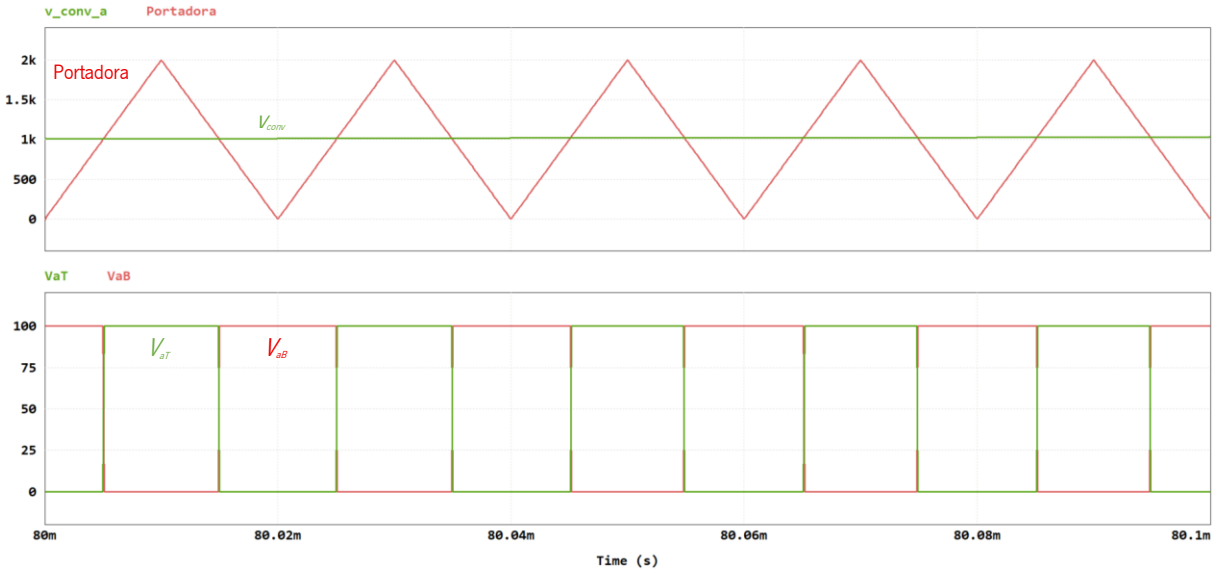


Figura 4.22 - Comparação com maior detalhe entre a portadora e a modeladora, v_{con}, (parte superior) e tensão aos terminais dos semicondutores, V_{aT} e V_{aB} (parte inferior) do conversor *Full-Bridge*.

4.5.2 Modulação para o Conversor o *T-Type*

Para a implementação da modulação no conversor *T-Type* recorreu-se igualmente ao ambiente de simulação *PSIM*, conforme ilustrado na Figura 4.23. À semelhança do caso anterior, foi adotada a técnica SPWM, embora a lógica de comando difira da utilizada no *Full-Bridge*, dado que a topologia *T-Type* apresenta uma estrutura multinível. Neste contexto, optou-se por dividir a moduladora de cada fase em duas: uma responsável pela comutação dos MOSFETs associados ao semiciclo positivo da tensão (Q1 e Q7) e outra dedicada ao semiciclo negativo (Q4 e Q8). Para uma melhor compreensão desta estratégia, pode consultar-se a Figura 4.9.

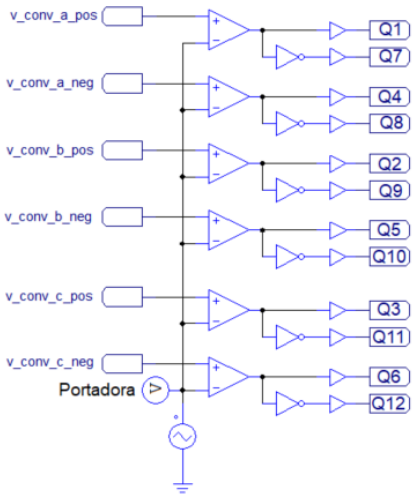


Figura 4.23 - Circuito da modulação do conversor *T-Type* utilizada.

Importa sublinhar que ambas as variantes do conversor *T-Type* recorrem à mesma configuração de modulação, sendo a única diferença o facto de a variante *Vienna* não efetuar a comutação dos semicondutores de alta tensão, mantendo, contudo, o mesmo princípio de funcionamento. Por este motivo, a análise que se apresenta baseia-se na variante convencional, por constituir a abordagem mais completa. Neste contexto, a comparação entre a tensão de referência e a onda portadora triangular determina não apenas a condução alternada dos semicondutores principais, mas também o acionamento dos dispositivos auxiliares de baixa tensão, responsáveis por estabelecer a ligação ao ponto médio do barramento CC. A Figura 4.24 ilustra o processo de comparação para a fase *A*. De notar que a moduladora representada a azul-escuro corresponde aos semicondutores associados ao semiciclo positivo da tensão, enquanto a azul-clara refere-se aos semicondutores do semiciclo negativo, estando, portanto, desfasadas 180°. Esta estratégia de modulação caracteriza-se pela simplicidade, uma vez que, sempre que a moduladora se encontra abaixo da portadora, os semicondutores correspondentes permanecem desativados. Na Figura 4.25 encontra-se representada esta técnica no *PSIM*, onde é possível observar a comparação efetuada e identificar os MOSFETs em condução.

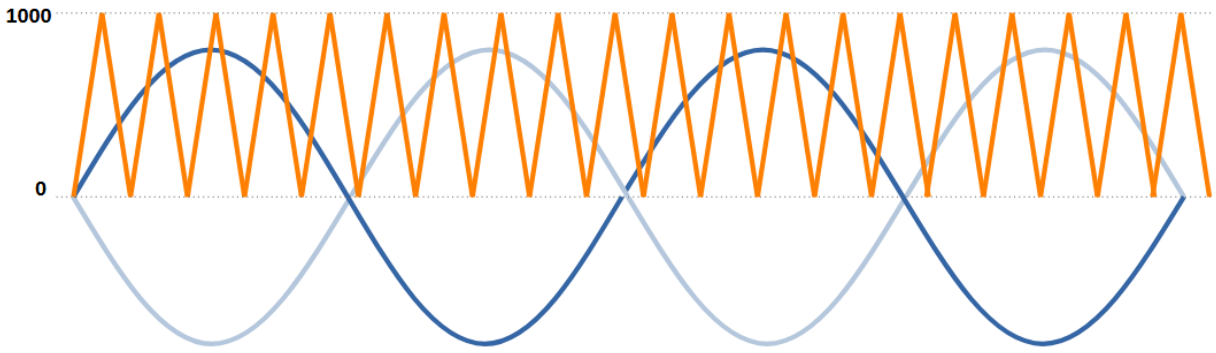


Figura 4.24 - Comparação entre a portadora e as modeladoras do conversor *T-Type*.

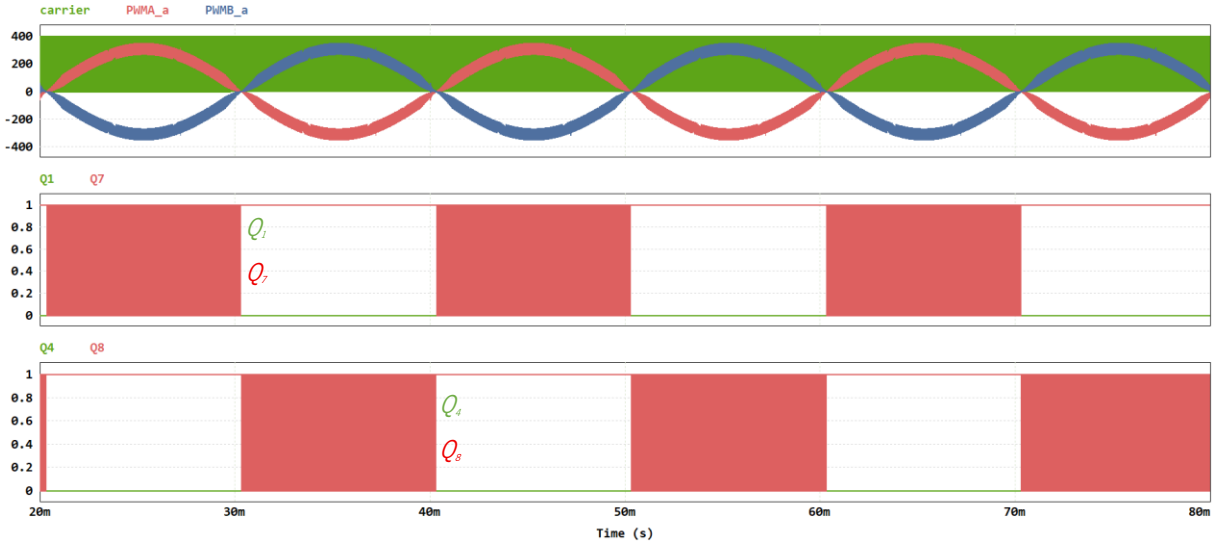


Figura 4.25 - Comparação entre a portadora e as modeladoras do conversor *T-Type* e respetivos MOSFETs em condução, Q_1 com Q_7 (comutação do semiciclo positivo) e Q_4 com Q_8 (comutação do semiciclo negativo) da modulação empregue.

Posto isto, na Figura 4.26 apresenta-se o valor da tensão V_{ab} resultante desta estratégia de modulação, bem como as correntes do lado CA e o respetivo THD. Constata-se que a estrutura obtida difere das técnicas convencionais de conversores multinível, uma vez que, apesar de também produzir cinco níveis de tensão entre fases, a sua configuração não corresponde àquela representada na Figura 4.11.

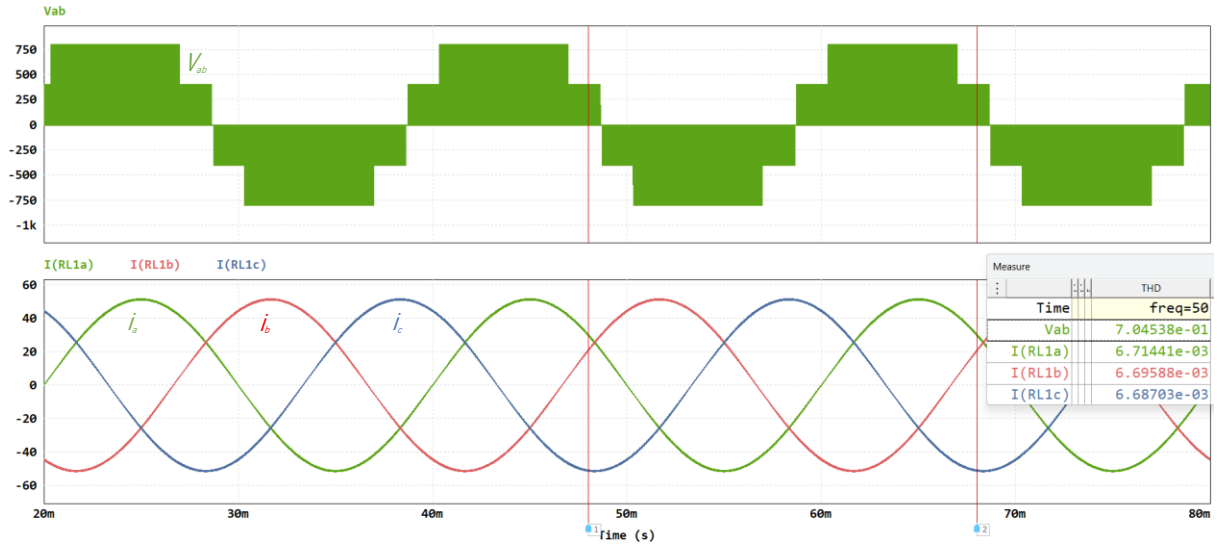


Figura 4.26 – Tensão entre fases, V_{ab}, e formas de onda das correntes, i_a, i_b e i_c, da modulação empregue.

Embora esta estratégia aumente o *ripple* da corrente, resultando num valor de THD mais elevado, apresenta vantagens relativamente à técnica ilustrada na Figura 4.27, que representa a modulação convencional dos conversores multinível. Neste caso, o processo de modulação torna-se mais sequencial, evitando variações significativas nos valores de comparação. A diferença entre as duas abordagens encontra-se destacada a vermelho na Figura 4.28. Na Figura 4.27 é ainda possível observar, a partir da

simulação no *PSIM*, a comparação entre a onda moduladora e a portadora, bem como a identificação dos MOSFETs que se encontram em condução em cada instante. Na Figura 4.29, apresentam-se os cinco níveis da tensão entre fases, neste caso entre a fase *A* e a fase *B*, bem como as correntes do lado CA e o respetivo THD. Verifica-se novamente que o valor do THD é inferior. contudo, esta técnica implica um maior esforço computacional, uma vez que é necessário identificar o ciclo da tensão em que o sistema se encontra. Para tal, no código, antes da extração da onda moduladora (v_{conv}), torna-se necessário recorrer a condições lógicas, nomeadamente instruções do tipo *if*, como observado no excerto de código abaixo.

```
if (vg_a > 0)
{
      v_conv_a_pos = PWM_a;
      v_conv_a_neg = 410;
}
else
{
      v_conv_a_pos = -410;
      v_conv_a_neg = PWM_a;
}
```

Neste exemplo, quando *vg_a* é positiva, a modulação é atribuída aos semicondutores responsáveis pela condução no semiciclo positivo (Q1 e Q7), enquanto Q4 e Q8 recebem um valor de referência elevado (≈410), de forma a manter a moduladora sempre acima da portadora. Assim, estes últimos não sofrem comutação. Pelo contrário, quando *vg_a* é negativa, a modulação é transferida para Q4 e Q8, e os semicondutores Q1 e Q7 recebem um valor negativo (≈–410), garantindo que também permanecem sem cruzamento com a portadora e não comutam. Desta forma, assegura-se que apenas o conjunto de semicondutores relevante para cada semiciclo participa ativamente na comutação, otimizando o processo de modulação. Este processo não é necessário na modulação escolhida.

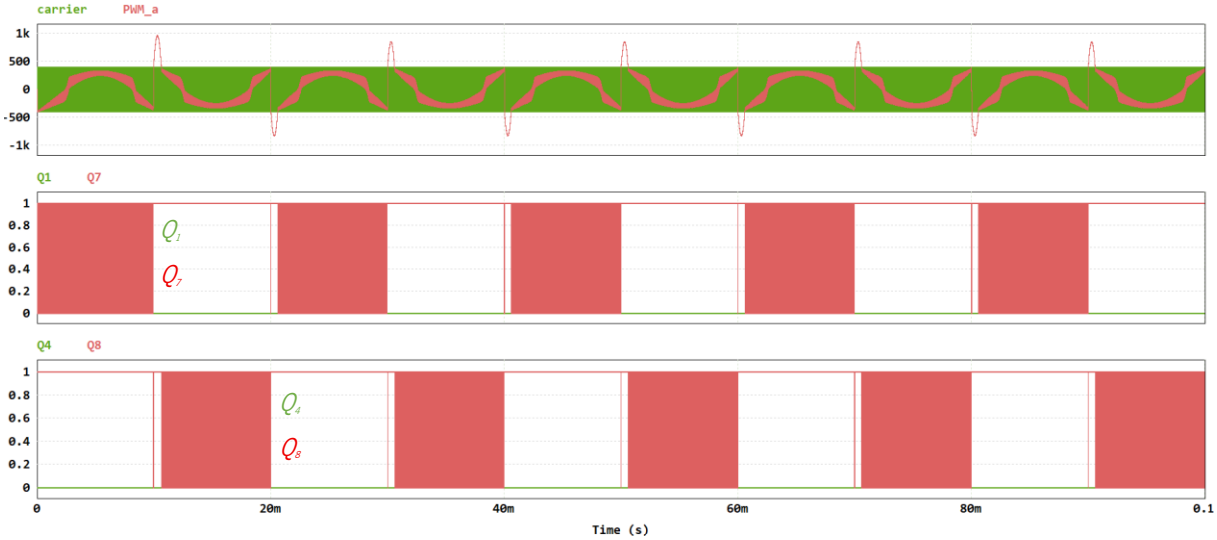


Figura 4.27 - Comparação entre a portadora e a modeladora do conversor *T-Type* e respetivos MOSFETs em condução, Q_1 com Q_7 (comutação do semiciclo positivo) e Q_4 com Q_8 (comutação do semiciclo negativo) da modulação convencional.

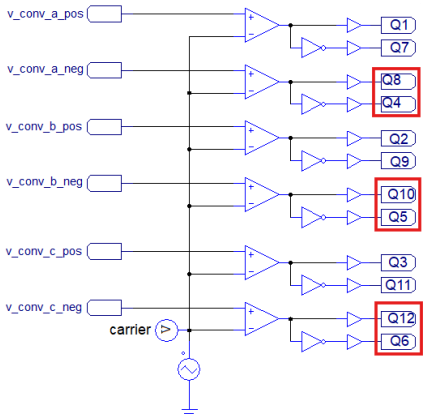


Figura 4.28 - Circuito da modulação convencional do conversor *T-Type.*

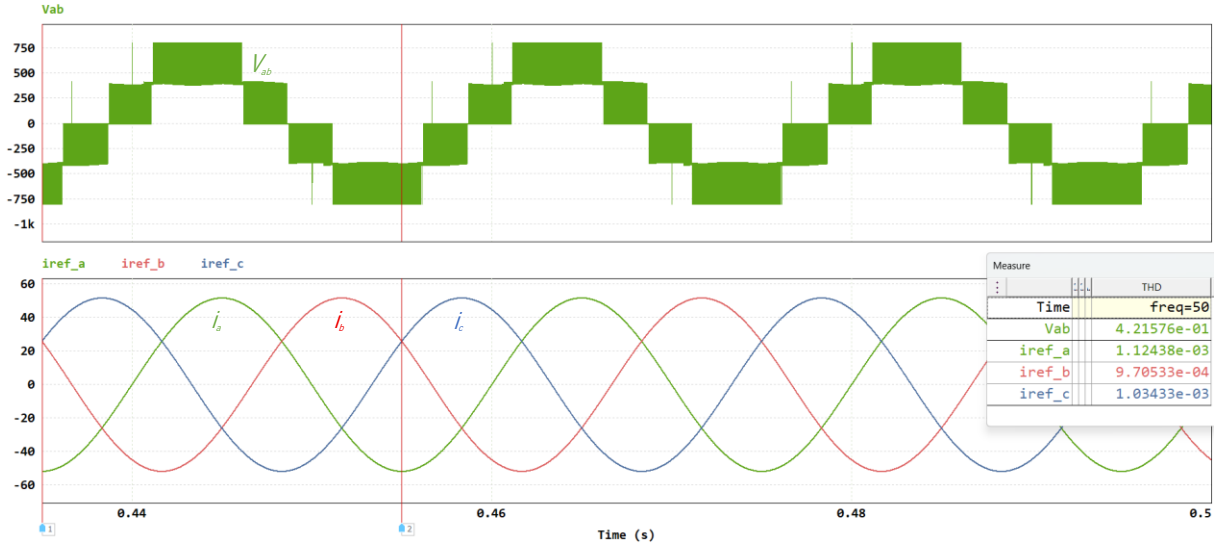


Figura 4.29 - Tensão entre fases, V_{ab}, e formas de onda das correntes, i_a, i_b e i_c, da modulação convencional.

4.6 Técnica de Sincronismo com a Rede Elétrica

Para assegurar o correto funcionamento das estratégias de controlo descritas no Subcapítulo 4.4, recorreu-se a uma técnica de sincronismo capaz de alinhar o protótipo com a rede elétrica. Neste trabalho, optou-se pela utilização de uma PLL implementada no referencial $\alpha\beta$, apresentada na Secção 3.5.2, por combinar simplicidade de implementação com boa precisão na sincronização com a rede elétrica. A PLL ajusta internamente um sinal de fase (ω_t) que acompanha a tensão da rede em tempo real, permitindo a reconstrução de sinais sincronizados com o protótipo. Para validar o desempenho da PLL, realizaram-se ensaios de simulação no *PSIM*. Nestes ensaios, analisaram-se as tensões das três fases provenientes da rede elétrica do laboratório do GEPE (v_{a_harm}, v_{b_harm}, v_{c_harm}), que apresentam algum conteúdo harmónico, bem como a tensão de saída fornecida pela PLL (v_{a_pll}, v_{b_pll}, v_{c_pll}) e respetivos THD, como ilustrado na Figura 4.30.

Adicionalmente, apresenta-se a frequência angular estimada pela PLL (ω), cuja derivada em função do tempo permite obter o ângulo de fase necessário à sincronização (ω_t), conforme ilustrado na Figura 4.31. No painel esquerdo da figura encontram-se estas componentes sem a introdução de harmónicos no protótipo, enquanto no painel direito se apresenta o mesmo ensaio com a presença de harmónicos. Na Figura 4.32 são destacadas, para análise, as componentes α e β da tensão fornecida pela PLL, considerando a presença de harmónicos, bem como os respetivos THD.

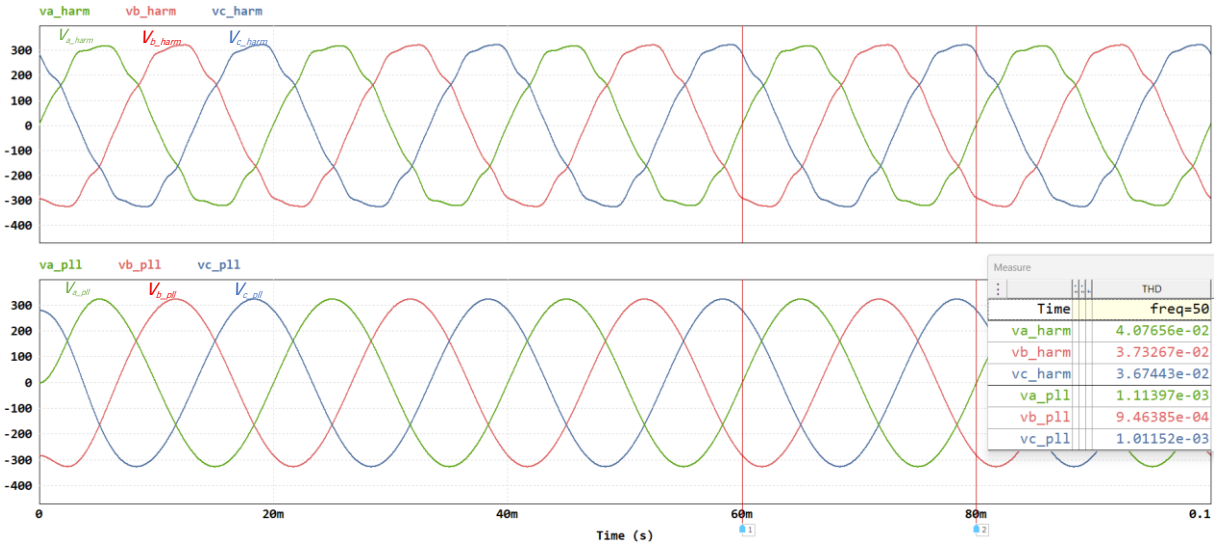


Figura 4.30 - Tensões trifásicas medidas na rede elétrica do laboratório do GEPE, posteriormente copiadas para simulação, (V_{a_harm}, V_{b_harm}, V_{c_harm}) e tensões de saída da PLL (V_{a_pll}, V_{b_pll}, V_{c_pll}) com respetivos THD, obtidas nos ensaios de simulação.

De forma geral, os resultados obtidos evidenciam que a PLL $\alpha\beta$ apresenta um desempenho consistente, com um erro de fase residual praticamente nulo e elevada robustez face à introdução de harmónicos.

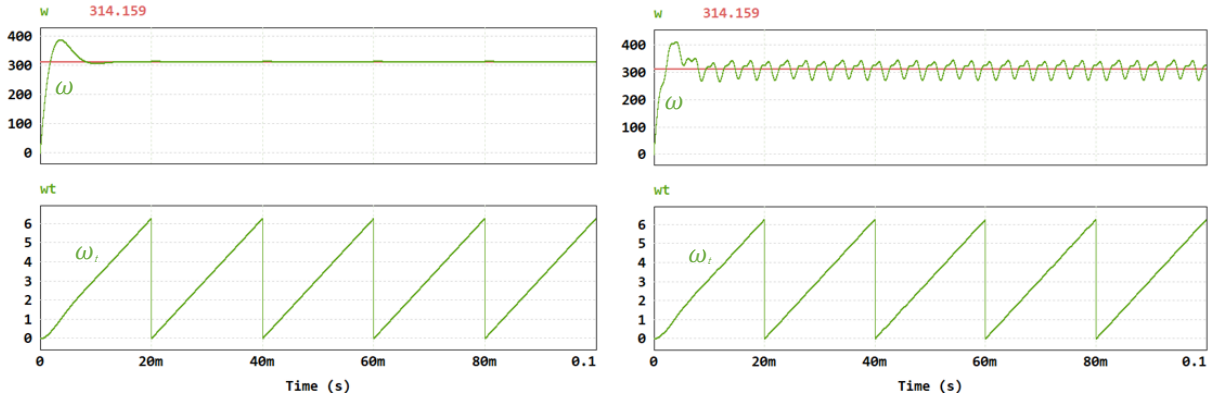


Figura 4.31 - Frequência angular estimada pela PLL (ω) e respetivo ângulo de fase (ω_t), sem (painel esquerdo) e com (painel direito) introdução de harmónicos.

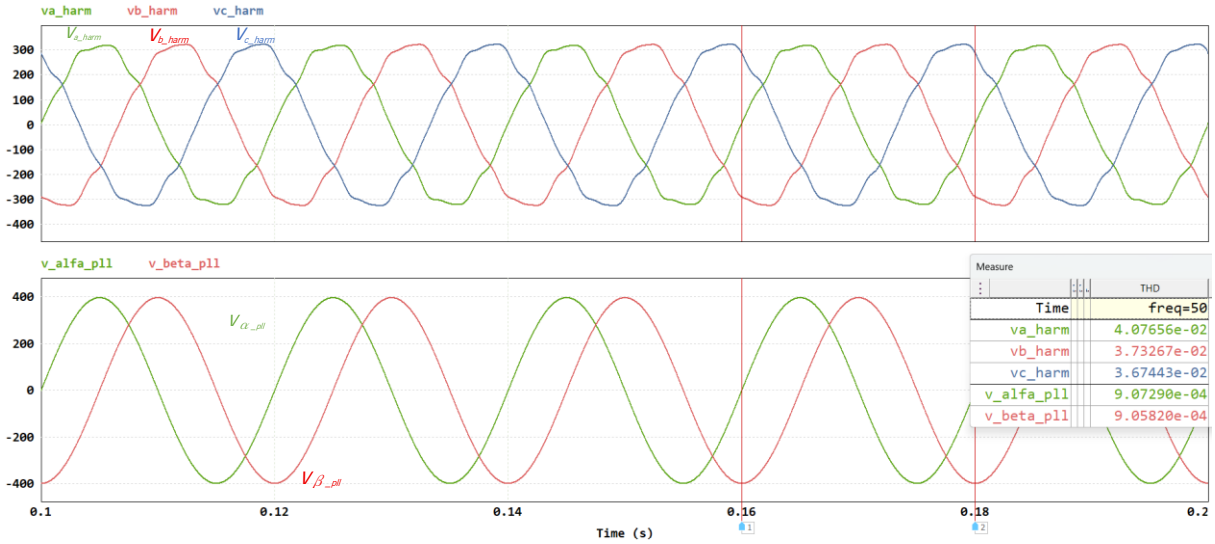


Figura 4.32 - Componentes α e β da tensão, v_{α_pll} e v_{β_pll}, fornecida pela PLL, com harmónicos (V_{a_harm}, V_{b_harm}, V_{c_harm}), e respetivo THD.

4.7 Modelo de Simulação Real e Análise do Desempenho

Uma vez analisados todos os parâmetros necessários para assegurar o correto funcionamento do conversor, procedeu-se à substituição dos componentes ideais por modelos reais de semicondutores e elementos passivos. A Figura 4.33 ilustra a validação computacional do conversor *T-Type*, realizada com o objetivo de avaliar o seu comportamento através de modelos mais realistas. Para tal, os MOSFETs foram substituídos por SiC MOSFETs com parâmetros fornecidos pelo fabricante, incorporando-se igualmente as perdas associadas e as limitações dinâmicas, de modo a aproximar a simulação ao comportamento físico do sistema. A Figura 4.34 apresenta o circuito térmico equivalente associado a cada semicondutor de potência, constituído por resistências que modelam a transferência de calor entre

a carcaça do SiC MOSFET, o dissipador térmico e o ambiente. Esta abordagem permite estimar o comportamento termodinâmico do dispositivo em condições reais de operação, monitorizar a temperatura do encapsulamento e calcular as perdas totais do módulo. Em termos práticos, possibilita a análise das perdas dissipadas entre a carcaça e o dissipador, bem como entre o dissipador e o ar, fornecendo uma caracterização mais rigorosa do desempenho em regime contínuo [80]. Por fim, na Figura 4.35 apresentam-se os principais parâmetros do semicondutor selecionado para a simulação com modelos reais.

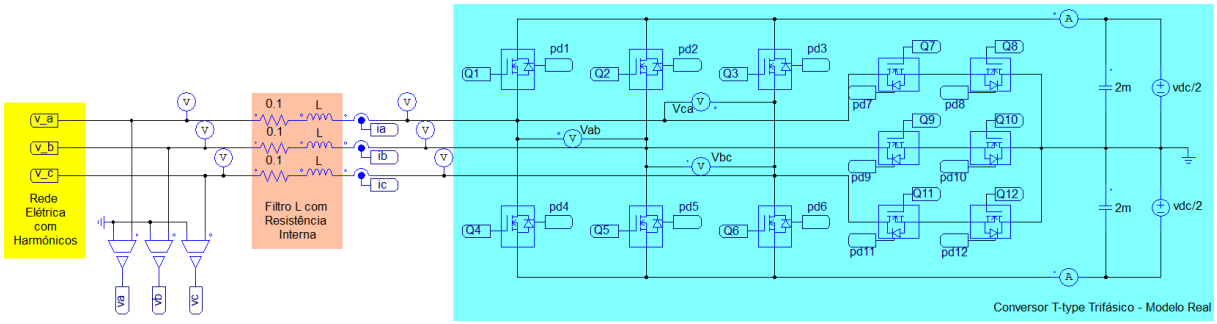


Figura 4.33 - Validação computacional do *T-Type* com modelos reais.

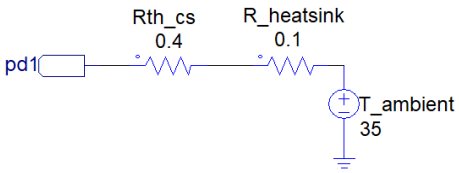


Figura 4.34 - Circuito térmico equivalente.

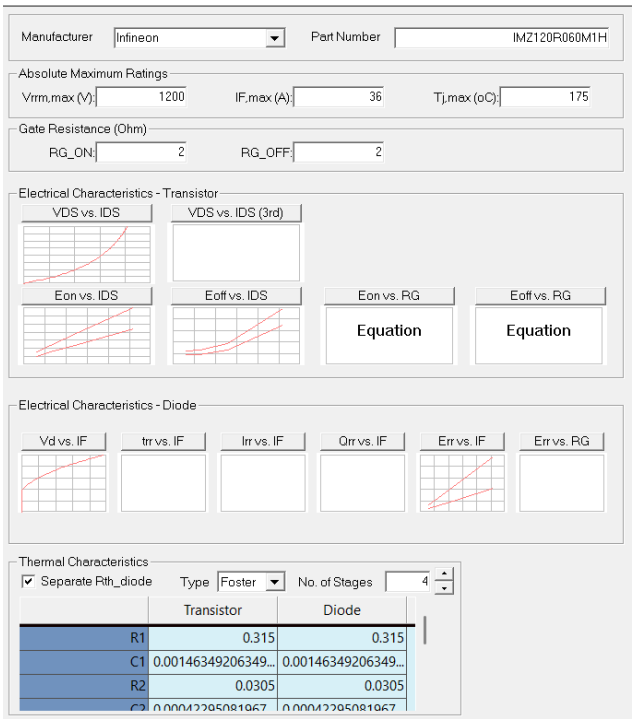


Figura 4.35 - Dados do semicondutor escolhido para a simulação real.

No âmbito da validação computacional, realizou-se a análise comparativa entre as topologias de conversores trifásicos *Full-Bridge* e *T-Type*, recorrendo ao software *PSIM*. Os resultados obtidos, representados nos diversos gráficos apresentados ao longo deste subcapítulo, encontram-se igualmente publicados em [21], que é uma publicação resultante deste trabalho

As simulações foram realizadas em regime permanente, com base numa estratégia de controlo preditivo de corrente e nos parâmetros previamente estabelecidos. Os resultados indicam que, em ambas as topologias, as correntes absorvidas da rede elétrica apresentam comportamento sinusoidal e encontram-se em fase com as respetivas tensões. Observou-se, contudo, que o conversor *T-Type* apresenta menores valores de distorção harmónica total (THD) relativamente ao conversor *Full-Bridge*, resultado atribuído ao maior número de níveis de tensão gerados, o que conduz a formas de onda mais suaves e com menor conteúdo harmónico, como evidenciado na Figura 4.36, para o caso do *Full-Bridge*, e na Figura 4.37, para o caso do *T-Type*.

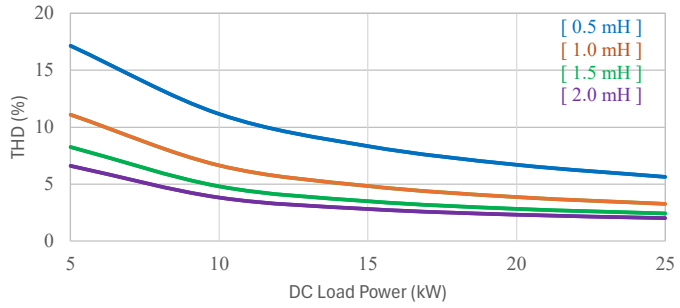


Figura 4.36 - Influência da variação dos valores de indutância de acoplamento à rede elétrica e da potência da carga CC no THD das correntes consumidas pelo conversor *Full-Bridge*.

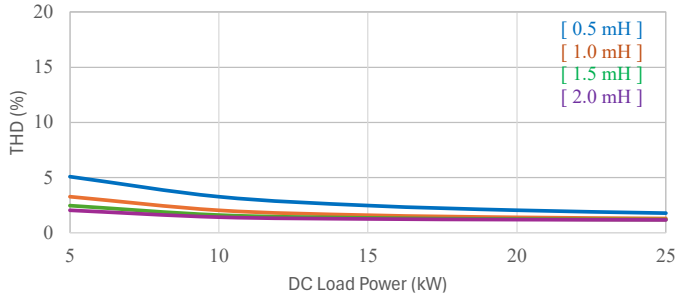


Figura 4.37 - Influência da variação dos valores de indutância de acoplamento à rede elétrica e da potência da carga CC no THD das correntes consumidas pelo conversor *T-Type*.

Adicionalmente, avaliou-se a influência da tensão do barramento CC e da potência de carga no desempenho dos conversores. Verificou-se que, no *Full-Bridge*, a redução da tensão do barramento conduz a menores índices de THD, tendência que se mantém com o aumento da potência. No *T-Type*, embora o THD também diminua com o aumento da potência, observa-se um comportamento não linear em regimes de baixa potência, em que valores reduzidos da tensão do barramento resultam num

agravamento da distorção. Em regime de potência mais elevada, o comportamento torna-se semelhante ao do *Full-Bridge*, apresentando, ainda assim, melhor desempenho global, como ilustrado na Figura 4.38, para o *Full-Bridge*, e na Figura 4.39, para o *T-Type*.

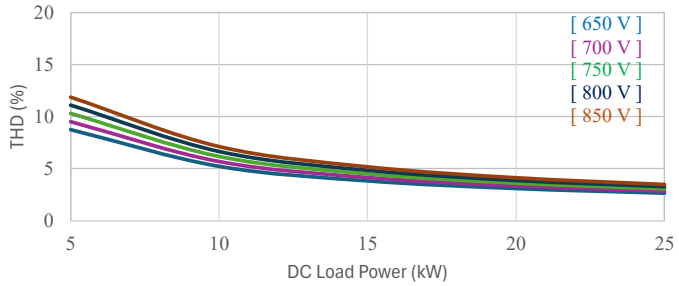


Figura 4.38 - Influência da variação da tensão do barramento CC e da potência da carga CC no THD das correntes consumidas pelo conversor *Full-Bridge*.

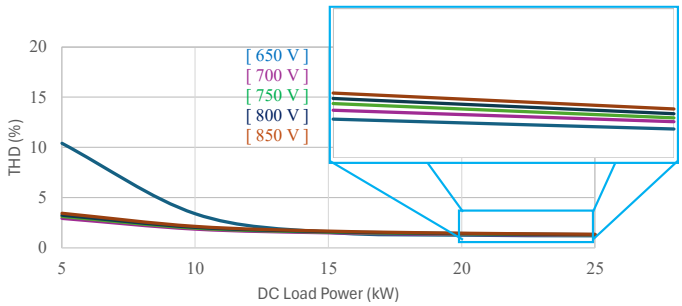


Figura 4.39 - Influência da variação da tensão do barramento CC e da potência da carga CC no THD das correntes consumidas pelo conversor *T-Type*.

No que concerne ao *ripple* das correntes, constatou-se que este diminui com o aumento da potência em ambas as topologias. Para o conversor *Full-Bridge*, valores reduzidos da tensão do barramento promovem uma diminuição do *ripple*, ao passo que, no *T-Type*, tal relação não se verifica de forma evidente, mantendo-se praticamente constante em condições de potência nominal, independentemente da tensão aplicada, como ilustrado na Figura 4.40, para o *Full-Bridge*, e na Figura 4.41, para o *T-Type*.

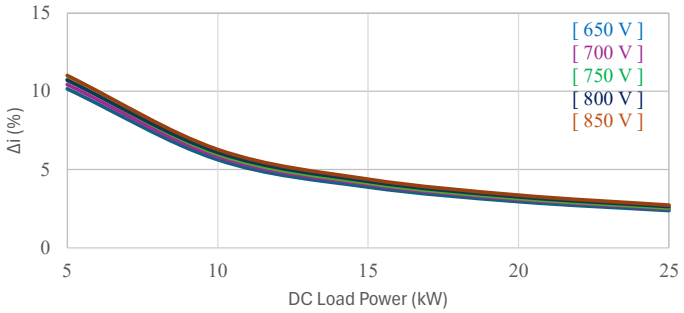


Figura 4.40 - Influência da variação da tensão do barramento CC e da potência da carga CC no *ripple* máximo das correntes consumidas pelo conversor *Full-Bridge*.

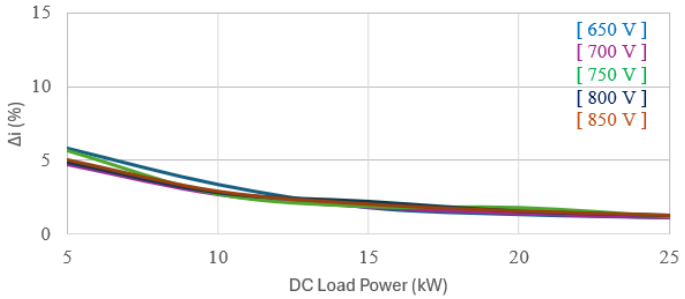


Figura 4.41 - Influência da variação da tensão do barramento CC e da potência da carga CC no *ripple* máximo das correntes consumidas pelo conversor *T-Type*.

Por último, procedeu-se a uma análise da eficiência global, considerando as perdas nos elementos indutivos e nos semicondutores, com base em modelos reais de SiC MOSFETs. Os resultados demonstram que o conversor *T-Type* apresenta uma ligeira superioridade em termos de eficiência, bem como menores perdas nos semicondutores, apesar da complexidade adicional associada à sua implementação, como apresentado nas Figura 4.42 a Figura 4.44.

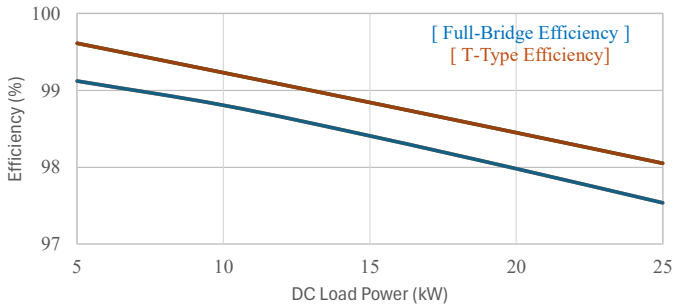


Figura 4.42 - Influência da variação da potência da carga CC na eficiência de ambos os conversores.

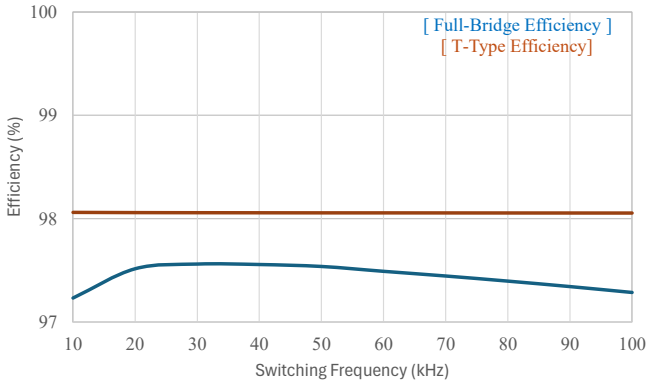


Figura 4.43 - Influência da variação da f_{sw} na eficiência de ambos os conversores.

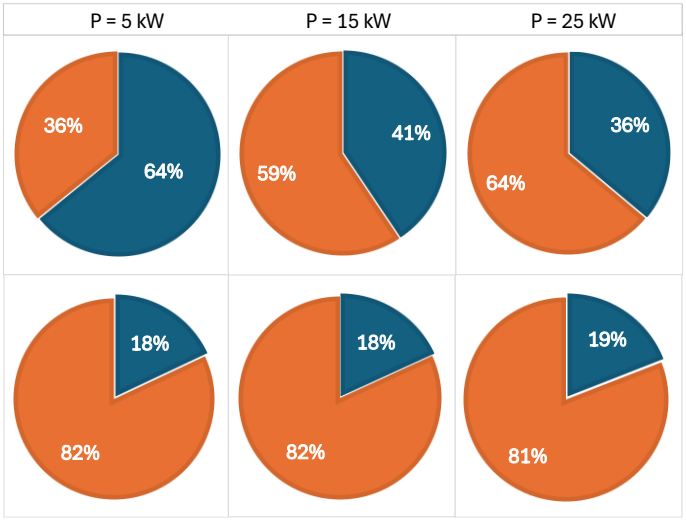


Figura 4.44 - Perdas no indutor (laranja) e perdas nos semicondutores (azul) para ambas as topologias (em cima: *Full-Bridge* / em baixo: *T-Type*).

4.8 Conclusões

Neste capítulo, foram conduzidas simulações computacionais para validar os diferentes processos de controlo aplicáveis aos conversores trifásicos *Full-Bridge* e *T-Type*. Os testes iniciais foram realizados com a topologia *Full-Bridge*, devido à sua estrutura mais simples, permitindo validar conceitos básicos de controlo antes de avançar para a topologia *T-Type*. As estratégias analisadas, incluindo o controlo do barramento, o PI síncrono, o controlo preditivo e a PLL, revelaram-se eficazes na regulação do sistema.

No que concerne ao controlo de corrente, o PI síncrono evidenciou elevado desempenho na manutenção das componentes de corrente, embora implique uma complexidade computacional significativa. Em contrapartida, o controlo preditivo mostrou-se a opção mais adequada para implementação prática, combinando uma resposta dinâmica eficaz com uma redução do THD em comparação com o PI síncrono.

Relativamente às técnicas de modulação, verificou-se que a variante inicialmente apresentada constitui a abordagem mais adequada, devido à sua simplicidade e sequencialidade, o que traduz um menor esforço computacional. A PLL revelou-se fundamental para o sincronismo com a rede elétrica, assegurando estabilidade de fase e frequência mesmo na presença de distorções harmónicas.

A análise paramétrica evidenciou que a variação da tensão do barramento, da potência da carga e dos valores de indutância de acoplamento à rede elétrica influencia diretamente o THD, o *ripple* e a eficiência global do sistema. Estes resultados reforçam a necessidade de um dimensionamento criterioso dos

elementos do circuito de potência, garantindo uma resposta dinâmica adequada e operação eficiente do conversor.

Em síntese, as simulações corroboram que as técnicas aplicadas a ambos os conversores permitem a operação em topologias *Full-Bridge* ou *T-Type* conforme os requisitos, constituindo uma base fiável para o desenvolvimento do protótipo e para a implementação prática do conversor, apresentada no capítulo seguinte.

Capítulo 5

Projeto e Desenvolvimento do Conversor

5.1 Introdução

Concluída a fase de estudo teórico e de validação em simulação, tornou-se necessário avançar para a implementação prática do conversor, de modo a comprovar, em ambiente experimental, os resultados obtidos. O desenvolvimento do protótipo representou um desafio adicional, uma vez que este foi concebido para permitir a operação tanto na configuração *T-Type*, que constitui o objeto central desta dissertação, como na configuração *Full-Bridge*. Esta decisão visou dotar o projeto de maior versatilidade, possibilitando a realização de ensaios comparativos e facilitando o processo de validação das estratégias de controlo. A implementação de um sistema com esta dupla capacidade exigiu especial atenção na seleção dos componentes e na definição da arquitetura de controlo.

Neste capítulo é descrito o processo de implementação do conversor proposto, abordando a escolha dos dispositivos semicondutores e dos restantes elementos de potência, bem como os sensores utilizados para a medição das grandezas elétricas, nomeadamente correntes e tensões, e a estrutura de controlo. É igualmente apresentado o condicionamento de sinal, com os respetivos dimensionamentos, assim como as soluções adotadas para ultrapassar os constrangimentos técnicos identificados durante o desenvolvimento. Por último, são detalhadas as diferentes PCBs concebidas terminando no protótipo completo.

A concretização deste protótipo constitui um marco essencial do trabalho desenvolvido, uma vez que materializa a transição da fase de conceção e simulação para a fase experimental, permitindo validar em laboratório a topologia *T-Type* e confirmar a sua adequação às aplicações previstas.

5.2 Sistema de Controlo

O sistema de controlo desempenha um papel determinante no correto funcionamento do conversor, assegurando a execução das estratégias de modulação, o algoritmo de controlo e a monitorização das

grandezas elétricas necessárias para a sua operação estável. Para além disso, a sua conceção deve garantir a devida proteção e fiabilidade do protótipo, sendo a separação elétrica entre os circuitos de potência e de controlo um aspeto fundamental. Este isolamento reduz significativamente o risco de que falhas no circuito de potência provoquem danos no *hardware* de controlo, e vice-versa, o que não só aumenta a robustez global do sistema, como também facilita as tarefas de manutenção e contribui para a redução dos custos em caso de avaria.

Neste subcapítulo é descrito o desenvolvimento do sistema de controlo, no qual são apresentados individualmente os componentes que o constituem, incluindo o microcontrolador, os circuitos de aquisição e de condicionamento de sinal, assim como os módulos de acionamento dos semicondutores, isto é, os *drivers* e os restantes elementos necessários ao seu correto funcionamento e isolamento.

5.2.1 Microcontrolador

O sistema de controlo foi implementado com recurso ao microcontrolador *TMS320F28379D*, integrado na placa de desenvolvimento *LAUNCHXL-F28379D*, pertencente à família *C2000™ Delfino™* da *Texas Instruments* [81]. Este dispositivo é direcionado para aplicações de controlo em tempo real, como acionamentos elétricos e conversores de eletrónica de potência, como o caso de carregadores rápidos para VE. Na Figura 5.1, encontra-se o microcontrolador utilizado.

O *TMS320F28379D* incorpora dois CPUs de 32 bits baseados na arquitetura *C28x*, otimizados para operações de tempo real e capazes de operar a uma frequência máxima de 200 MHz. Esta configuração permite a execução paralela de tarefas e proporciona uma elevada capacidade de processamento. O dispositivo integra ainda o *Control Law Accelerator* (CLA), que atua como coprocessador dedicado à execução de tarefas críticas de controlo com baixa latência. Adicionalmente, dispõe de seis temporizadores (três por cada CPU), 512 kB de memória *flash*, 204 kB de memória RAM e 169 pinos de uso geral (GPIO), assegurando a flexibilidade necessária para a implementação de algoritmos de controlo avançados. Já no que respeita à conversão analógico-digital, o microcontrolador disponibiliza 24 canais de ADCs configuráveis para 12 ou 16 bits. Para a geração de sinais analógicos, integra quatro canais de DACs. Relativamente à comunicação com periféricos e sistemas de supervisão, o dispositivo oferece suporte a UART, SPI, I2C, CAN, entre outros protocolos.



Figura 5.1 - Placa de desenvolvimento *LAUNCHXL-F28379D*.

A geração dos sinais de comando é realizada através de 24 módulos de ePWM, que apresentam elevada resolução temporal e permitem sincronização, sendo adequados ao controlo de conversores de potência trifásicos. Contudo, na placa LAUNCHXL-F28379D, apenas 12 canais (*1A–6B*) se encontram disponibilizados nos conectores. Na implementação da topologia *T-Type*, a sincronização dos canais foi desativada, uma vez que, conforme ilustrado na Figura 5.2, os canais que necessitavam de operar de forma complementar, como por exemplo na fase *A*, os canais *2A* e *3A* e os canais *2B* e *3B*, não correspondiam às combinações previstas pelo microcontrolador. Além disso, quando o canal *2A* comuta com o *3A*, o canal *2B* deve permanecer desativado, de modo a evitar a ocorrência de curto-circuitos num dos braços, o que poderia danificar os MOSFETs.

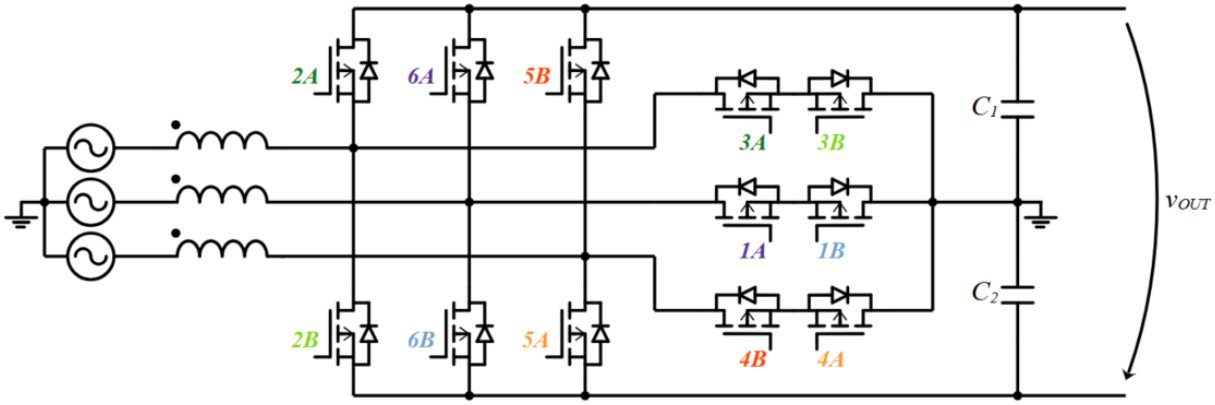


Figura 5.2 - Canais dos ePWMs associados aos diversos MOSFETs do *T-Type*.

Assim, a funcionalidade de complementaridade disponibilizada pelo microcontrolador revelou-se inadequada, implicando uma maior complexidade de implementação e um acréscimo no esforço computacional. Consequentemente, foi necessário introduzir manualmente todo o processo de *dead-time*, conforme demonstrado na Figura 5.3, onde a referência de um dos sinais PWM é ajustada para valores inferiores ao respetivo sinal complementar, assegurando a criação de um *dead-time* manual. Na Figura 5.4 é apresentado o fluxograma do algoritmo desenvolvido para mitigar esta limitação. Todo o

código foi elaborado com recurso ao manual de referência técnica disponibilizado na página *web* da *Texas Instruments* [82].

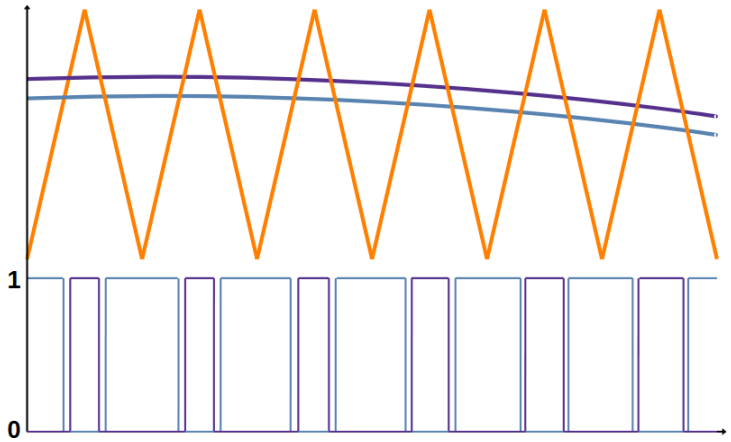


Figura 5.3 - Introdução do *dead-time* de forma manual.

Após a apresentação do fluxograma, é possível inferir o acréscimo da complexidade computacional associado ao sistema. Apesar deste aumento de complexidade, não se verificaram limitações relativamente à frequência de comutação de 50 kHz, uma vez que o tempo de execução dos ciclos de instrução se revelou significativamente inferior ao período de comutação. Este facto garantiu a estabilidade do funcionamento e a correta geração dos sinais de comando. Adicionalmente, importa salientar que a PCB foi projetada de modo a privilegiar esta configuração de módulos PWM, tendo como finalidade a simplificação do processo de comutação na topologia *Full-Bridge*.

Graças a este conjunto de funcionalidades, a placa de desenvolvimento LAUNCHXL-F28379D possibilita a implementação de algoritmos de controlo avançados, a aquisição de sinais com elevada resolução e o acionamento eficiente de conversores eletrónicos de potência. Apesar de o dispositivo dispor de dois CPUs, recorreu-se apenas ao CPU1, de forma a simplificar a implementação, uma vez que não se revelou necessária a utilização de capacidade adicional de processamento.

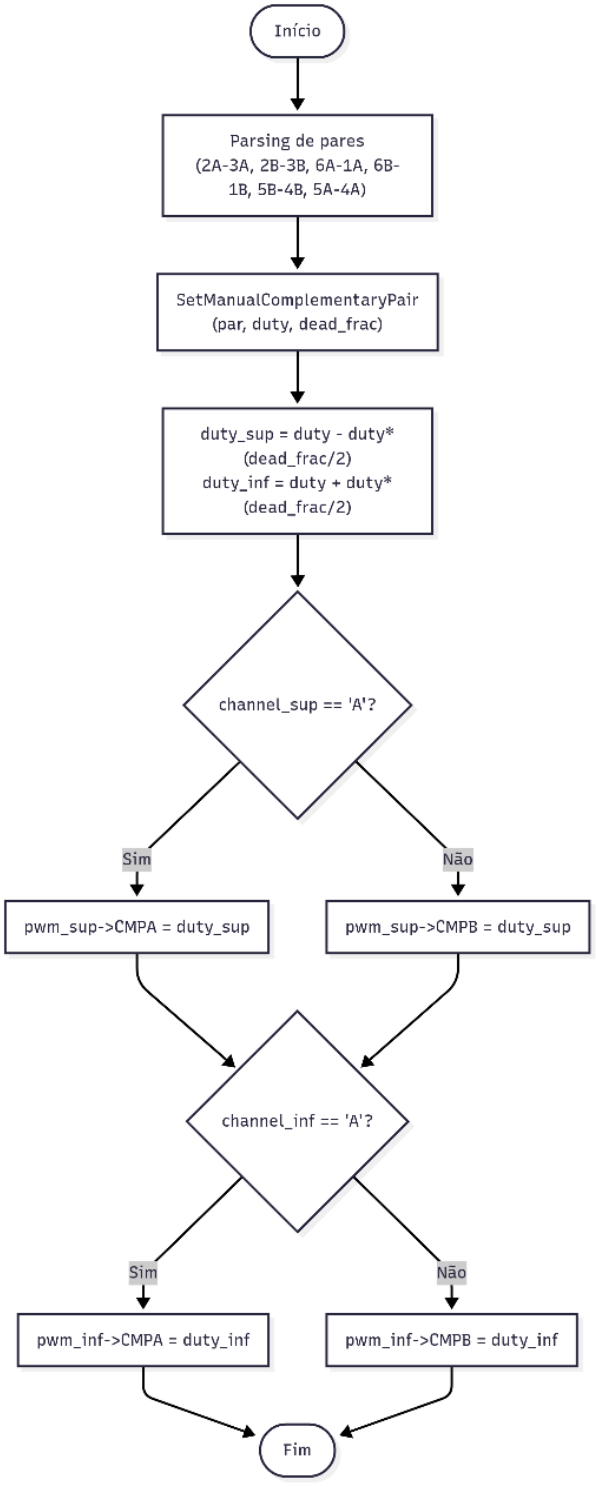


Figura 5.4 - Fluxograma do algoritmo desenvolvido para implementar os *dead-times* e controlar os PWMs.

5.2.2 *Drivers*

Para o acionamento dos semicondutores de potência foi adotado o driver *Infineon 1EDI60N12AF* [83]. Trata-se de um circuito integrado de canal único com isolamento galvânico baseado em tecnologia de

transformador sem núcleo, o que garante uma separação eficaz entre o hardware de controlo e de potência. Na Figura 5.5, é possível ver o driver utilizado.



Figura 5.5 - *Driver* utilizado - *1EDI60N12AF*.

Este modelo apresenta correntes de pico de até 10 A (*source*/ *sink*), permitindo tanto fornecer como absorver corrente na *gate*. Tal capacidade possibilita a carga e descarga rápida da sua capacitância, garantindo uma comutação eficiente mesmo a frequências elevadas. Adicionalmente, o dispositivo apresenta baixa latência, com um atraso de propagação de 120 ns na ativação e 125 ns na desativação, constituindo assim uma opção altamente adequada para aplicações que exigem desempenho elevado.

Além disso, este *driver* permite duas configurações de alimentação, bipolar ou unipolar. A configuração escolhida foi a bipolar, uma vez que a aplicação de uma tensão negativa na *gate* contribui para evitar fenómenos de *dynamic turn-on,* isto é, a condução não intencional do semicondutor provocada pela carga injetada na *gate* através da sua capacitância interna durante variações rápidas de tensão, resultantes da carga adicional associada à capacitância de entrada do MOSFET, aumentando assim a robustez do bloqueio e a fiabilidade em regimes de comutação rápida. Na Figura 5.6, está representado o circuito utilizado na alimentação bipolar do *driver*. De realçar que os sinais - *OUTPUT_GATE_Qx*, + *OUTPUT_GATE_Qx* e *Source Kelvin* seguem para a PCB de potência, onde se encontram as resistências de *gate* e respetivas proteções antes do MOSFET. Tanto os condensadores, quanto a ferrite servem para filtrar o sinal de alimentação.

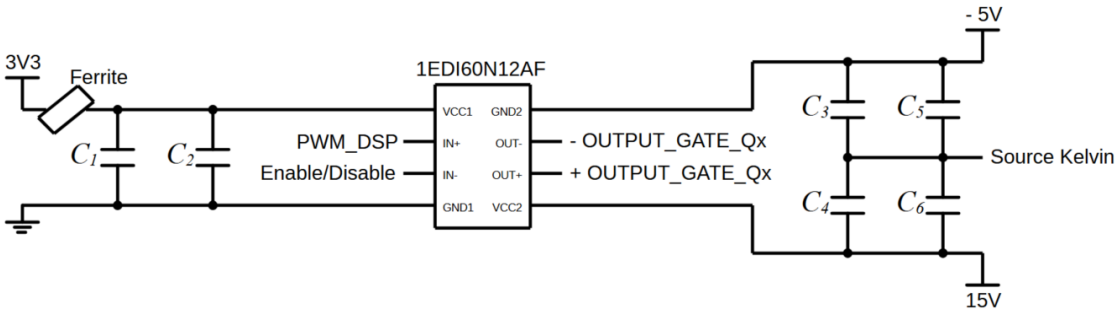


Figura 5.6 - Circuito utilizado na alimentação bipolar do *driver*.

Em suma, a escolha do driver *1EDI60N12AF* revelou-se adequada face às alternativas existentes no mercado. Trata-se de um componente compacto em encapsulamento SMD, com elevada imunidade a

ruídos e boa capacidade de isolamento, garantindo fiabilidade acrescida em ambientes de comutação rápida. Acresce ainda o facto de se encontrar disponível em stock no laboratório do GEPE, o que evitou custos e tempos adicionais associados à aquisição de outro modelo. Assim, a opção por este driver assegurou uma resposta eficaz e compatível com as exigências do conversor desenvolvido, dispensando a necessidade de recorrer a soluções alternativas.

5.2.3 Circuito de Aquisição e de Condicionamento de Sinal

Para assegurar a qualidade do sinal proveniente dos sensores de corrente e de tensão, procedeu-se ao dimensionamento de uma cadeia de filtros destinada ao seu adequado condicionamento. Esta cadeia integra, em primeiro lugar, um filtro RC diferencial de primeira ordem, cuja função é atenuar componentes de alta frequência presentes no sinal adquirido, reduzindo assim ruídos e interferências indesejadas. Em seguida, o sinal é aplicado a um amplificador diferencial, responsável por rejeitar as componentes de modo comum e por ajustar o nível de tensão à referência do sistema de aquisição. Posteriormente, implementou-se um filtro ativo passa-baixo de segunda ordem (topologia *Sallen-Key*), uma solução amplamente utilizada devido à sua simplicidade de implementação, estabilidade e boa resposta em frequência, permitindo uma atenuação eficaz do ruído de alta frequência sem introduzir distorções relevantes no sinal útil. Em complemento, adicionou-se um filtro RC passa-baixo de primeira ordem, que atua como etapa adicional de suavização. Por fim, recorreu-se a um circuito de proteção composto por um díodo zener em antiparalelo com uma resistência em série, que limita a amplitude do sinal a 3,3 V, valor máximo admissível pelas entradas analógicas do microcontrolador.

Deste modo, obtém-se uma cadeia de filtragem global de quarta ordem, que assegura simultaneamente a proteção dos ADCs e a preservação da integridade da informação adquirida, minimizando a influência do ruído presente. Na Figura 5.7 encontra-se representado o circuito completo de condicionamento de sinal, comum aos sensores de tensão e de corrente.

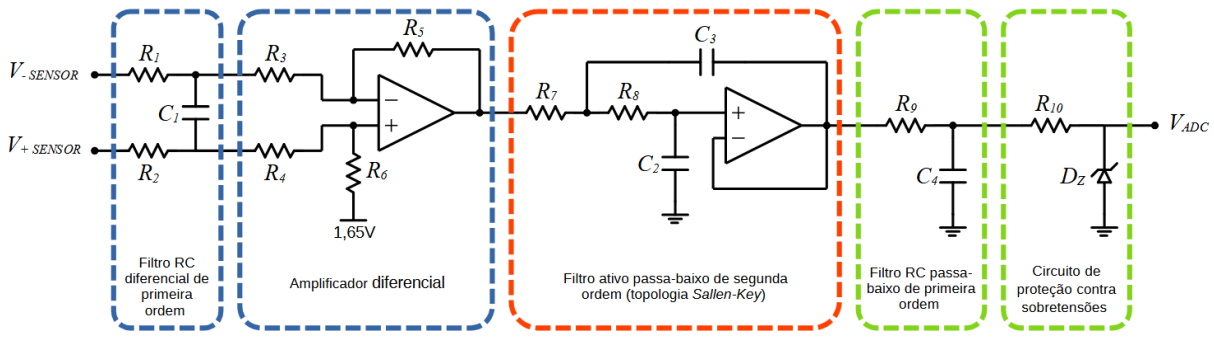


Figura 5.7 - Cadeia de filtros implementada no protótipo.

5.2.3.1 Sensor de Tensão

No que respeita aos sensores de tensão, distinguem-se duas situações distintas. A primeira corresponde à medição das tensões simples no lado CA, enquanto a segunda se refere à monitorização das tensões em diferentes pontos do barramento CC, nomeadamente no barramento superior, no barramento inferior e no barramento total (soma dos dois). O princípio de cálculo em ambos os casos é idêntico, variando apenas nos parâmetros de configuração quando tal se mostra necessário. Todos os filtros documentados abaixo estão destacados acima na Figura 5.7.

- **Filtro passivo RC diferencial de primeira ordem e amplificador diferencial isolado**

Num primeiro estágio, foi implementado um filtro passivo RC diferencial de primeira ordem, concebido para atenuar componentes de alta frequência presentes no sinal proveniente dos sensores, e assim mitigar o ruído eletromagnético. Em seguida, o sinal é aplicado a um amplificador diferencial, cuja função é rejeitar as componentes de modo comum e ajustar o nível de tensão à referência do sistema de aquisição.

A principal diferença entre as duas situações das tensões medidas encontra-se na referência adotada no amplificador diferencial. Para as tensões do lado CA, definiu-se uma referência de 1,65 V, introduzindo o *offset* necessário para centrar a forma de onda sinusoidal (bipolar) dentro da gama do ADC. Foi escolhido 1,65 V, pois corresponde a metade de 3,3 V, valor máximo medido pelo ADC. Esta referência foi inserida através de um regulador de tensão. Já no caso das tensões do barramento CC, dado que apenas são medidos valores positivos, a referência considerada foi de 0 V.

O filtro RC foi dimensionado para uma frequência de corte de 100 kHz. Foram selecionadas resistências de 8,2 kΩ para R_1 e R_2 (valor superior a 5 kΩ como recomendado no *datasheet* do sensor de tensão [84]) e um condensador C_1 de 100 pF. Estes valores foram mantidos uniformes para ambos os casos, garantindo consistência no condicionamento do sinal. A equação recorrida para o cálculo dos mesmo é a seguinte:

$$f_c = \frac{1}{2\pi(R_1 + R_2)C_1}. \tag{5.1}$$

No lado em corrente alternada, a tensão de entrada bipolar foi inicialmente ajustada, através de divisores resistivos, para uma amplitude de ± 200 mV. Considerando o ganho intrínseco do sensor, igual a 8,1 [84], obteve-se uma oscilação de aproximadamente ± 1,62 V em torno de zero. Com a introdução de uma tensão de referência de 1,65 V, a gama resultante situou-se entre 0,03 V e 3,27 V, encontrando-se,

assim, totalmente compatível com o conversor analógico-digital (ADC). Para esta etapa, o amplificador diferencial isolado foi configurado com ganho unitário, recorrendo à equação (5.2) e utilizando resistências iguais de 47 kΩ em todos os ramos ($R_3 = R_4 = R_5 = R_6$). Importa salientar que a equação foi extraída de [85], embora apresentada numa forma algébrica distinta. Para clarificação, considera-se que V_B corresponde ao nó anterior a R_4 e V_A ao nó anterior a R_3. De seguida, obtém-se a equação (5.3), que corresponde à simplificação da expressão (5.2).

$$V_{out} = \frac{(R_3 + R_5)R_6}{(R_4 + R_6)R_3} V_B - \frac{R_5}{R_3} + V_A + 1{,}65 \tag{5.2}$$

$$V_{out} = \frac{R_5}{R_3}(V_B - V_A) + 1{,}65 \tag{5.3}$$

No caso do barramento CC, o processo inicial foi análogo: os divisores resistivos limitaram a entrada a cerca de 200 mV e, após o ganho do sensor, a saída situou-se em torno de 1,62 V. Uma vez que a tensão é sempre positiva, a referência manteve-se em 0. Para maximizar a utilização da gama do ADC (0–3,3 V), recorreu-se a um amplificador diferencial com ganho de 2, obtendo um valor máximo de aproximadamente 3,24 V. Para tal, selecionaram-se $R_3 = R_4 = 24$ kΩ e $R_5 = R_6 = 47$ kΩ.

- **Filtro ativo *Sallen-Key* de segunda ordem do tipo passa-baixo**

Na etapa seguinte, implementou-se um filtro ativo passa-baixo de segunda ordem, utilizando a topologia *Sallen-Key*. A frequência de corte foi definida em 1 kHz para as tensões do lado CA e em 50 kHz para as tensões do barramento CC. No caso do lado CA, adotou-se uma estratégia de redução progressiva da frequência de corte ao longo dos estágios, com o objetivo de eliminar componentes indesejadas do sinal. Considerando que as tensões medidas são utilizadas apenas na PLL e não no controlo direto do conversor, que se baseia nas correntes, não foi necessário preservar o *ripple*. Os valores escolhidos para os componentes foram: $R_7 = R_8 = 51$ kΩ, $C_2 = 4{,}7$ nF e $C_3 = 2{,}2$ nF, de acordo com a equação (5.4).

Para o barramento CC, definiu-se uma frequência de corte de 50 kHz, que permite conservar o *ripple* das tensões, dado que estas estão diretamente ligadas ao controlo do conversor, sendo utilizadas para regular o valor do barramento. Ao mesmo tempo, a filtragem garante a supressão de ruído de alta frequência irrelevante para o sistema, evitando impactos negativos na precisão da medição. Nesta configuração, os componentes foram dimensionados da seguinte forma: resistências de 51 kΩ para R_7 e R_8, condensador C_2 de 33 pF e condensador C_3 de 100 pF, segundo a equação (5.4) [86].

$$f_c = \frac{1}{2\pi \sqrt{R_7\, R_8\, C_2\, C_3}} \tag{5.4}$$

- **Filtro passivo RC passa-baixo de primeira ordem**

Posteriormente, implementou-se um filtro RC passa-baixo de primeira ordem. Nesta etapa, a configuração dos filtros difere conforme a necessidade de preservação ou não do *ripple*, conforme explicado anteriormente. Para o lado CA, a frequência de corte foi definida em 750 Hz, permitindo a passagem de harmónicos até ao de decima quinta ordem. O cálculo da frequência de corte está descrito na equação (5.5). Para a sua implementação, foram utilizados R_9 = 47 kΩ e C_4 = 4,7 nF. No lado CC, o filtro RC passa-baixo de primeira ordem foi sintonizado para 50 kHz, de forma consistente com o filtro *Sallen-Key*. A expressão utilizada para o cálculo da frequência de corte encontra-se na equação (5.5). Nesta configuração, foram utilizados R_9 = 620 Ω e C_4 = 4,7 nF.

$$f_c = \frac{1}{2\pi\, R_9\, C_4} \tag{5.5}$$

- **Circuito de proteção contra sobretensões**

Finalmente, para assegurar a proteção dos canais do ADC contra sobretensões, integrou-se um circuito de limitação constituído por uma resistência em série com o restante circuito de filtragem e um díodo zener de 3,3 V colocado em antiparalelo. A resistência tem como função limitar a corrente quando o díodo entra em condução, protegendo-o de sobrecorrentes e atenuando picos transitórios. O díodo zener, por sua vez, garante que a tensão aplicada à entrada do ADC não ultrapasse os limites admissíveis, conduzindo para valores superiores a 3,3 V e bloqueando tensões negativas, assegurando a integridade do sistema de aquisição em ambas as polaridades.

5.2.3.2 Sensor de Corrente

No que respeita ao sensor de corrente, o processo de condicionamento de sinal resulta numa combinação das duas abordagens descritas para os sensores de tensão. À semelhança do que ocorre nas tensões do lado CA, tornou-se necessário introduzir uma referência de 1,65 V, de forma a recentrar a forma de onda, dado que a corrente pode assumir valores positivos e negativos. Simultaneamente, à semelhança do caso das tensões no barramento CC, foi preservado o *ripple*, uma vez que este exerce influência direta no controlo do conversor. O circuito implementado para esta finalidade corresponde ao representado na Figura 5.7. De forma a simplificar a escrita do documento, todas as etapas com o

dimensionamento dos componentes de cada estágio seguem as mesmas equações que a subsecção anterior.

No caso particular dos sensores de corrente, o sinal de saída disponibilizado, designado $V_{+SENSOR}$, varia em função da corrente. Este sinal não oscila em torno de 0 V, mas sim em torno de uma referência fixa de 2,175 V, V_{SENSOR}, correspondente à condição de corrente nula, ou seja, quando a corrente é nula $V_{+SENSOR}$ apresenta o mesmo valor de V_{SENSOR}, 2,175 V [87].

- **Filtro passivo RC diferencial de primeira ordem e amplificador diferencial isolado**

Tal como no caso da medição de tensão, o primeiro estágio de condicionamento de sinal da corrente consiste num filtro passivo RC diferencial de primeira ordem. A sua função principal é atenuar componentes de alta frequência e reduzir o ruído proveniente do sensor de corrente, garantindo assim uma aquisição mais limpa. Porem, verificou-se que o sinal adquirido conferia um baixo ruido de altas frequências, pelo que os componentes previstos para este estágio não foram soldados, em alternativa foram soldadas resistências de 0 Ω de forma a permitir a propagação do sinal para os seguintes estágios.

Para remover o *offset* de 2,175 V, recorreu-se a um amplificador diferencial isolado que calcula a diferença entre $V_{+SENSOR}$ e $V_{-SENSOR}$. Assim, em condições de corrente nula, a saída do amplificador seria idealmente 0 V. De forma a ilustrar melhor este processo, este será detalhado ao pormenor. Considerando que o sensor funciona no máximo da sua capacidade, ou seja, ± 50 A e tendo em conta a seguinte equação que se encontra no *datasheet* do sensor de corrente [87]:

$$V_{+SENSOR} = V_{-SENSOR} + I_{IN} \times 0.035\,, \tag{5.6}$$

em que V_{SENSOR} corresponde a 2,175 V, como referido acima, obtém-se um valor de tensão de 0,425 V para a corrente mínima e um valor de 3,925 V para o valor de corrente máxima.

Uma vez que o amplificador diferencial calcula a diferença entre os dois sinais de entrada, obtém-se a seguinte equação para a tensão de saída do amplificador:

$$V_{OUT} = I_{IN} \times 0.035\,. \tag{5.7}$$

Assim sendo, V_{OUT} obterá o valor de -1,75 V e 1,75 V para os valores de ± 50 A. Se analisarmos estes valores com mais detalhe a diferença entre os dois é de 3,5 V, maior que os 3,3 V que o ADC suporta, desta forma tornou-se necessário aplicar um ganho de forma a obter uma diferença máxima de 3,3 V. O ganho escolhido foi de 0,84, valor já com alguma manobra de segurança. Foram então escolhidas as

resistências de 43 kΩ em R_3 e R_4, e de 36 kΩ em R_5 e R_6. Após esta etapa os valores a saída do amplificador ficaram centrados entre 0,84 × (± 1,75 V) = ± 1,47 V. No entanto, esta solução apresenta uma limitação: o ADC apenas admite sinais no intervalo de 0 a 3,3 V, pelo que o sinal foi recentrado em torno de uma referência continua de 1,65 V, tal como implementado no caso da tensão do lado CA.

- **Filtro ativo do tipo *Sallen Key* de segunda ordem**

No segundo estágio, foi implementado um filtro ativo passa-baixo de segunda ordem, recorrendo à topologia *Sallen-Key*. A frequência de corte foi definida em 50 kHz, garantindo a preservação do *ripple* da corrente, uma vez que este tem impacto direto no controlo do conversor. Sendo assim, optou-se por resistências de 51 kΩ para R_7 e R_8, 33 pF para C_2 e 100 pF para C_3.

- **Filtro passivo RC de primeira ordem e díodo zener**

O último estágio de condicionamento integra um filtro RC passa-baixo de primeira ordem, este foi sintonizado para uma frequência de corte de 50 kHz, em conformidade com a etapa anterior, assegurando consistência na resposta global. Os componentes selecionados foram R_9 = 620 Ω e C_4 = 4,7 nF.

- **Circuito de proteção contra sobretensões**

Em complemento, foram adicionados uma resistência em série com o restante circuito de filtragem e um díodo zener de 3,3 V colocado em antiparalelo, cada componente com as mesmas tarefas descritas no caso da tensão.

5.3 Sistema de Potência

O sistema de potência constitui a base do conversor, sendo responsável pela conversão e processamento da energia elétrica, bem como pela interface direta entre a rede elétrica e a carga. A sua conceção exige uma seleção criteriosa dos semicondutores e dos restantes elementos que asseguram o correto funcionamento, a fiabilidade e a eficiência do protótipo desenvolvido.

Neste capítulo é descrito o processo de implementação do sistema de potência, abordando-se de forma integrada os diferentes componentes que o constituem. Inicialmente, são introduzidos os sensores de corrente e de tensão, que asseguram a monitorização contínua das grandezas elétricas, permitindo a correta operação e proteção do sistema. De seguida, apresentam-se os semicondutores selecionados,

acompanhados das respetivas proteções e do dimensionamento das suas *gates*. Posteriormente, discutem-se os condensadores *snubber*, essenciais para a atenuação de sobretensões transitórias, bem como os condensadores de filme do barramento CC, que garantem a estabilidade e a redução das ondulações de tensão.

5.3.1 Sensor de Tensão

A monitorização das tensões no protótipo foi concebida de modo a contemplar tanto o lado da rede CA como o barramento CC. No lado da rede elétrica, procedeu-se à medição das tensões simples de cada fase relativamente ao neutro, o que requer a utilização de três sensores. Já no lado CC, foram implementados mais três sensores: um dedicado ao barramento superior, outro ao barramento inferior e um terceiro ao barramento total. Os sensores dos barramentos superior e inferior permitem verificar o equilíbrio de tensão entre ambos, assim, caso seja detetada assimetria significativa, o sistema deve ser imediatamente desligado por razões de segurança. Por sua vez, o sensor do barramento total é utilizado no controlo da tensão do barramento.

Para a medição das tensões recorreu-se ao amplificador isolado *Si8920BC-IP*, do fabricante *Skyworks* [84]. Este dispositivo assegura o isolamento galvânico entre o circuito de potência e o de controlo, condição imprescindível para a segurança do protótipo e para a fiabilidade das medições em ambientes sujeitos a elevados gradientes de tensão. Posto isto, o sensor de tensão encontra-se representado na Figura 5.8.



Figura 5.8 - Sensor de tensão utilizado - *Si8920BC-IP*.

O *Si8920BC-IP* apresenta uma gama de entrada diferencial de ± 200 mV e um ganho interno fixo de 8,1. O isolamento entre as secções primária e secundária é garantido por uma barreira em silício com rigidez dielétrica de 3,75 kV. Estas características tornam o dispositivo particularmente adequado a aplicações de conversão de potência, como é o caso do conversor *T-Type* implementado neste trabalho.

A interface entre as tensões a medir e a entrada do sensor é realizada através de um divisor resistivo, cuidadosamente dimensionado para reduzir as tensões (tanto provenientes da rede CA como do barramento CC) para o intervalo admissível de ± 200 mV. Para aumentar a precisão e reduzir o impacto

da tolerância dos componentes, foram utilizadas nove resistências em série em cada divisor, de forma a garantir maior estabilidade e fidedignidade nas medições. A configuração adotada encontra-se ilustrada na Figura 5.9. De forma a simplificar a apresentação do circuito e privilegiar a clareza, optou-se por não representar os condensadores de desacoplamento das alimentações nem a fonte isolada utilizada na alimentação da parte de potência, embora estes elementos estejam naturalmente presentes na implementação prática.

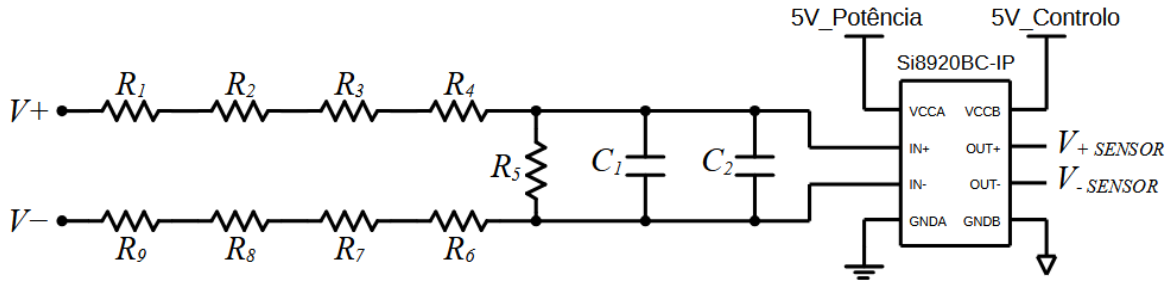


Figura 5.9 - Circuito do sensor de tensão com o respetivo divisor resistivo.

Para a validação do circuito de medição, cada sensor foi ensaiado individualmente. Nesses testes variou-se a tensão aplicada na entrada e registou-se a resposta correspondente na saída, já após a etapa de condicionamento. Os resultados obtidos foram comparados com as leituras do ADC, permitindo verificar a linearidade da resposta e determinar o coeficiente de conversão entre a tensão real medida e o valor digital adquirido. Na Figura 5.10 e na Figura 5.11 apresenta-se o processo de validação, onde se evidencia a correlação entre a tensão aplicada e os valores adquiridos pelo ADC, bem como a expressão matemática que traduz essa relação, referentes a um sensor do lado CC e a um sensor do lado CA, respetivamente.

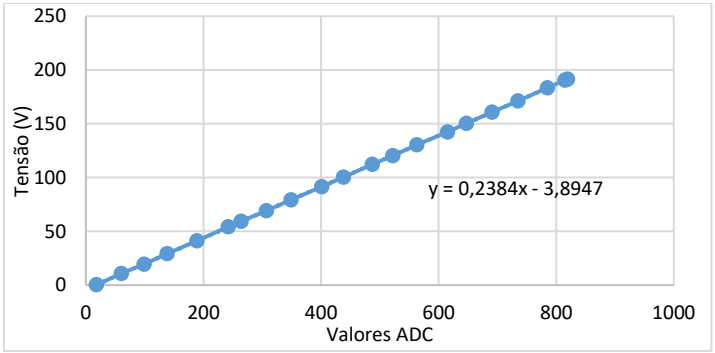


Figura 5.10 – Exemplo de regressão linear para um dos sensores de tensão do lado CC.

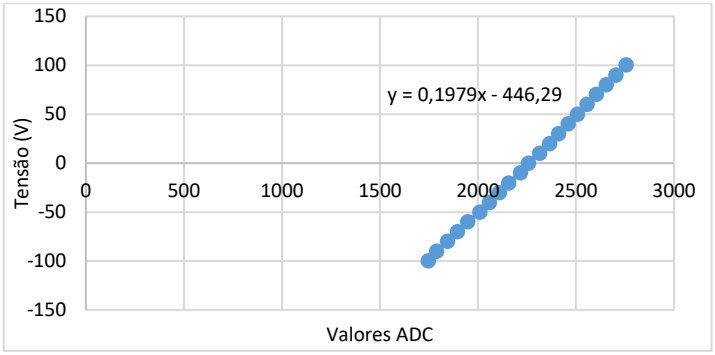


Figura 5.11 - Exemplo de regressão linear para um dos sensores de tensão do lado CA.

A escolha deste sensor deveu-se a diversas vantagens técnicas, das quais se destaca a baixa latência de apenas 750 ns, característica determinante para assegurar a resposta dinâmica exigida pelo sistema.

5.3.2 Sensor de Corrente

A medição das correntes no protótipo foi implementada através de três sensores de corrente *MCA1101-50-5* [87], do fabricante *Aceinna*, sendo cada um dedicado a uma das fases do conversor. Este dispositivo permite a medição bidirecional de correntes até ± 50 A, assegurando isolamento galvânico entre o lado de potência e o de controlo. A saída analógica apresenta uma sensibilidade de 35 mV/A, referida em torno de um nível de referência ($V_{-SENSOR}$), conforme descrito na subsecção 5.2.3.2. Na Figura 5.12, encontra-se representado o sensor de corrente.



Figura 5.12 - Sensor de corrente utilizado - *MCA1101-50-5*.

Entre as principais características destaca-se o tempo de resposta típico de 300 ns, que assegura uma medição precisa. Acresce a simplicidade de utilização, exigindo apenas uma alimentação de 5 V e condensadores de desacoplamento, bem como a presença de uma função de deteção de sobrecorrentes, o que reforça a adequação do sensor à aplicação desenvolvida. Dado que o sensor não requer circuitos adicionais, optou-se por não representar o respetivo esquema elétrico.

Tal como no caso dos sensores de tensão, cada canal de medição foi validado individualmente, aplicando-se diferentes níveis de corrente e comparando-se a resposta obtida com as leituras do ADC, de modo a confirmar a linearidade e a determinar o coeficiente de conversão, conforme ilustrado na Figura 5.13.

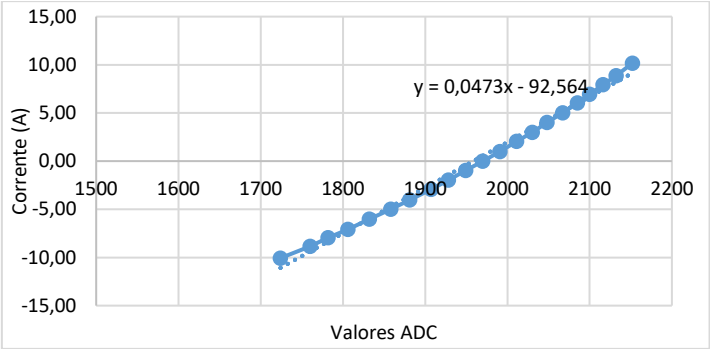


Figura 5.13 - Exemplo de regressão linear para um dos sensores de corrente.

5.3.3 Semicondutores de Potência

A seleção dos semicondutores de potência foi orientada pela necessidade de assegurar elevada eficiência, robustez e fiabilidade do conversor *T-Type*. Para tal, optou-se pela utilização de SiC MOSFETs, dada a sua superior capacidade de comutação em alta frequência, menores perdas de condução e maior resistência térmica em comparação com dispositivos de silício convencionais. Uma vez que o protótipo foi dimensionado para uma potência de 25 kW, e recorrendo à equação:

$$P = \sqrt{3} \times U_C \times I_L \times \cos \varphi \, , \tag{5.8}$$

obtém-se uma corrente de linha, I_L, de 36,08 A. Embora o semicondutor selecionado suporte este valor de corrente, este encontra-se próximo do limite máximo especificado. Assim, optou-se pela utilização de dois dispositivos em paralelo, de forma a dividir a corrente que atravessa cada braço do conversor entre ambos os MOSFETs.

Os dispositivos escolhidos foram os *MSC080SMA120B4* [88], do fabricante *Microsemi*, MOSFETs de canal N baseados em tecnologia SiC, com tensão nominal de 1200 V e resistência típica de condução de 80 mΩ, ilustrados na Figura 5.14. Cada componente apresenta uma corrente de dreno contínua de 37 A a 25 °C e de 26 A a 100 °C, podendo suportar correntes pulsadas até 90 A. Estes dispositivos destacam-se pela sua elevada velocidade de comutação e reduzidas perdas dinâmicas, características que contribuem para uma maior eficiência global do conversor.



Figura 5.14 - Semicondutor de potência utilizado - *MSC080SMA120B4*.

Cada semicondutor foi dimensionado considerando a tensão máxima do barramento CC e a corrente de operação prevista, garantindo ainda um fator de segurança adequado para suportar condições transitórias. Sendo assim, foi implementado um díodo *schottky* em paralelo com cada par de MOSFETs, com o objetivo de reduzir as perdas por condução associadas ao díodo intrínseco. Adicionalmente, foram integrados dois díodos TVS (*Transiente Voltage Suppressor*) do modelo *SMCJ1.5KE440A* [89], também em paralelo com os MOSFETs, cada um com uma tensão de *breakdown* de aproximadamente 440 V, o que perfaz uma tensão total de 880 V. Esta configuração assegura que a tensão aplicada aos semicondutores não exceda esse valor durante os picos de comutação, contribuindo para prolongar a vida útil dos dispositivos e melhorar a sua robustez face a sobretensões.

No que respeita ao comando das *gates*, recorreu-se a *drivers* dedicados, capazes de fornecer a corrente necessária para uma comutação rápida e eficaz. O dimensionamento das resistências de *gate* foi efetuado considerando a alimentação bipolar descrita na subsecção 5.2.2, tendo sido selecionadas resistências de 4,7 Ω no caminho de ativação (*OUT+*) e 2,2 Ω no caminho de desativação (*OUT–*). O valor de 4,7 Ω limita a corrente de carga do *gate*, controlando a velocidade de subida da tensão e reduzindo o *dv/dt*, prevenindo sobretensões e oscilações durante a comutação. Por sua vez, a resistência de 2,2 Ω permite uma descarga rápida da carga de *gate* durante a desativação, assegurando uma transição eficiente para o estado de corte e, em conjunto com a alimentação bipolar de +15 V/–5 V, evitando a ativação indesejada do dispositivo devido à capacitância Miller [83]. A capacitância Miller, existente entre o *gate* e o *drain*, pode induzir uma tensão positiva no *gate* durante a variação de tensão (*dv/dt*), o que pode levar à condução parasita do semicondutor. A alimentação bipolar (+15 V/–5 V) assegura uma margem negativa suficiente para manter o semicondutor em corte e prevenir este fenómeno [90]. Desta forma, os valores adotados asseguram um compromisso equilibrado entre eficiência, proteção e fiabilidade na condução e comutação dos semicondutores. O circuito empregue encontra-se representado na Figura 5.15. Além das resistências de *gate*, o circuito integra ainda uma

resistência de *pull-down*, um condensador e dois díodos zener, responsáveis por garantir a estabilidade do comando e a proteção do *gate* contra sobretensões.

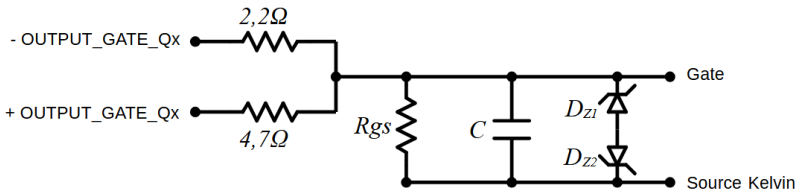


Figura 5.15 - Circuito de comando das gates dos MOSFETs SiC.

Complementarmente, a estratégia de comando incluiu a implementação de *dead-time*, prevenindo a condução simultânea dos dispositivos do mesmo braço (superior e inferior) e evitando curtos-circuitos diretos do barramento.

Por fim, de forma a dissipar o calor gerado pelos semicondutores de potência durante o seu funcionamento, foram integrados três dissipadores de calor, um em cada braço do conversor. Estes elementos asseguram a transferência térmica eficiente entre os MOSFETs e o ambiente, permitindo manter a temperatura de junção dentro dos limites seguros especificados pelo fabricante. A correta dissipação térmica é essencial para garantir a fiabilidade e a longevidade dos dispositivos, prevenindo fenómenos de degradação prematura associados ao sobreaquecimento. O dissipador utilizado encontra-se ilustrado na Figura 5.16.



Figura 5.16 - Dissipador utilizado (150 mm x 95 mm x 70 mm).

5.3.4 Condensadores de *Snubber*

De forma a atenuar os efeitos transitórios associados às comutações dos MOSFETs, foram adicionados condensadores *snubber* em cada braço do conversor, ligados em paralelo com o barramento CC. Estes

componentes têm como principal função limitar o *dv/dt* e suavizar os picos de tensão gerados durante as transições de estado, reduzindo o esforço elétrico sobre os semicondutores. O condensador encontra-se destacado na Figura 5.17.



Figura 5.17 - Condensador *snubber* utilizado - *A72QT3100AA02K*

Para esta função foi selecionado o condensador *KEMET A72QT3100AA02K* [91], do tipo filme de polipropileno e folha metálica, com capacitância de 0,1 µF, tensão nominal de 1000 VDC e tolerância de ± 10 %. Este modelo apresenta um *dv/dt* máximo de 3700 V/µs e é adequado para aplicações de elevada corrente de pulso, sendo particularmente indicado para circuitos de comutação rápida. Ao absorver parte da energia associada às comutações, os *snubbers* contribuem para a redução das sobretensões e das oscilações de tensão no barramento, melhorando a estabilidade e a fiabilidade global do conversor.

5.3.5 Condensadores de Filme do Barramento CC

O barramento CC integra condensadores de filme, cuja função principal consiste na estabilização da tensão e na redução das ondulações provocadas pelo processo de comutação. Estes condensadores apresentam baixa resistência série equivalente (ESR), o que contribui para menores perdas e maior durabilidade sob operação contínua. A sua implementação é essencial para assegurar a qualidade da energia fornecida ao estágio subsequente, reduzindo o *ripple* de tensão e mitigando fenómenos de ressonância.

Para esta aplicação, foram selecionados condensadores de filme de polipropileno *B32778Z4107K000* [92], do fabricante *TDK Electronics*. Estes componentes possuem capacitância de 100 µF e tensão nominal de 1000 V DC, superior aos 800 V espectáveis, e apresentam baixa ESR (≈ 4,3 mΩ), características que asseguram uma operação eficiente e estável em sistemas de elevada potência. A escolha deste modelo deveu-se ao seu equilíbrio entre desempenho elétrico e custo, oferecendo especificações comparáveis a alternativas de gama superior, mas a um preço significativamente mais

reduzido, garantindo simultaneamente fiabilidade e desempenho adequados à aplicação desenvolvida. O condensador encontra-se representado na Figura 5.18.



(a) (b)

Figura 5.18 - Condensador de filme utilizado - *B32778Z4107K000*: (a) vista superior; (b) vista lateral.

5.4 Protótipo Desenvolvido

Com base nos circuitos dimensionados e validados nas secções anteriores, procedeu-se ao desenvolvimento físico do protótipo do conversor *T-Type*. O sistema foi concebido de forma modular, sendo constituído por uma placa de potência e três placas de controlo. Esta abordagem permitiu simplificar o processo de montagem, facilitar a manutenção e assegurar um isolamento adequado entre os diferentes níveis de tensão.

- **PCB de Potência**

A placa de potência foi projetada no software *KiCad* e constitui o núcleo do conversor. Nela estão integrados os semicondutores de potência, os sensores de corrente e de tensão, os respetivos divisores resistivos, os condensadores de filme do barramento e os condensadores *snubbers*. Além disso, esta inclui os dissipadores aparafusados aos MOSFETs e fixos mecanicamente à estrutura da PCB, garantindo maior robustez ao conjunto. O *layout* foi otimizado para reduzir as indutâncias e capacitâncias parasitas, recorrendo a planos de cobre largos e a múltiplas vias que interligam as quatro camadas da placa, assegurando uma topologia compacta e de baixa impedância. Na Figura 5.19 apresenta-se o *layout* bidimensional da PCB de potência e na Figura 5.20 e Figura 5.21 o respetivo modelo tridimensional frontal e traseiro, todas as figuras foram obtidas no *KiCad*. Estas representações permitem visualizar a distribuição dos componentes e o traçado das ligações de potência e sinal. Por sua vez a Figura 5.22 e a Figura 5.23 mostram a vista frontal e traseira, respetivamente, da PCB já fabricada e soldada.

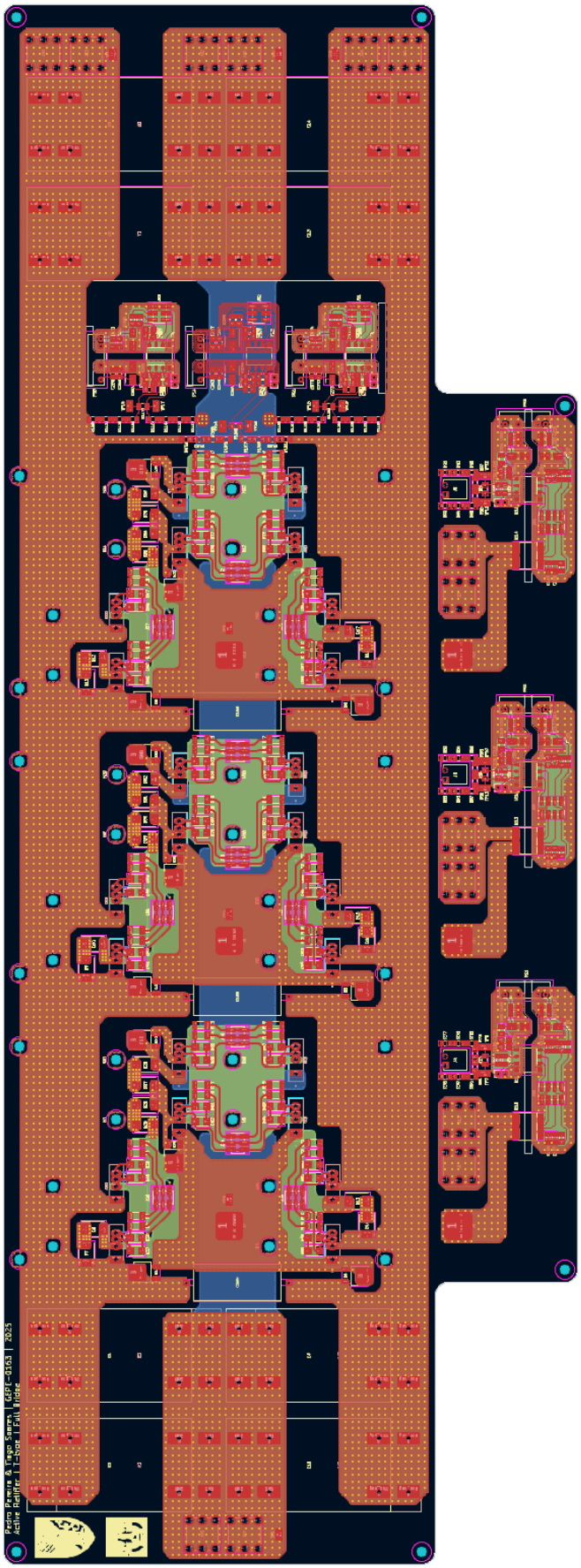


Figura 5.19 - *Layout* bidimensional da PCB de potência (596,90 mm x 219,71 mm).

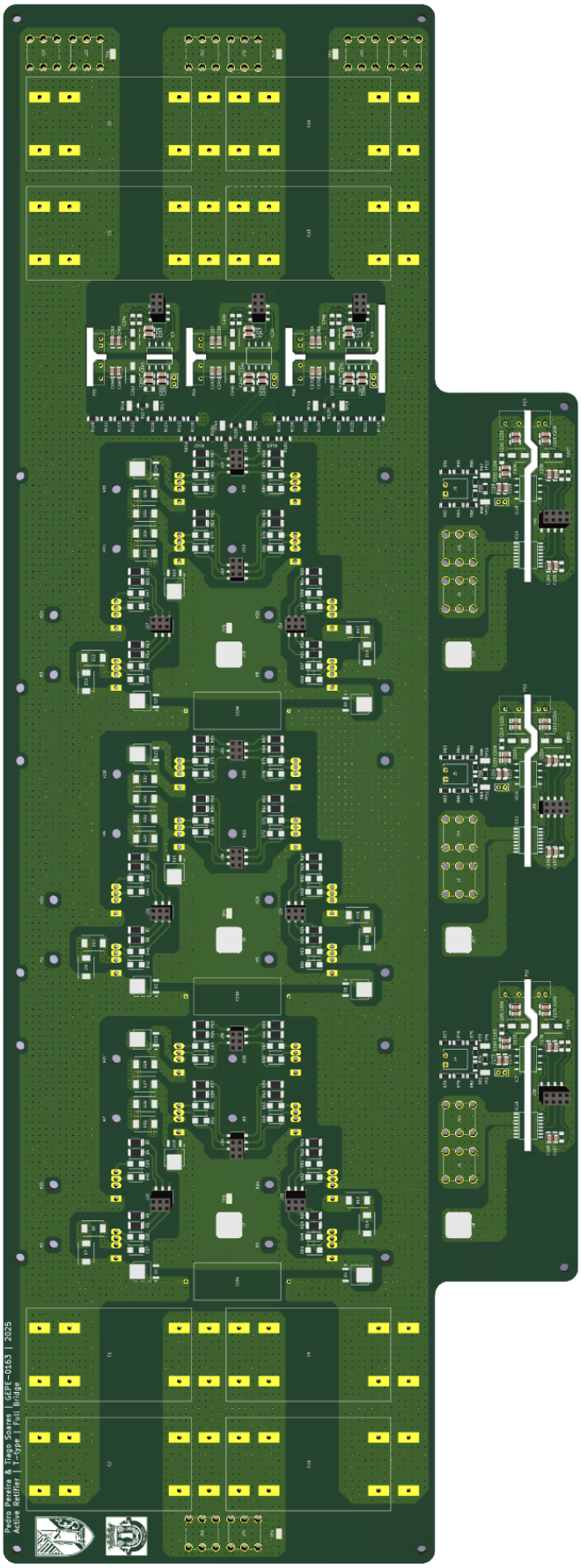


Figura 5.20 - Modelo tridimensional frontal da PCB de potência.

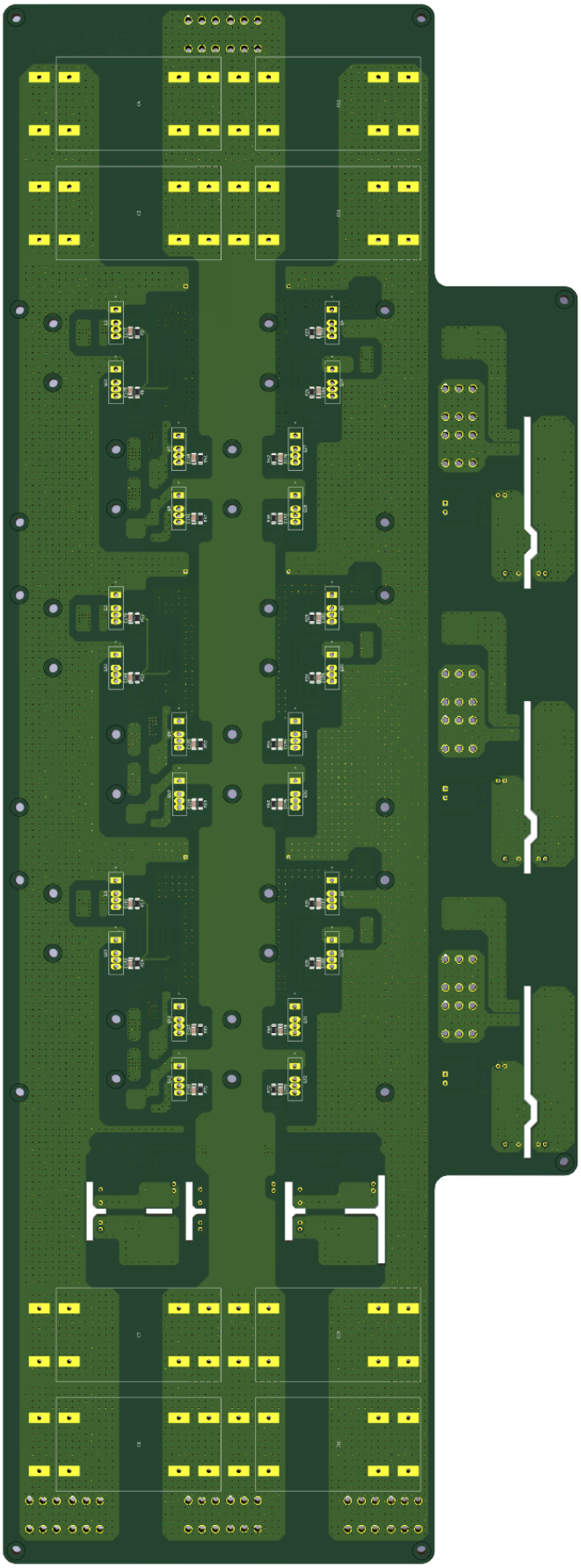


Figura 5.21 - Modelo tridimensional traseiro da PCB de potência.

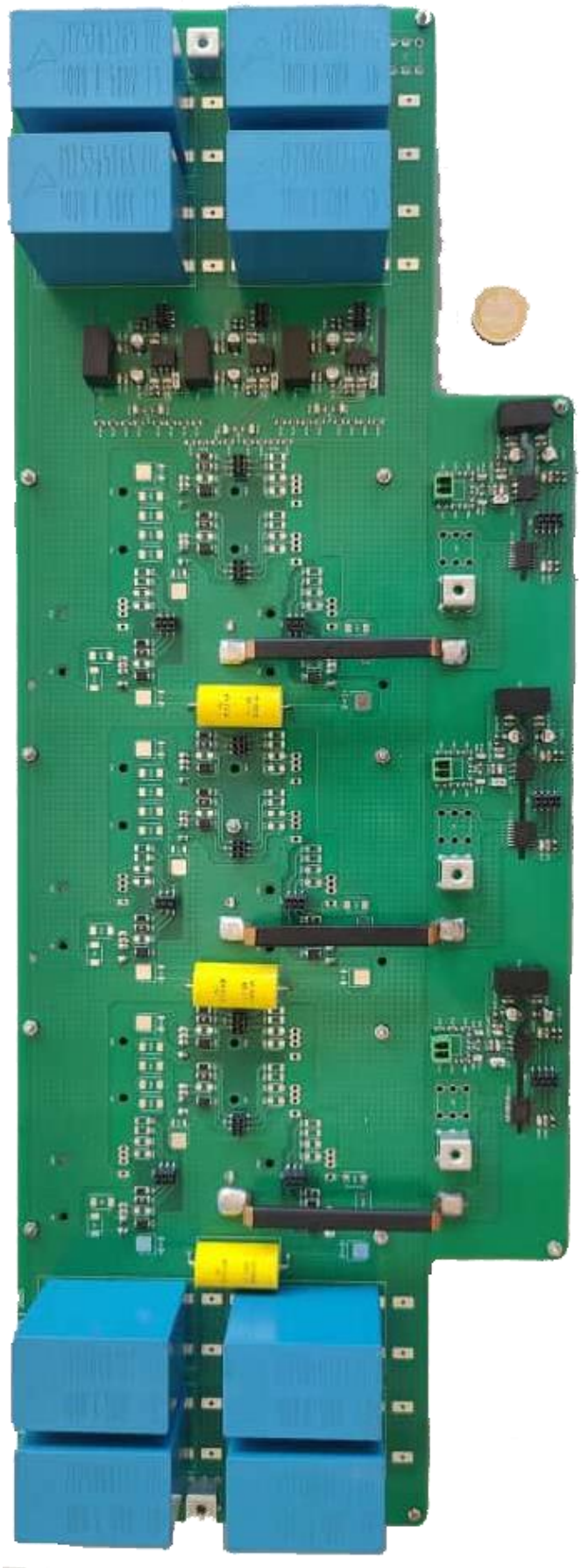


Figura 5.22 - Vista frontal da PCB de potência.

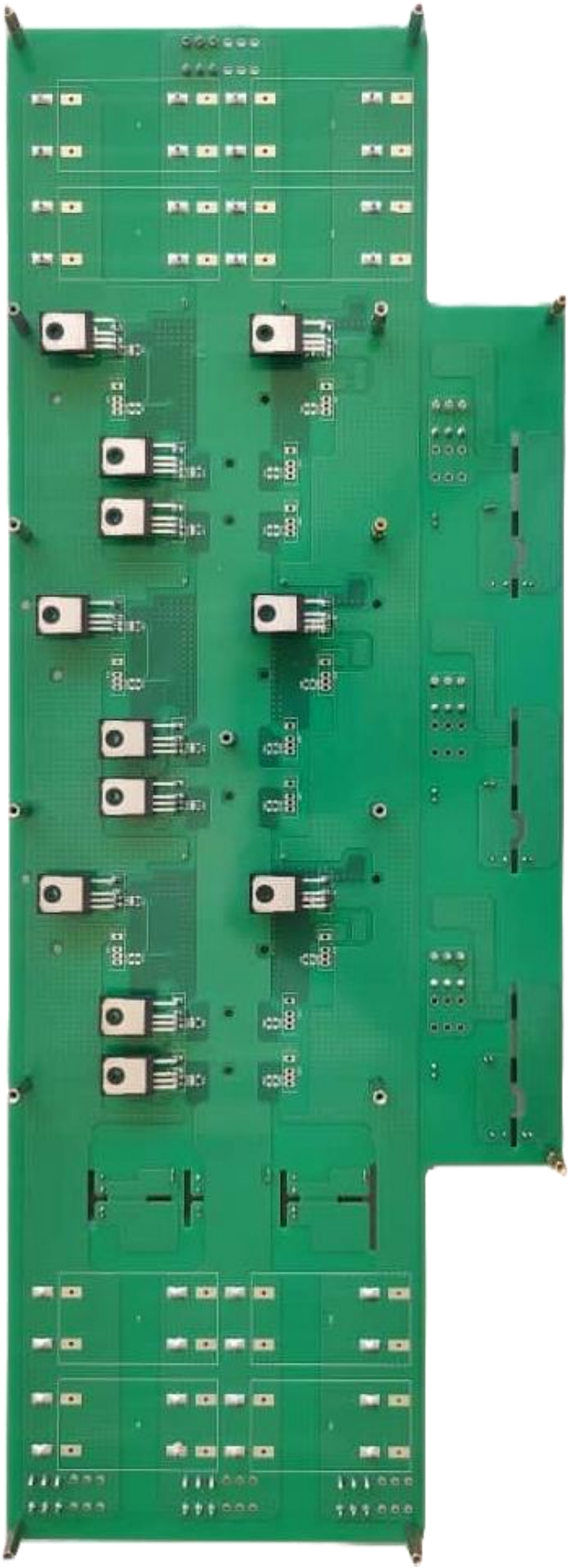


Figura 5.23 - Vista traseira da PCB de potência.

- **PCB de Controlo**

O sistema de controlo é constituído por três placas independentes, cada uma responsável pelo controlo de uma das fases do conversor. Todas as placas apresentam a mesma estrutura funcional, integrando os *gate drivers*, os circuitos de condicionamento de sinal provenientes dos sensores de tensão e corrente, bem como os circuitos de proteção locais. Esta abordagem modular garante a uniformidade de funcionamento entre as fases e simplifica o processo de desenvolvimento, ensaio e diagnóstico.

Entre as três, destaca-se a placa correspondente à fase *C*, que, além das funções anteriormente referidas, integra também a DSP responsável pelo controlo central do sistema. As restantes placas, correspondentes às fases *A* e *B*, comunicam com esta através de *flat cables*, que asseguram a troca bidirecional de informação, nomeadamente os sinais de comando dos *drivers*, os dados provenientes dos sensores e a distribuição das alimentações. A DSP encontra-se conectada à placa através de *headers* e *sockets*, proporcionando uma ligação robusta, modular e de fácil substituição. A comunicação entre as placas de controlo e a placa de potência é igualmente realizada através de *headers* e *sockets*, mas recorrendo a *headers* de maior comprimento, de forma a minimizar a propagação de ruído eletromagnético pelo ar.

Na Figura 5.24 apresenta-se o *layout* de uma das placas de controlo correspondentes às fases *A* e *B*, enquanto na Figura 5.25 é ilustrado o *layout* da placa relativa à fase *C*. Nas Figura 5.26 e Figura 5.27 encontram-se os modelos tridimensionais, em vista frontal e traseira, respetivamente, obtidos no *KiCad* para as fases *A* e *B*. De igual modo, as Figura 5.28 e Figura 5.29 apresentam o modelo tridimensional, nas vistas frontal e traseira, da placa correspondente à fase *C*. Por fim, as Figura 5.30 e Figura 5.31 mostram, respetivamente, as vistas frontal e traseira das placas já fabricadas e montadas referentes às fases *A* e *B*, enquanto as Figura 5.32 e Figura 5.33 apresentam as vistas frontal e traseira da placa associada à fase *C*.

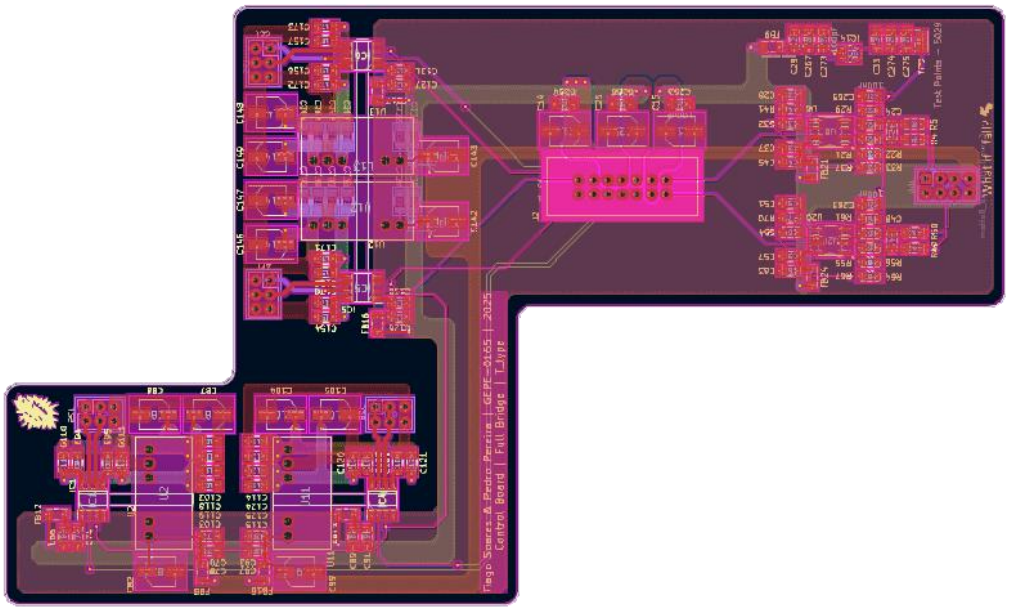


Figura 5.24 - *Layout* de uma das placas de controlo referentes às fases *A* e *B* (175,30 mm x 104,60 mm).

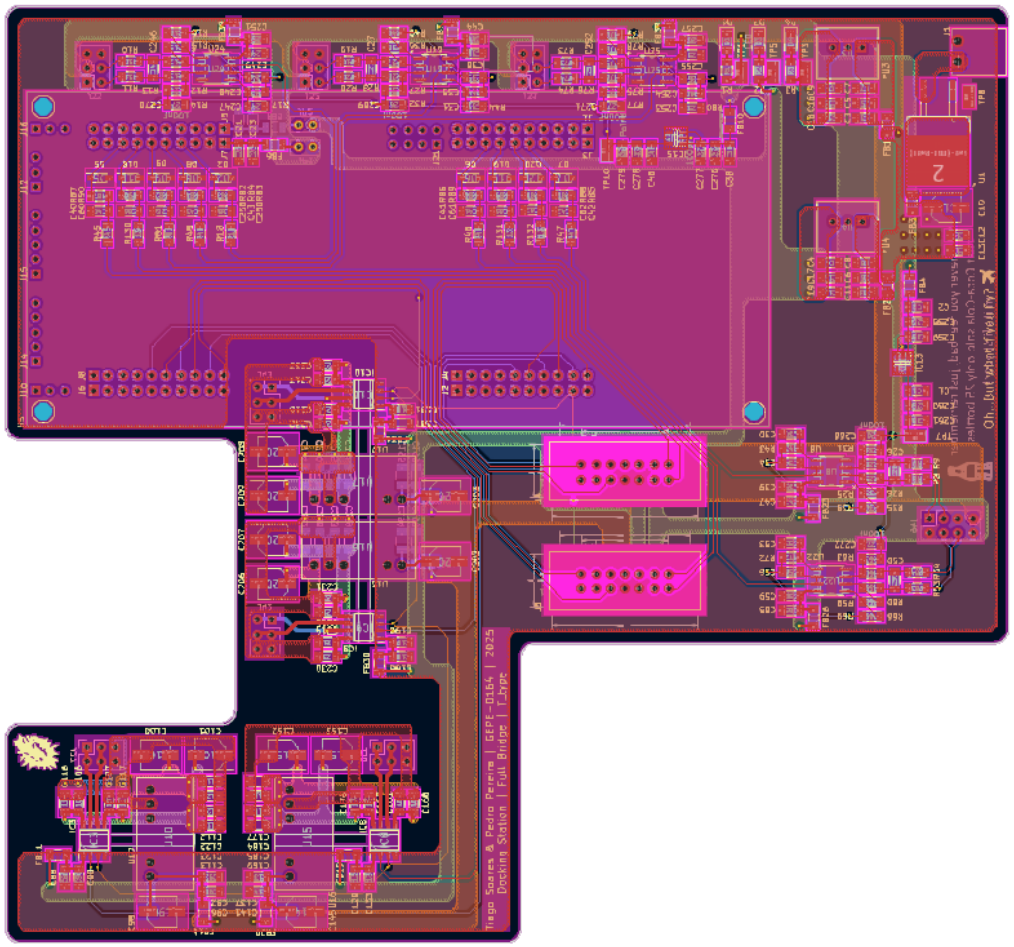


Figura 5.25 - Layout da placa de controlo referente à fase *C* (175,30 mm x 163,50 mm).

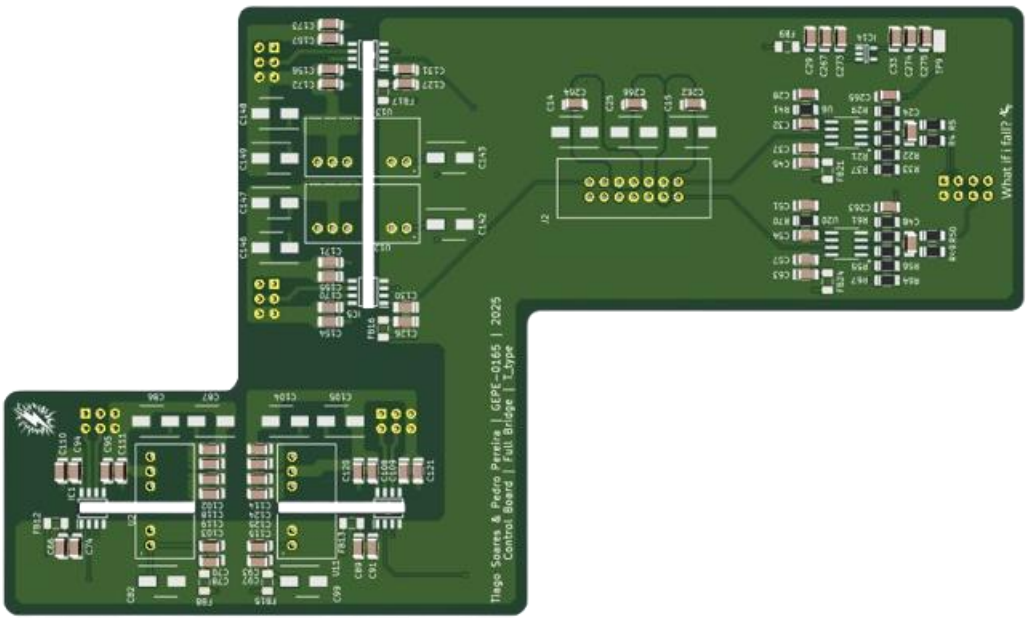


Figura 5.26 - Modelo tridimensional frontal referente às fases *A* e *B*.

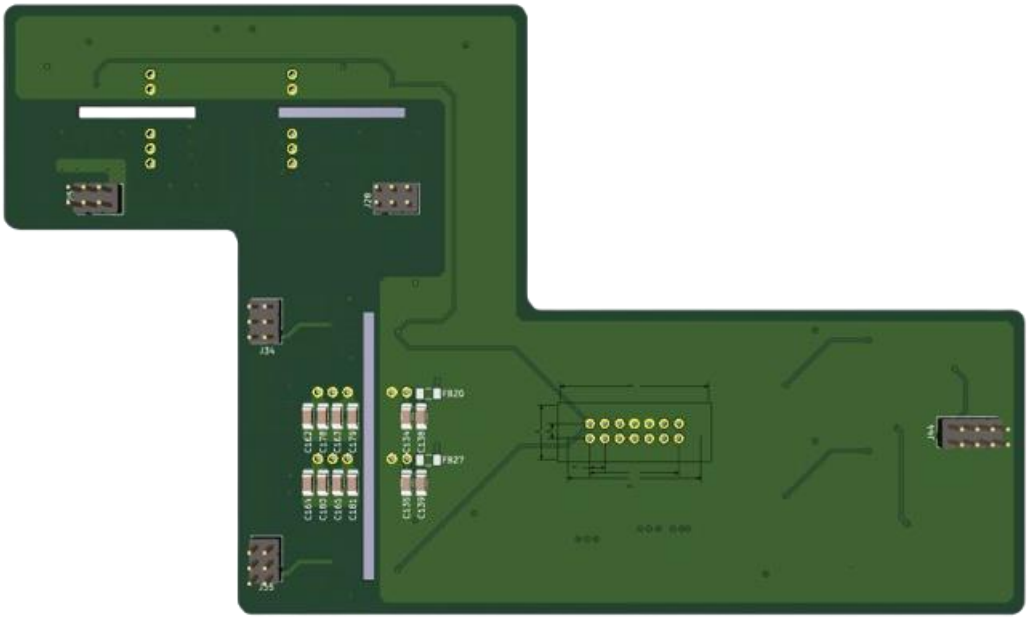


Figura 5.27 - Modelo tridimensional traseiro referente às fases *A* e *B*.

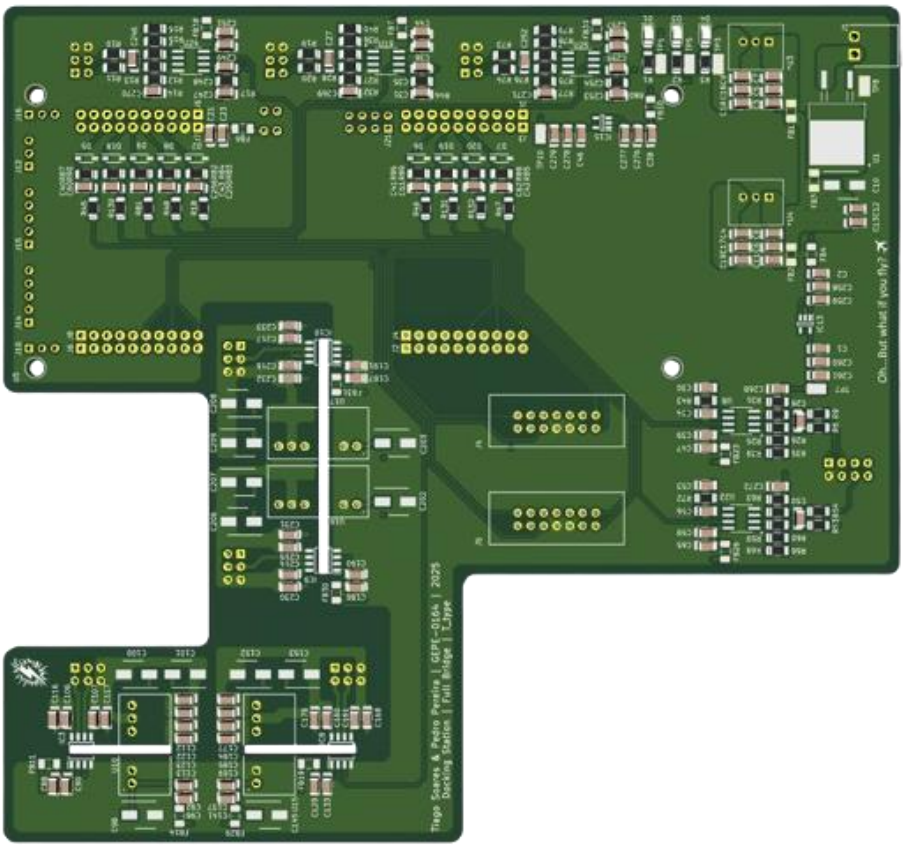


Figura 5.28 - Modelo tridimensional frontal referente à fase *C*.

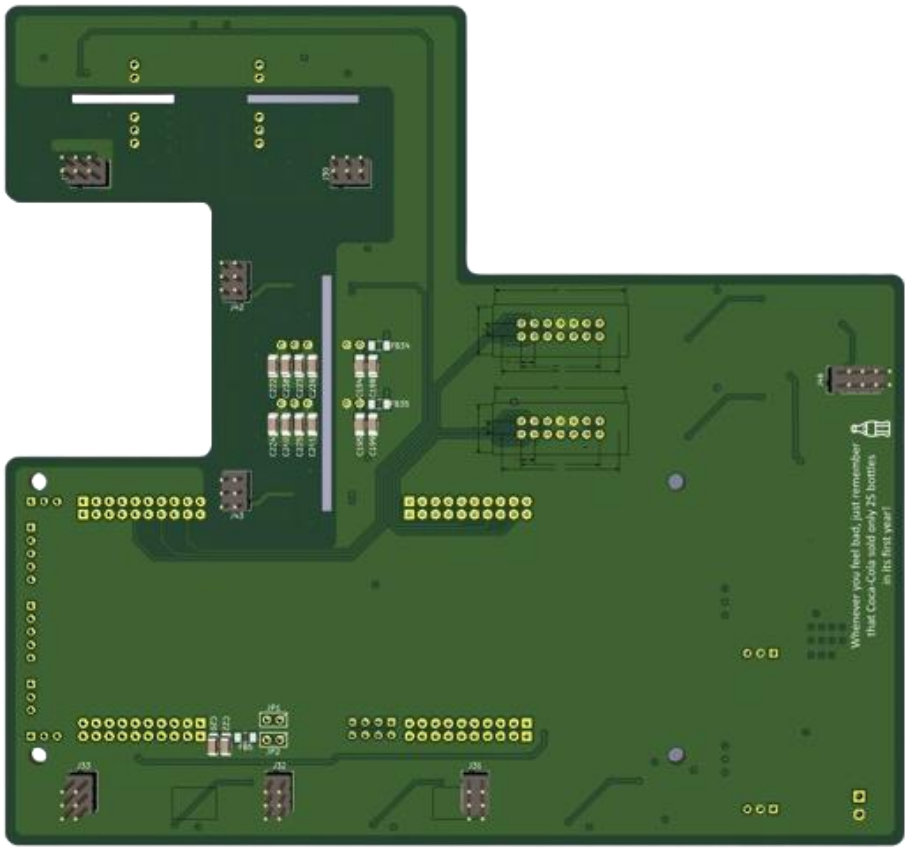


Figura 5.29 - Modelo tridimensional traseiro referente à fase *C*.

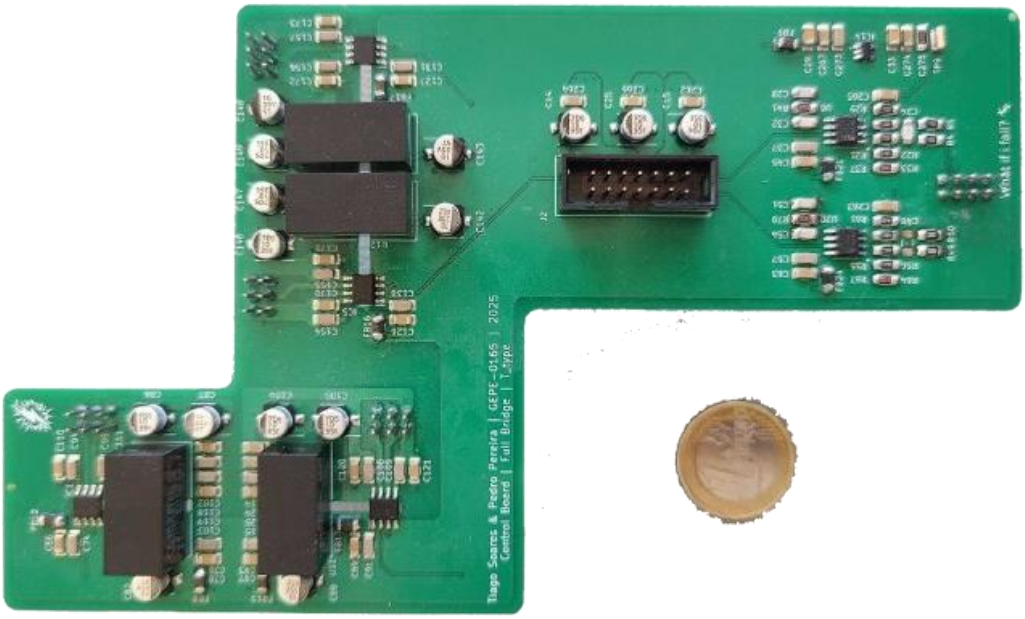


Figura 5.30 - Vista frontal de uma das PCBs de controlo das fases *A* e *B*.

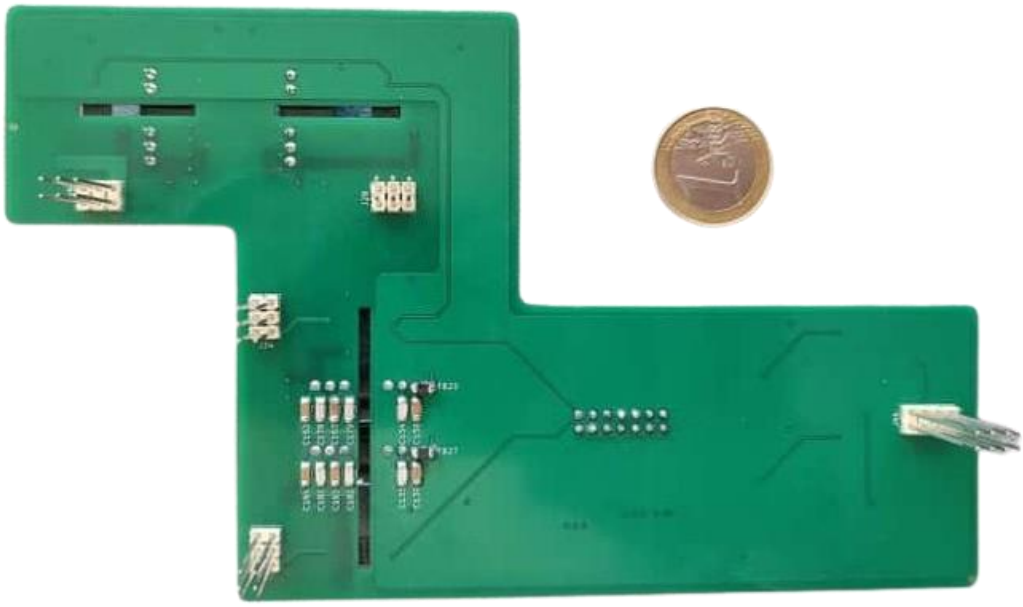


Figura 5.31 - Vista traseira de uma das PCBs de controlo das fases *A* e *B*.

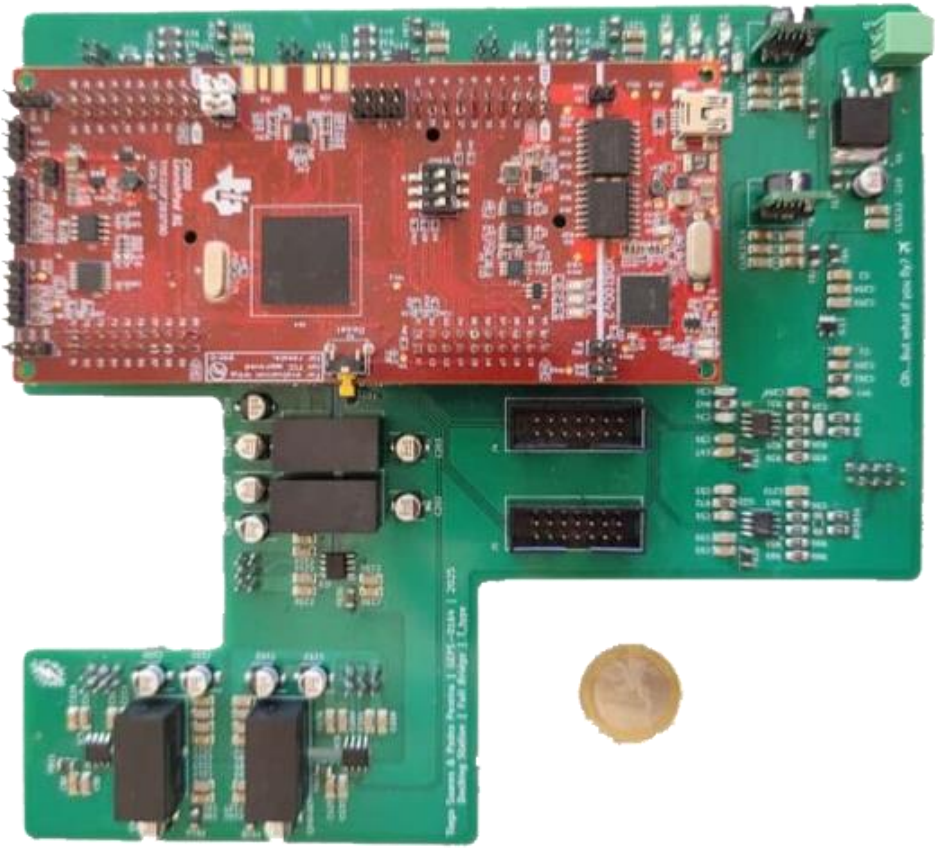


Figura 5.32 - Vista frontal da PCB de controlo da fase *C*.

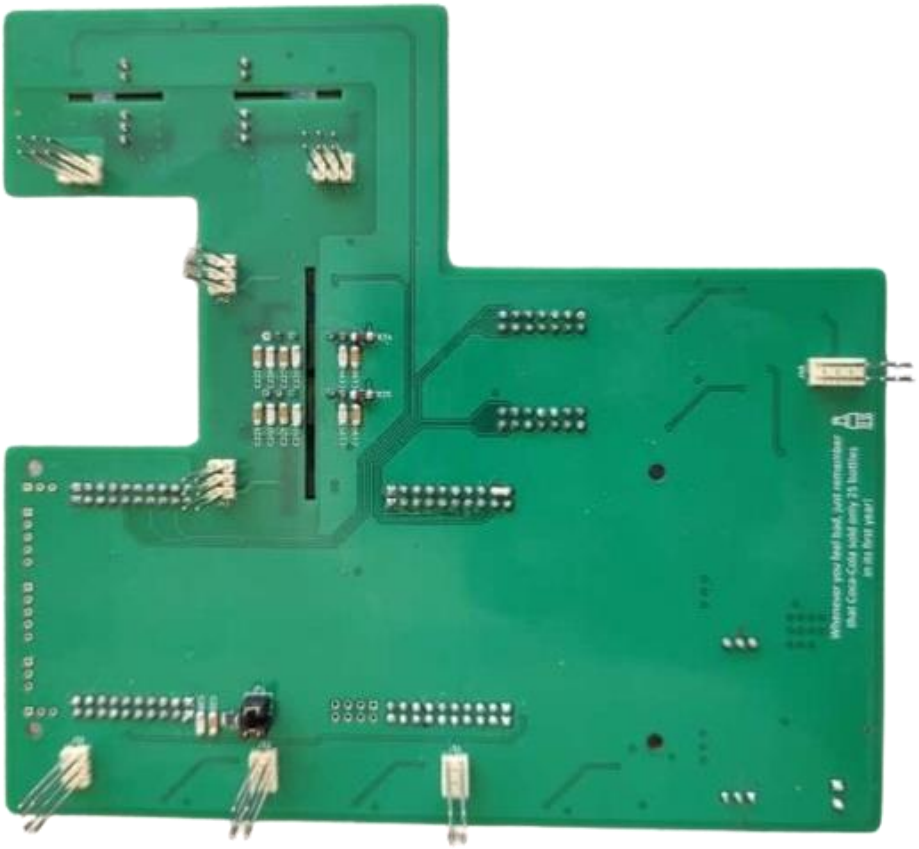


Figura 5.33 - Vista traseira da PCB de controlo da fase *C*.

- **Protótipo Final e Bancada de Teste**

Após a conclusão do desenvolvimento e montagem das diferentes placas, procedeu-se à integração física do sistema, resultando no protótipo final do conversor *T-Type*, apresentado na Figura 5.34.

Do lado CA foram acopladas bobinas de interface, com o objetivo de limitar a corrente de comutação e reduzir o conteúdo harmónico injetado na rede elétrica. Para proteção e facilidade de operação, foram integrados disjuntores tripolares em pontos estratégicos do circuito. Um primeiro disjuntor permite a medição das tensões da rede elétrica através dos sensores de tensão presentes na PCB. Um segundo estabelece a ligação entre a rede elétrica, as bobinas e, consequentemente, a PCB de potência, conduzindo o sinal até aos sensores de corrente. Por fim, um terceiro disjuntor permite conectar a parte CA às resistências de potência, possibilitando o funcionamento do protótipo em modo inversor durante ensaios controlados.

Do lado CC foi implementada uma carga resistiva de aproximadamente 104 Ω, constituída por quatro resistências de 26 Ω ligadas em série. Esta configuração permite dissipar a energia proveniente do conversor de forma segura, garantindo o equilíbrio das tensões no barramento e possibilitando a realização de testes em diferentes condições de operação. Na Figura 5.35, encontra-se representada a bancada de trabalho com todas as ligações, já na Figura 5.36, está representado o protótipo final da dissertação com tudo acoplado. De realçar que as placas de controlo foram alimentadas a partir de uma fonte externa de 15 V.

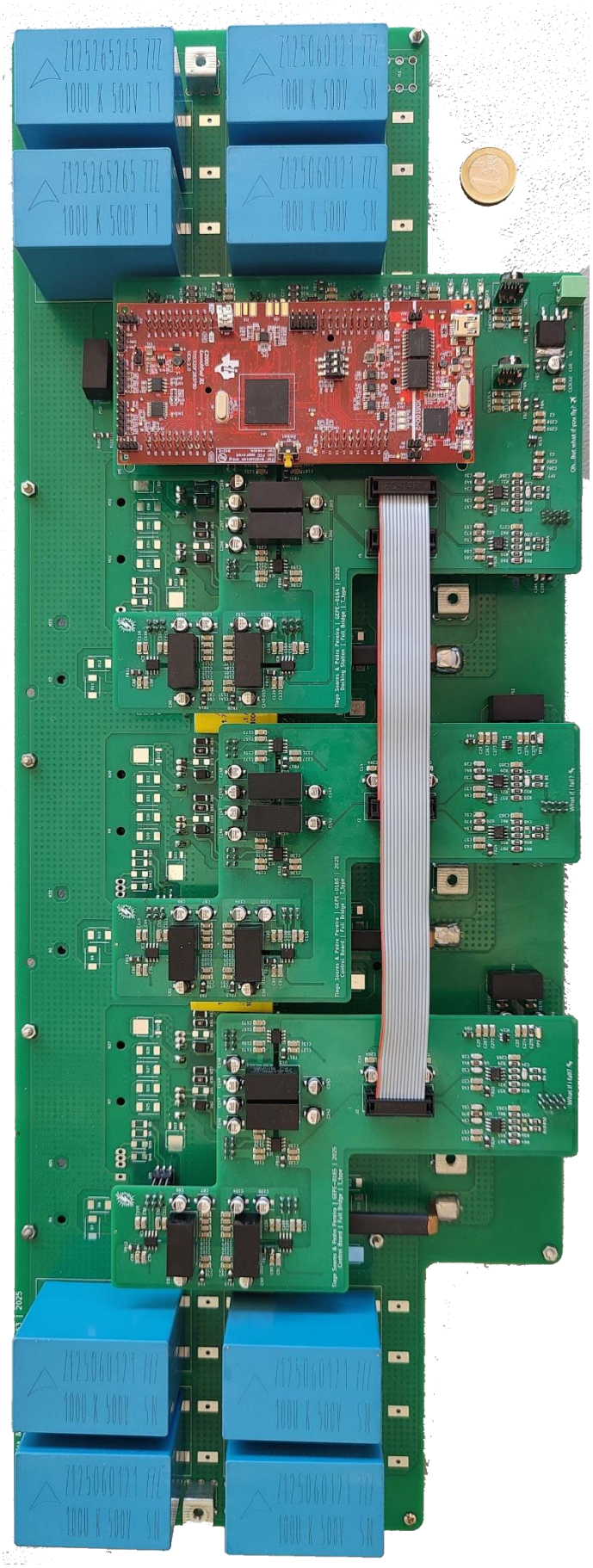


Figura 5.34 - Protótipo final do conversor *T-Type*.

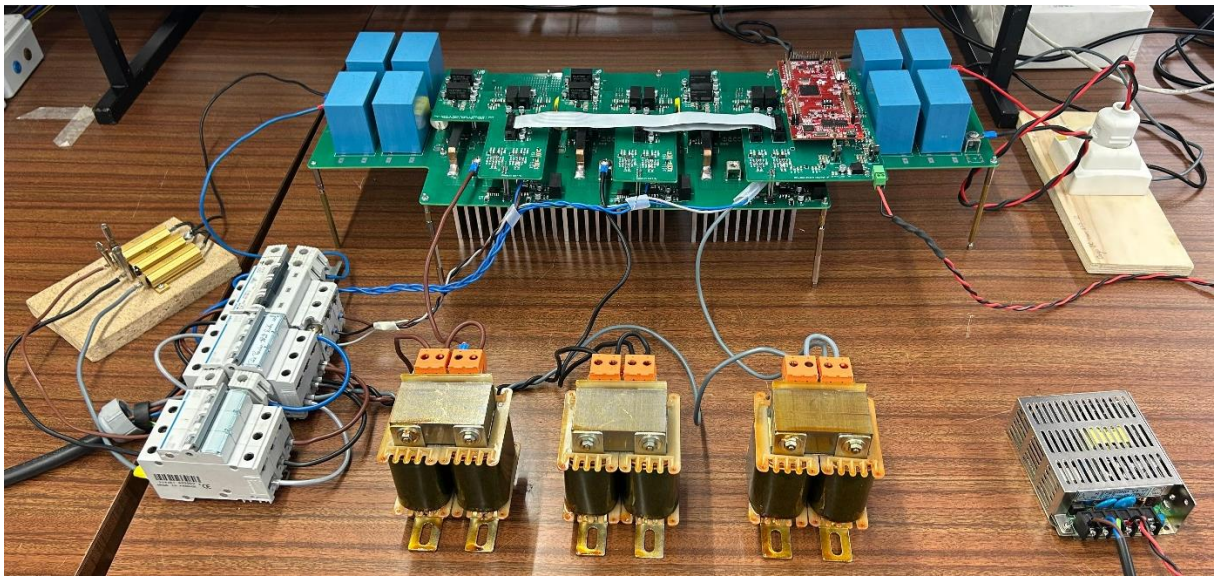


Figura 5.35 - Bancada de trabalho com o protótipo e respetivas ligações.

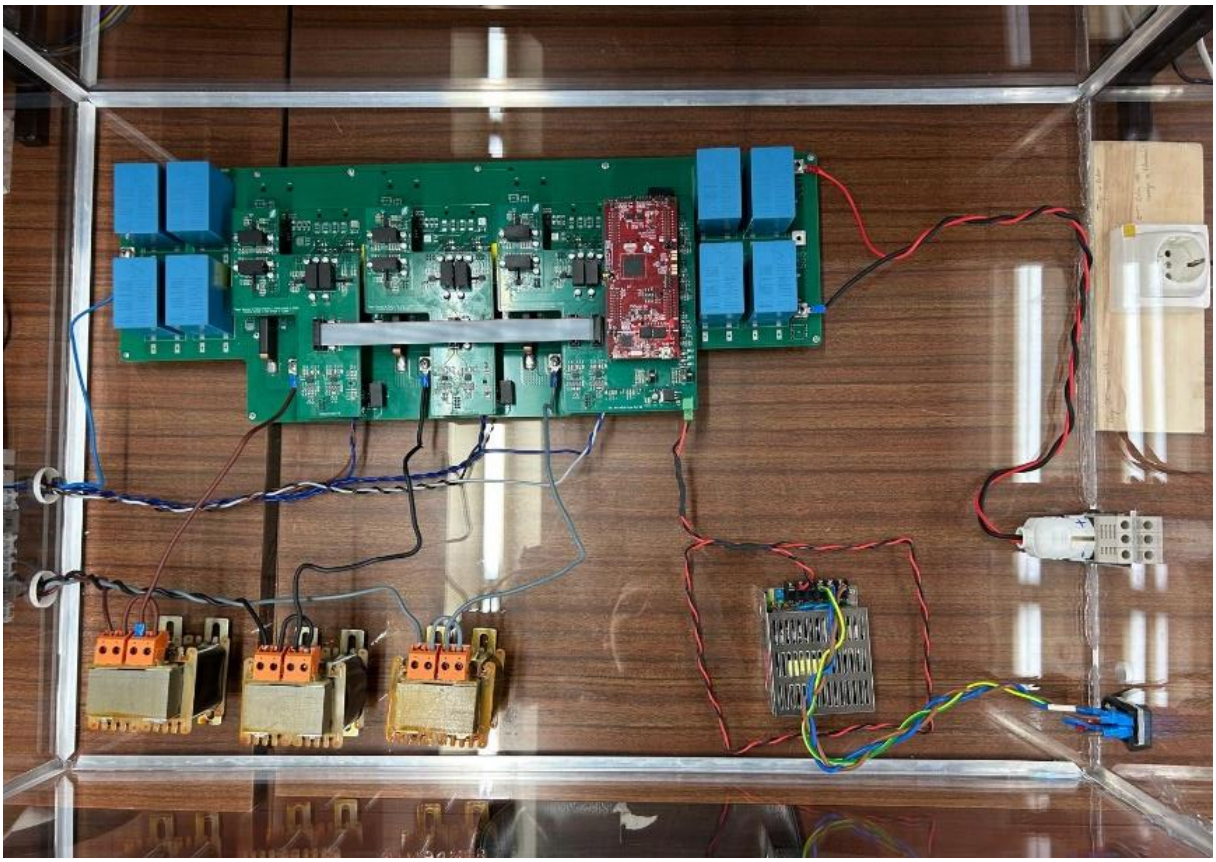


Figura 5.36 - Protótipo final da dissertação.

5.5 Conclusões

Neste capítulo foi apresentado o processo de implementação e desenvolvimento do protótipo do conversor *T-Type*, abrangendo tanto o sistema de controlo como o sistema de potência. A conceção do

hardware foi realizada com o objetivo de garantir fiabilidade, modularidade e facilidade de integração, refletindo as opções de projeto validadas na fase de simulação.

O sistema de controlo, baseado numa arquitetura modular composta por três placas independentes, demonstrou elevada flexibilidade, assegurando o isolamento entre os circuitos de comando e de potência. A placa associada à fase *C* integra adicionalmente a DSP, responsável pela execução das estratégias de controlo e modulação. A implementação dos *drivers* e respetivas resistências de *gate* foi cuidadosamente dimensionada para garantir comutações rápidas e controladas, minimizando as sobretensões e assegurando a imunidade a conduções parasitas.

Relativamente ao sistema de potência, foram integrados semicondutores SiC devido à sua superior eficiência e capacidade de comutação em alta frequência. Complementarmente, foram implementados condensadores *snubber* e de filme para o barramento, com o intuito de reduzir os picos de tensão, limitar o *dv/dt* e estabilizar a tensão do barramento CC. O dimensionamento térmico foi assegurado pela inclusão de dissipadores de calor dedicados a cada braço do conversor, garantindo o funcionamento seguro dos dispositivos.

O desenvolvimento das PCBs de potência e controlo, concebidas em *KiCad*, resultou numa solução compacta e de fácil manutenção. O protótipo final, após a integração de todos os módulos, incluiu dispositivos de proteção, bobinas de interface e cargas resistivas de teste, permitindo a operação tanto em modo retificador como em modo inversor.

Em síntese, o trabalho apresentado neste capítulo consolidou a transição da fase de conceção para a implementação prática do conversor trifásico *T-Type*, materializando um sistema experimental plenamente funcional e preparado para a fase de validação laboratorial. No capítulo seguinte serão apresentados os resultados experimentais obtidos, de forma a avaliar o desempenho do protótipo e confirmar a eficácia das soluções desenvolvidas.

Capítulo 6

Resultados Experimentais

6.1 Introdução

Concluída a fase de implementação e integração do protótipo do conversor trifásico *T-Type*, procedeu-se à realização de ensaios experimentais com o objetivo de validar o seu funcionamento e verificar a correspondência entre os resultados obtidos em simulação e os observados na prática. Esta etapa constitui um marco determinante no processo de desenvolvimento, permitindo confirmar o desempenho real do sistema e avaliar a eficácia das estratégias de controlo e modulação implementadas.

Os testes experimentais foram realizados no laboratório do GEPE (*Group of Energy and Power Electronics*) da Universidade do Minho, recorrendo a instrumentação dedicada à aquisição e análise de sinais elétricos. De forma a validar progressivamente todo o hardware de potência, optou-se por realizar, numa primeira fase, ensaios em regime de inversor e, apenas após a respetiva validação, proceder aos testes em regime de retificador. Esta abordagem permitiu garantir a integridade do sistema e facilitar a deteção de eventuais anomalias nas etapas iniciais.

Adicionalmente, a validação experimental teve início com a topologia *Full-Bridge*, pela sua menor complexidade de implementação, transitando posteriormente para a topologia *T-Type*. Em ambas as configurações, o conversor foi submetido a diferentes condições de operação, com o objetivo de analisar parâmetros relevantes, nomeadamente as formas de onda das tensões e correntes do lado CA e os respetivos valores de THD, o correto funcionamento da PLL e o comportamento do barramento CC. Paralelamente, realizaram-se testes comparativos entre as duas topologias, de modo a confirmar experimentalmente as vantagens associadas à topologia *T-Type*.

Os resultados obtidos são apresentados e analisados nas secções seguintes, evidenciando o desempenho do protótipo em regime estacionário, bem como a sua conformidade com as previsões teóricas e computacionais anteriormente discutidas. Apesar do protótipo ter sido implementado para 25 kW de potência, apenas foram realizados testes ate 250 W. Na Figura 6.1 encontra-se representada a montagem utilizada para a realização das diferentes etapas experimentais.

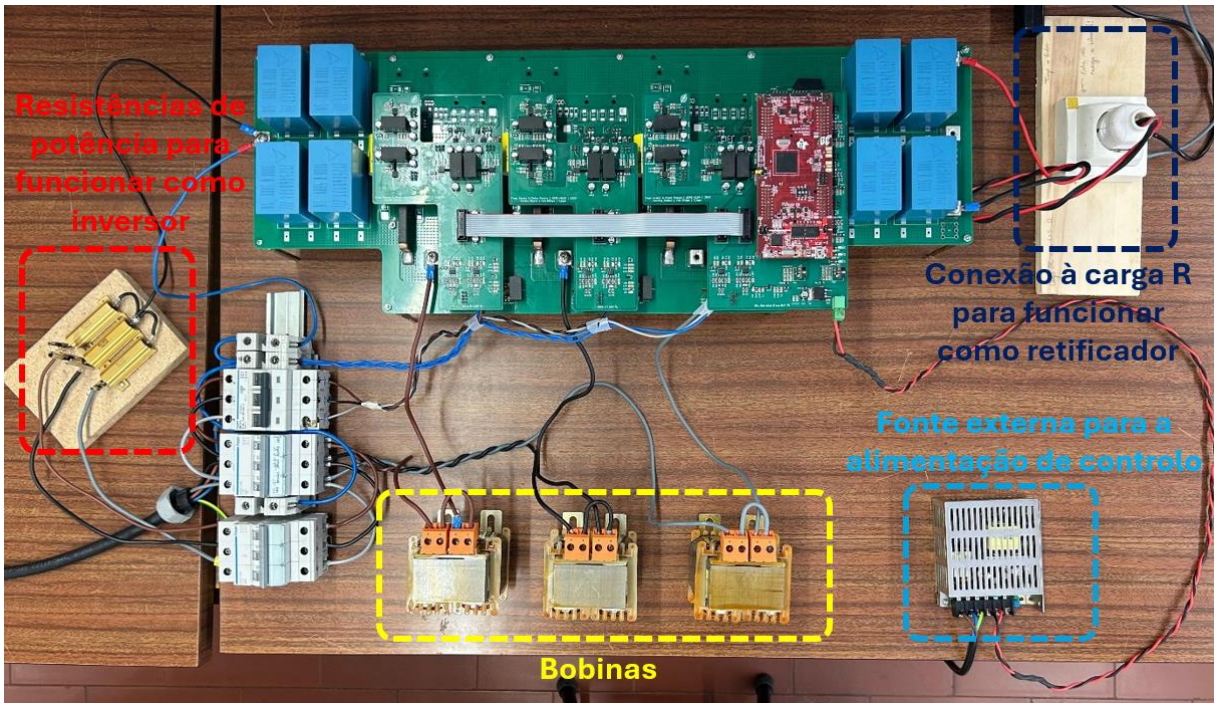


Figura 6.1 - Montagem utilizada para a realização das diferentes etapas experimentais.

6.2 Validação do Conversor *Full-Bridge* como Inversor

Conforme referido anteriormente, a fase experimental teve início com a validação do protótipo a operar em configuração *Full-Bridge*, funcionando em regime de inversor. Esta etapa preliminar teve como objetivo garantir o correto comportamento do circuito de potência, bem como validar o funcionamento do sistema de controlo, incluindo a PLL, os algoritmos de regulação implementados e a técnica de modulação desenvolvida. Antes da transição para a topologia *T-Type*, esta fase permitiu realizar uma verificação gradual e controlada de cada subsistema, assegurando a fiabilidade global do protótipo.

6.2.1 Ensaios sem a indutância de acoplamento à rede elétrica *L*

Os primeiros ensaios foram realizados em malha aberta, com o objetivo de confirmar a correta comutação dos MOSFETs e o funcionamento básico do sistema. Numa fase inicial, ainda sem a inclusão da indutância de acoplamento à rede elétrica (L) no lado CA, foram monitorizadas as tensões *drain-source* (V_{DS}) e *gate-source* (V_{GS}) de cada dispositivo semicondutor.

Os resultados obtidos, apresentados na Figura 6.2, evidenciam que, sempre que a gate é acionada, a tensão V_{DS} tende para zero, confirmando a condução do MOSFET e a correta atuação do circuito de comando. No caso contrário em que gate é desativada, a tensão V_{DS} tende para a tensão aplicada no barramento CC. Para esta análise, foi utilizada uma carga resistiva de 33 Ω no lado de saída e uma

tensão contínua de alimentação (V_{CC}) de 65 V. Mantendo estes valores de dimensionamento, procedeu-se posteriormente à medição das três tensões de saída do inversor, com o objetivo de observar o desfasamento entre fases. Os resultados apresentados na Figura 6.3 demonstram um desfasamento de 120° entre as tensões de linha, confirmando o correto funcionamento trifásico do sistema. Devido à ausência da indutância de acoplamento à rede elétrica, observou-se uma variação significativa da tensão de saída, com amplitudes compreendidas entre aproximadamente ± 32,5 V, comportamento expectável nesta configuração inicial em malha aberta.

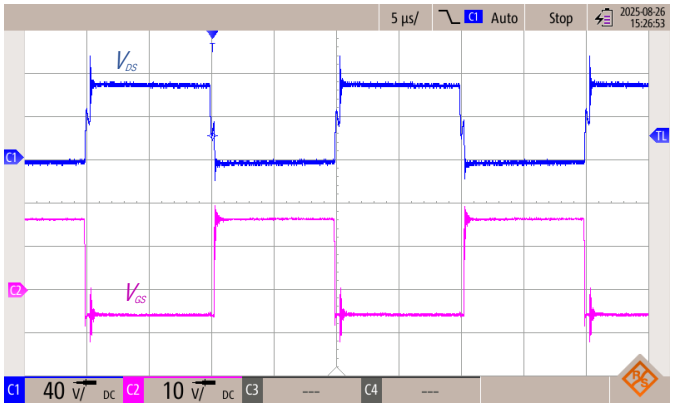


Figura 6.2 - Tensões *drain-source* (V_{DS}) e *gate-source* (V_{GS}) medidas em cada semicondutor, sem a inclusão da indutância de acoplamento à rede elétrica, *L*.

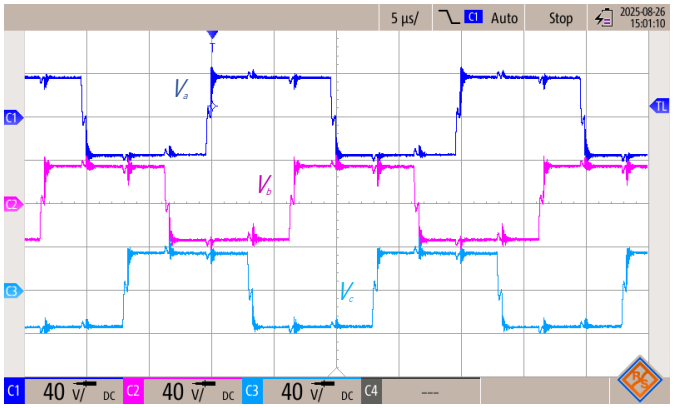


Figura 6.3 - Tensões de saída das três fases (V_a, V_b e V_c) do inversor *Full-Bridge* sem a indutância de acoplamento à rede elétrica, *L*.

6.2.2 Inserção da indutância de acoplamento à rede elétrica *L*

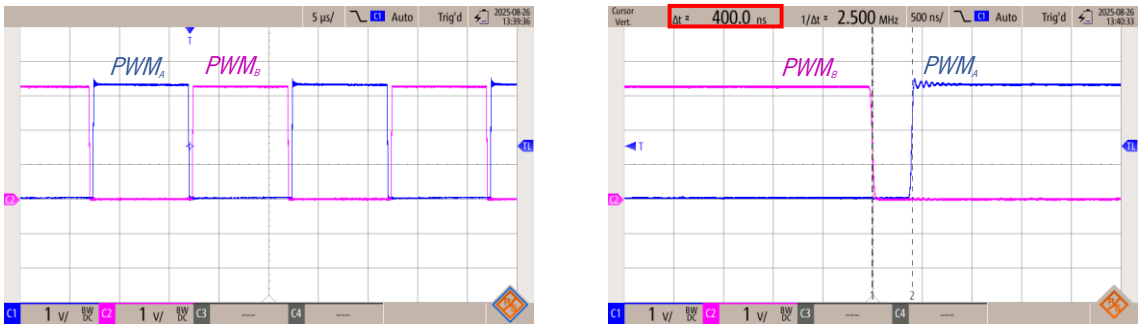
Após a validação inicial do funcionamento do inversor sem a indutância de acoplamento à rede elétrica, procedeu-se à inserção da mesma no lado CA, com o objetivo de analisar o seu impacto na forma de onda de tensão e no comportamento global do sistema. Nesta fase, o conversor manteve a operação em malha aberta, recorrendo a uma *Look-Up Table* (LUT) para gerar as referências sinusoidais.

Para este ensaio, foi utilizada uma carga resistiva de 33 Ω e uma tensão V_{CC} de 65 V, mantendo as mesmas condições de teste do caso anterior. No entanto, antes da realização dos ensaios, tornou-se necessário garantir a existência de um *dead-time* adequado, de modo a evitar curtos-circuitos nos braços do conversor.

Na Figura 6.4(a) apresentam-se os sinais PWM complementares medidos diretamente na DSP, com amplitudes compreendidas entre 0 e 3,3 V, onde se observa a correta comutação dos sinais. Na Figura 6.4(b) é apresentado o mesmo resultado, com destaque para o valor de *dead-time* implementado.

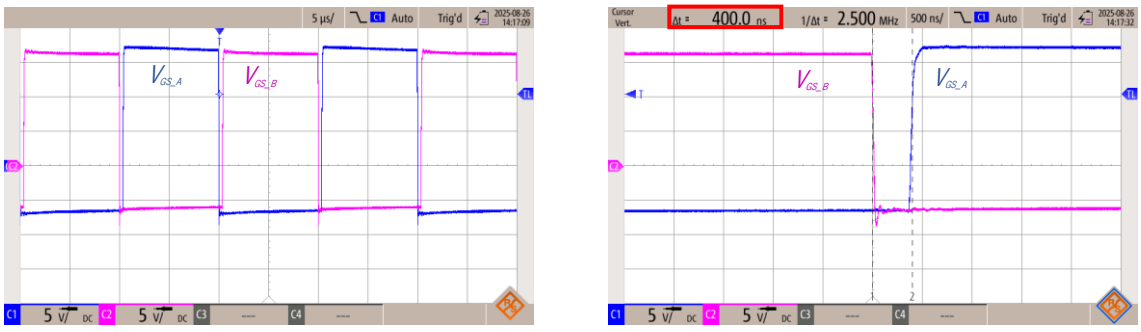
Na Figura 6.5(a) são representados os mesmos sinais, mas medidos nas *gates* dos MOSFETs, com variação entre -5 V e 15 V, confirmando a correspondência entre os sinais gerados pela DSP e os efetivamente aplicados aos semicondutores. Já na Figura 6.5(b) observa-se o mesmo comportamento, também com destaque para o valor de *dead-time* implementado.

Na Figura 6.6(a) encontram-se representados os sinais PWM das três fases, medidos na DSP, desfasados entre si de 120°. Por sua vez, a Figura 6.6(b) apresenta os mesmos sinais medidos nas *gates* dos MOSFETs, onde se confirma o correto sincronismo e desfasagem entre os canais de modulação.



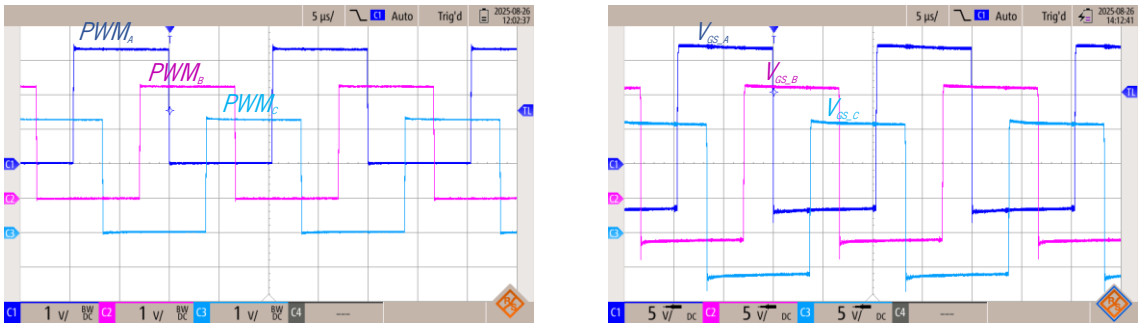
(a) (b)

Figura 6.4 - Sinais de PWM complementares, PWM_A e PWM_B medidos diretamente na DSP (a) e respetivo *dead-time* (b).



(a) (b)

Figura 6.5 - Sinais de PWM complementares, V_{GS_A} e V_{GS_B} medidos diretamente na *gate* (a) e respetivo *dead-time* (b).



(a) (b)

Figura 6.6 - Sinais de PWM das três fases gerados na DSP (PWM_A, PWM_B e PWM_C) (a) e medidos nas gates dos MOSFETs (V_{GS_A}, V_{GS_B} e V_{GS_C}) (b), desfasados entre si de 120°.

Posto isto, a Figura 6.7 apresenta as formas de onda das três tensões de saída do inversor *full-bridge*, já com a indutância de acoplamento L inserida. Verifica-se que as tensões exibem um perfil significativamente mais sinusoidal, evidenciando a atenuação das componentes harmónicas de alta frequência proporcionada pela indutância. De forma complementar, a Figura 6.8 apresenta, com maior detalhe, a tensão correspondente à fase *A*, onde é possível observar a frequência de comutação de 50 kHz, e o *ripple* da tensão de saída, aproximadamente 5 V (pico a pico). Este ensaio constitui uma etapa intermédia essencial, servindo de transição para o teste final do conversor.

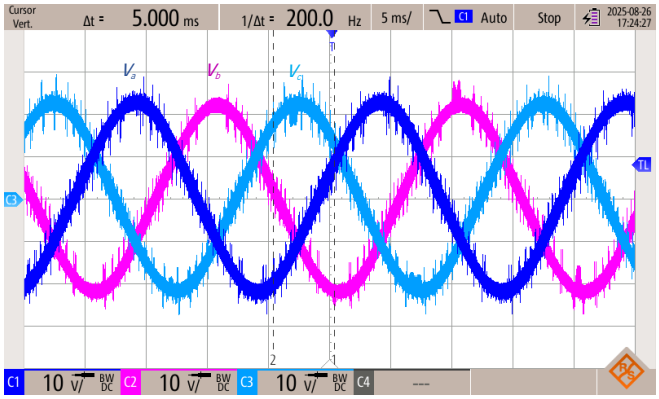


Figura 6.7 - Tensões de saída das três fases (v_a, v_b e v_c) do inversor *Full-Bridge* com a indutância de acoplamento à rede elétrica, L.

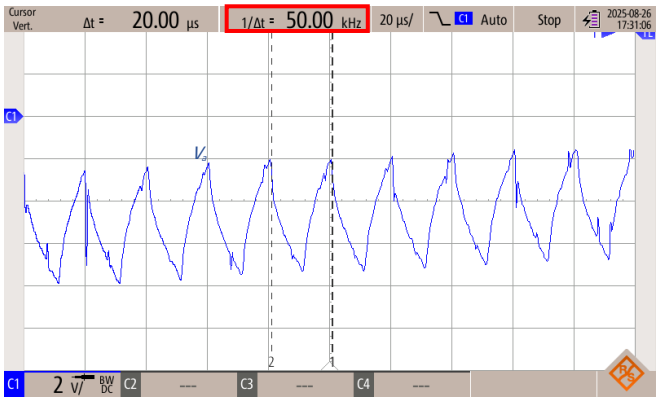
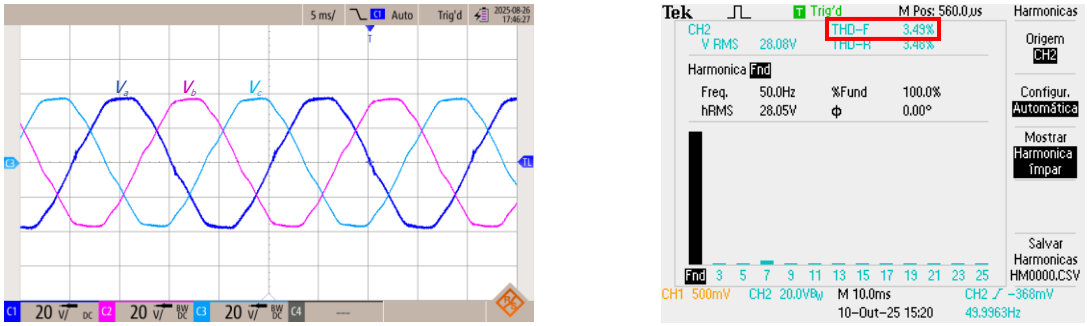


Figura 6.8 - Tensão de saída da fase *A* (v_a), evidenciando o *ripple* e a frequência de comutação.

6.2.3 Validação da PLL

Após as validações anteriores, procedeu-se à implementação do controlo de corrente. Para tal, tornou-se igualmente necessário validar o funcionamento da PLL, uma vez que os algoritmos de sincronismo com a rede elétrica assumem um papel de elevada importância por fornecerem ao microcontrolador a informação da fase da rede elétrica, essencial para garantir a correta sincronização do sistema com a rede elétrica.

Na Figura 6.9(a) apresentam-se as tensões da rede elétrica trifásica do laboratório do GEPE. Importa salientar que as tensões não possuem o valor nominal de 230 V eficazes, mas sim de 25 V eficazes, uma vez que foi inserido um transformador trifásico de 230 V/25 V entre a rede elétrica e o conversor, resultando numa amplitude máxima aproximada de 35,4 V. Já a Figura 6.9(b) demonstra a análise espetral da tensão correspondente à fase *A* da rede elétrica.



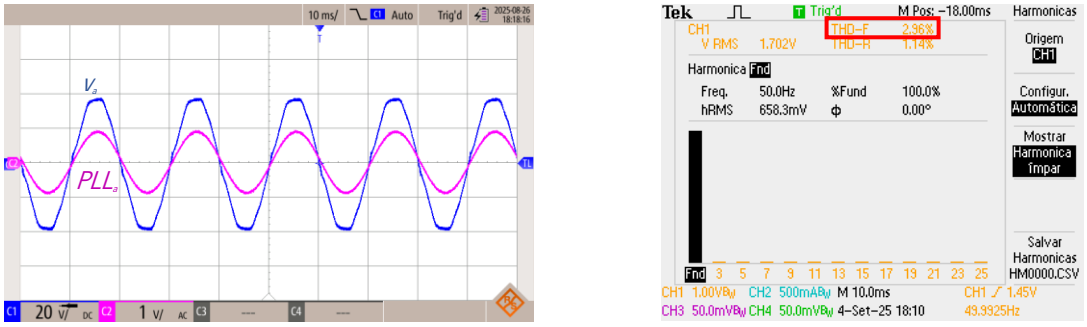
(a) (b)

Figura 6.9 - Tensões da rede elétrica trifásica do laboratório do GEPE (v_a, v_b e v_c) (a) e análise espetral de uma das fases (b).

Na Figura 6.10(a) é apresentada a tensão da fase *A* (canal 1) e a tensão sintetizada pela PLL (canal 2). Verifica-se que o sinal gerado pela PLL apresenta uma forma de onda com crista mais definida e menos distorcida face à tensão da rede elétrica. Já a Figura 6.10(b) apresenta a análise espetral da tensão da PLL correspondente à fase *A*, onde se observa um valor de THD-F (*Total Harmonic Distortion – Fundamental*) de 2,96%. Este resultado demonstra que a PLL reduz a distorção harmónica total da tensão da rede elétrica de 3,49% para 2,96%.

Para uma análise mais completa do sincronismo, a Figura 6.11 apresenta simultaneamente as três tensões da rede elétrica trifásica e o ângulo de fase (ω_t) estimado pela PLL. Observa-se que a variação linear de ω_t acompanha de forma contínua a evolução temporal das tensões, confirmando o alinhamento coerente entre o sinal de referência interno e as tensões medidas. O incremento regular de ωt ao longo do tempo demonstra a estabilidade da frequência angular estimada e a ausência de oscilações ou

descontinuidades, assegurando a precisão do sincronismo e a fiabilidade das referências de corrente utilizadas no controlo do conversor.



(a) (b)

Figura 6.10 - Tensão medida da fase *A* (v_a) e tensão sintetizada pela PLL (PLL_a) (a) e respetiva análise espetral (b).

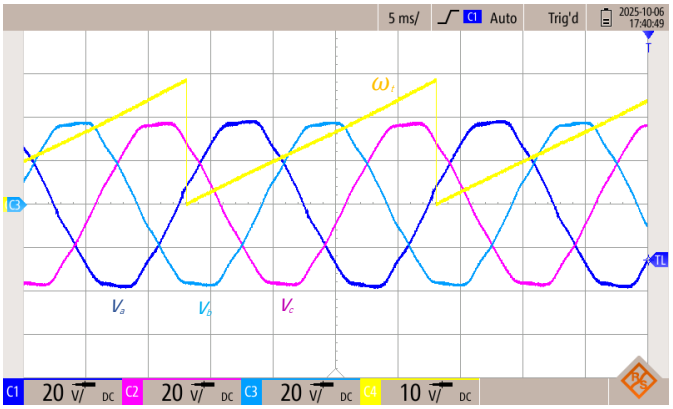


Figura 6.11 - Tensões da rede elétrica trifásica (v_a, v_b e v_c) com o ângulo de fase (ω_t) calculado pela PLL.

Embora a PLL proporcione uma redução do THD, observa-se um pequeno desfasamento, de 2,156°, como evidenciado na Figura 6.12, entre a tensão medida na rede elétrica e o sinal gerado pela PLL. Entre as principais causas deste desfasamento destacam-se o tempo de processamento necessário ao microcontrolador para a execução do algoritmo de sincronismo, o tempo de resposta do DAC para atingir o nível de tensão de saída desejado e o compromisso inerente entre o valor de THD e o desfasamento, uma vez que a redução de um tende a agravar o outro.

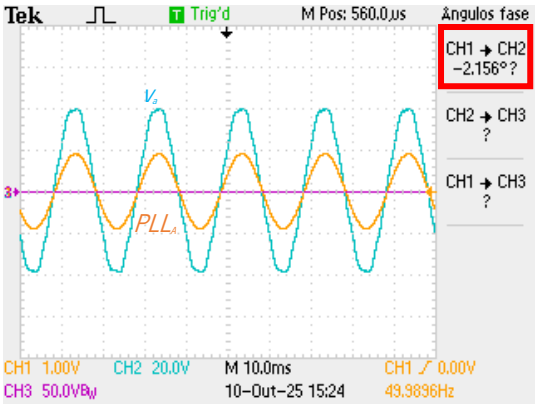


Figura 6.12 - Ângulo de desfasamento entre a tensão medida (V_a) na rede elétrica e o sinal gerado pela PLL (PLL_a).

6.2.4 Validação do Conversor *Full-Bridge* em Malha Fechada

Após a verificação do correto funcionamento do conversor *Full-Bridge* em malha aberta e da validação dos algoritmos de sincronismo e medição, procedeu-se à realização dos ensaios em malha fechada. Estes ensaios tiveram como principal objetivo avaliar o comportamento do sistema sob controlo de corrente, tanto em operação isolada com carga resistiva, como em injeção direta na rede elétrica.

- **Ensaios com carga resistiva**

Inicialmente, o controlo foi testado em regime isolado, com o conversor a injetar corrente em três cargas puramente resistivas ligadas em estrela, com o objetivo de simular o comportamento de uma rede elétrica. Esta abordagem permitiu validar a estabilidade do controlador, o correto seguimento das referências de corrente e a resposta dinâmica do sistema, sem risco de perturbações na rede elétrica. Nesta fase foi implementado o controlo de corrente preditivo, selecionado pela sua simplicidade e elevado desempenho.

Durante esta etapa, analisaram-se as formas de onda da corrente da fase *A* em comparação com o sinal de referência fornecido pela PLL da mesma fase, como ilustrado na Figura 6.13, onde se observa um desfasamento de 180°, conforme previsto. A carga resistiva foi dimensionada para 33 Ω em cada ramo, enquanto a tensão contínua de entrada (V_{DC}) foi fixada em 120 V. Para obter o valor de referência da PLL, foram medidos os valores instantâneos da tensão da rede elétrica através dos sensores do lado CA, apesar de a saída do inversor se encontrar ligada à carga resistiva. Os resultados obtidos evidenciam o correto funcionamento do controlo de corrente, apresentando boa linearidade e reduzido erro de seguimento.

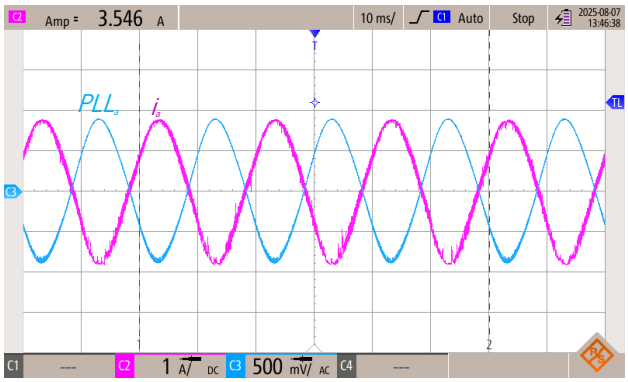


Figura 6.13 - Corrente da fase *A* (i_a) e sinal de referência da PLL (PLL_a) da mesma fase, evidenciando o desfasamento de 180°.

- **Ensaios de injeção na rede elétrica**

Concluída a validação em carga resistiva, o conversor foi ligado à rede elétrica através do transformador trifásico de isolamento de 230 V/25 V, permitindo a injeção controlada de corrente e assegurando uma tensão reduzida adequada à validação experimental do sistema. Tal como nos ensaios realizados com carga resistiva, procedeu-se à avaliação da sincronização entre a corrente gerada numa das fases, a tensão da rede elétrica e o sinal de referência fornecido pela PLL, conforme ilustrado na Figura 6.14. À semelhança do caso anterior, observa-se que a tensão da fase *A* e o sinal gerado pela PLL correspondente encontram-se desfasados em 180°, conforme previsto.

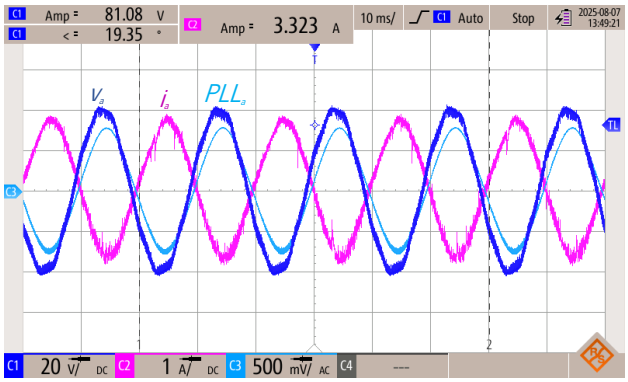


Figura 6.14 – Tensão (v_a) e corrente da fase *A* (i_a) e sinal de referência da PLL (PLL_a) da mesma fase.

Após esta fase inicial de validação, o ensaio foi replicado para as três fases. As formas de onda das correntes injetadas foram então observadas, evidenciando o desfasamento de 120° entre si, em conformidade com o comportamento esperado de um sistema trifásico equilibrado. Na Figura 6.15 encontram-se representadas as três correntes injetadas, juntamente com o sinal de referência da PLL correspondente à tensão da fase *A*. De frisar que, em comparação com os ensaios realizados com carga resistiva, as correntes apresentam um maior ripple, resultante das impedâncias de linha do

transformador de isolamento, as quais introduzem pequenas oscilações adicionais na forma de onda da corrente.

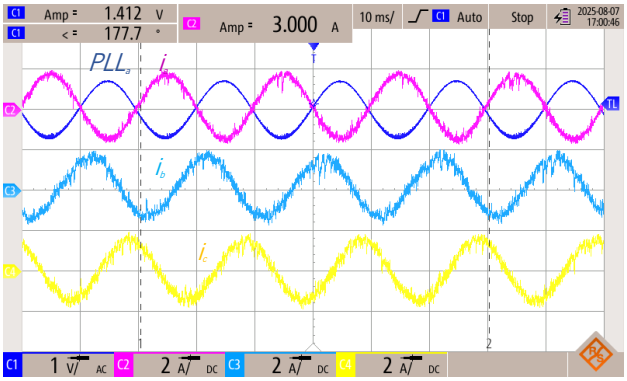


Figura 6.15 – Sinal da PLL da fase *A* (PLL_a) e correntes injetadas nas fases *A*, *B* e *C* (i_a, i_b e i_c).

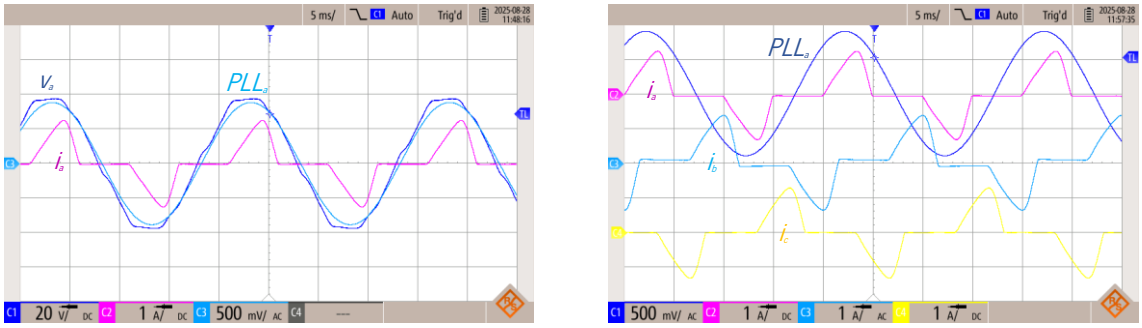
Após a validação do conversor *Full-Bridge* em modo inversor, procedeu-se à sua operação em modo retificador, com o objetivo de aproximar o ensaio das condições reais de funcionamento e do propósito final da dissertação, centrado na validação do retificador *T-Type*. Manteve-se, contudo, a configuração *Full-Bridge* nesta fase.

6.3 Validação do Conversor *Full-Bridge* como Retificador

Depois de comprovado o correto funcionamento do conversor *Full-Bridge* em modo inversor e validados os algoritmos de controlo, o sistema de sincronismo (PLL) e as restantes funcionalidades essenciais, avançou-se para a fase de operação em modo retificador. Esta etapa experimental teve como finalidade avaliar o desempenho do conversor na conversão de energia do lado CA para o lado CC, aproximando o seu funcionamento das condições reais de operação previstas para o retificador *T-Type*.

Inicialmente, decidiu-se converter a energia de forma passiva, através da condução da corrente pelos díodos em antiparalelo com os MOSFETs. De forma a validar este comportamento, o conversor foi ligado à rede elétrica através do transformador trifásico de isolamento de 230 V/25 V, sem atuação do circuito de comando dos semicondutores. Nesta configuração, o fluxo de corrente ocorre naturalmente pelos díodos, garantindo o funcionamento básico do retificador de forma não controlada. Esta etapa teve como principal objetivo verificar a integridade dos circuitos de potência, a polaridade das ligações e o correto percurso da corrente durante o processo de retificação passiva, assegurando as condições de segurança necessárias antes da implementação do controlo ativo do retificador. Na Figura 6.16(a), encontra-se representada a tensão aplicada na fase *A* pela rede elétrica (canal 1), bem como o sinal da PLL da mesma fase (canal 3) e a respetiva corrente (canal 2), onde são observáveis as típicas arcadas que

caracterizam a forma de onda da corrente nestes retificadores quando operam de forma passiva. Já na Figura 6.16(b) apresentam-se as três correntes desfasadas de 120° entre si (canais 2, 3 e 4) e o sinal da PLL da fase *A* (canal 1).



(a) (b)

Figura 6.16 - Tensão da fase *A* da rede elétrica (v_a), corrente da fase *A* (i_a) e sinal da PLL correspondente (PLL_a) durante a operação passiva do retificador (a); correntes das três fases (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) durante a mesma condição (b).

Complementarmente, procedeu-se à análise espetral de uma das correntes de fase durante a operação passiva do retificador, ilustrada na Figura 6.17. Verifica-se um valor de THD-F de 70,4 %, evidenciando o elevado conteúdo harmónico típico deste tipo de retificação não controlada. As harmónicas ímpares de 3.ª e 5.ª ordem destacam-se como as componentes mais expressivas, seguidas de contribuições de menor amplitude até à 13.ª ordem. Este comportamento justifica a forma de onda característica observada nas figuras anteriores, com as "arcadas" associadas à condução descontínua dos díodos, e confirma o funcionamento de um retificador trifásico de seis pulsos em modo passivo. A análise espetral permite, assim, validar o percurso de corrente e a integridade do circuito de potência antes da implementação do controlo ativo.

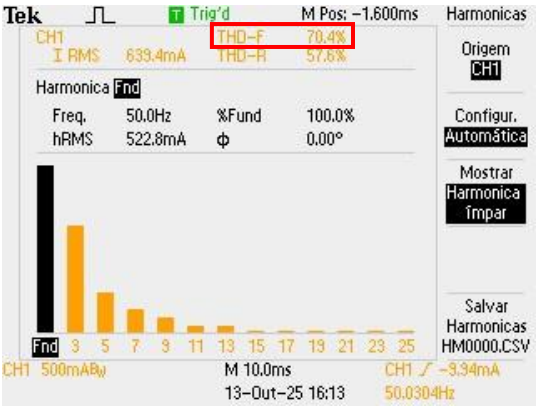
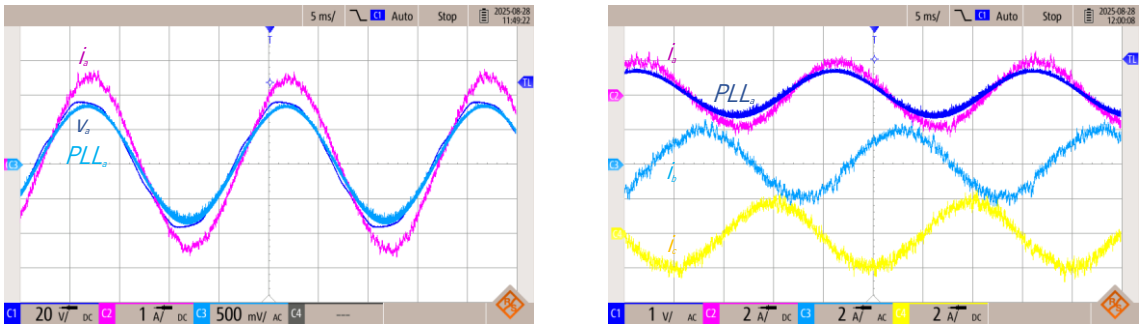


Figura 6.17 - Análise espetral da corrente de uma fase durante a operação passiva do retificador *Full-Bridge*.

De seguida, optou-se por repetir os mesmos ensaios, desta vez com comutação ativa, mas ainda sem controlo do barramento CC, de forma a avaliar o comportamento do conversor sob operação ativa. Assim,

foram medidos os mesmos sinais do caso anterior: a tensão aplicada à fase *A* pela rede elétrica (canal 1), a corrente da fase *A* (canal 2) e o sinal da PLL correspondente (canal 3), conforme ilustrado na Figura 6.18(a). Já na Figura 6.18(b) apresentam-se as três correntes desfasadas de 120° entre si (canais 2, 3 e 4) e o sinal da PLL da fase *A* (canal 1). Comparativamente à operação passiva, observa-se que as correntes apresentam agora uma forma de onda sinusoidal e suave, sem as arcadas características da condução pelos díodos. Estes resultados confirmam o correto acionamento dos MOSFETs e o funcionamento adequado do algoritmo de comutação, validando o comportamento do conversor em regime ativo antes da implementação do controlo completo do barramento CC.



(a) (b)

Figura 6.18 - Tensão da fase *A* da rede elétrica (v_a), corrente da fase *A* (i_a) e sinal da PLL correspondente (PLL_a) durante a operação com comutação ativa do retificador (a); correntes das três fases (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) durante a mesma condição (b).

Após a validação do funcionamento do conversor com comutação ativa, implementou-se o controlo do barramento CC, de forma a garantir a regulação da tensão contínua no nível pretendido. Para esta fase, foi definido um valor de referência de 120 V para o barramento, assegurando condições de operação estáveis e compatíveis com os ensaios anteriores. A implementação deste controlo permitiu avaliar a resposta dinâmica do sistema face a variações de carga e confirmar a eficácia do regulador de tensão no lado CC. Na Figura 6.19 observa-se o correto funcionamento da PLL e da corrente de uma das fases (canais 1 e 2, respetivamente), bem como a tensão do barramento CC, que apresenta um valor médio de 119,8 V (canal 3), confirmando a estabilidade e precisão do controlo implementado.

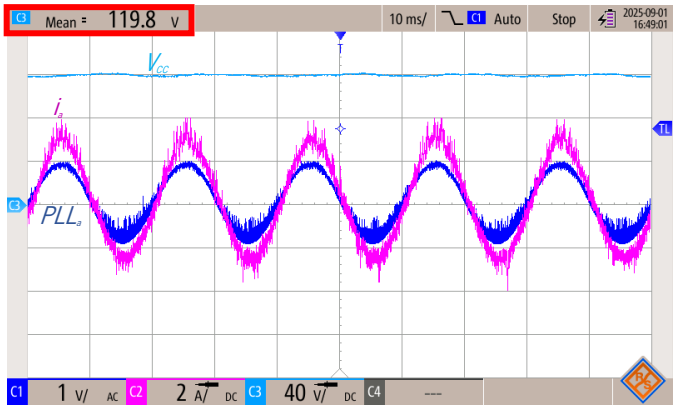
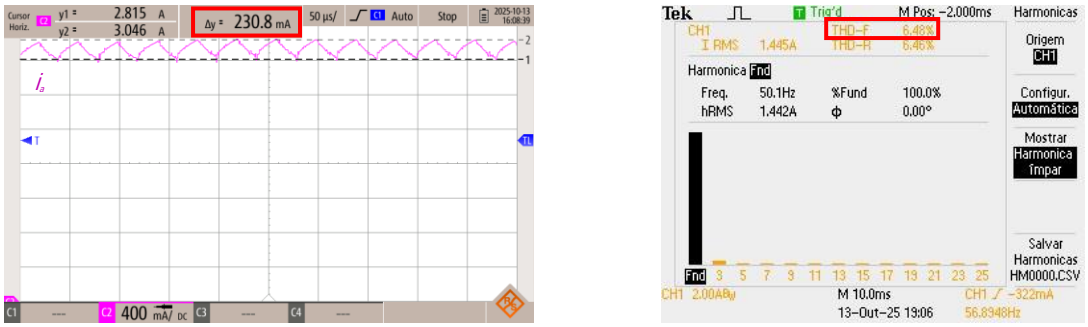


Figura 6.19 - Sinal da PLL (PLL_a) e corrente de uma das fases (i_a), bem como a tensão do barramento CC (V_{cc}).

De seguida, optou-se por registar o valor de *ripple* de uma das correntes, apresentado na Figura 6.20(a), bem como o respetivo valor de THD, ilustrado na Figura 6.20(b). Esta análise visa quantificar a qualidade da corrente e avaliar o impacto das componentes harmónicas presentes na forma de onda. Os valores obtidos servirão como referência inicial para comparação com os resultados das topologias *T-Type Vienna* e *T-Type* convencional, permitindo analisar a evolução do desempenho do sistema ao longo das diferentes configurações implementadas.



(a) (b)

Figura 6.20 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *Full-Bridge*.

Por fim, procedeu-se à medição da tensão entre dois braços do conversor, neste caso entre os braços *A* e *B* (V_{ab}), cuja forma de onda era expectável apresentar três níveis distintos, conforme descrito na Subsecção 4.2, e ilustrado na Figura 4.4. A Figura 6.21 confirma este comportamento, evidenciando de forma clara os três níveis de tensão previstos para a topologia *Full-Bridge* (canal 1), bem como a tensão da fase *A* (canal 2).

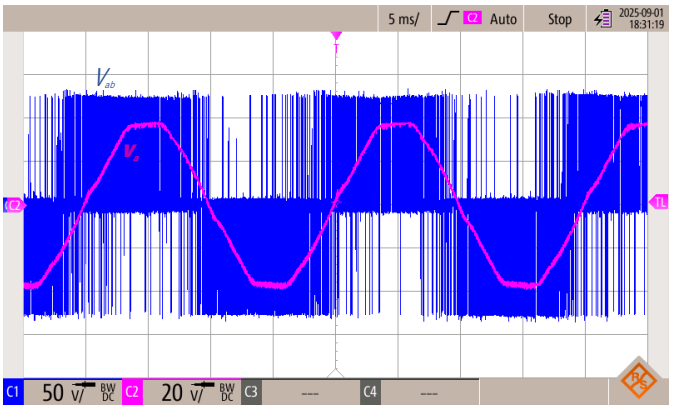
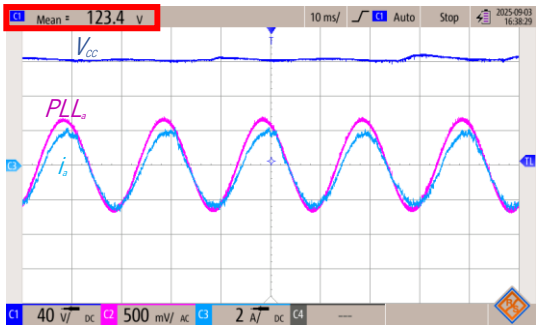


Figura 6.21 - Tensão entre os braços *A* e *B* do conversor (V_{ab}) e tensão da fase *A* (V_a), da topologia *Full-Bridge*.

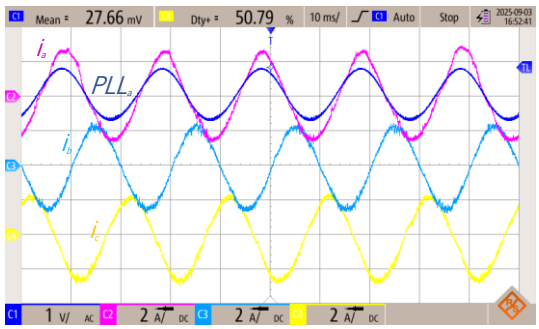
6.4 Validação do Conversor *T-Type Vienna Rectifier*

Após a validação do conversor *Full-Bridge* em modo retificador, procedeu-se à implementação da topologia intermédia *T-Type Vienna rectifier*, que serviu como etapa transitória para alcançar a configuração *T-Type* convencional. Esta fase teve como principal objetivo verificar o correto funcionamento das células bidirecionais e validar o comportamento do circuito sob condições de operação reais, assegurando a integridade do sistema antes da ativação completa da topologia final. Importa salientar que, nesta configuração, apenas os semicondutores de baixa tensão, correspondentes às células bidirecionais, se encontravam em operação, mantendo-se os dispositivos de alta tensão inativos.

Numa primeira fase, optou-se por medir o sinal da PLL correspondente à fase *A* (canal 2), a corrente da mesma fase (canal 3) e a tensão do barramento do lado CC (canal 1), cuja referência foi fixada em 120 V, conforme ilustrado na Figura 6.22(a). Posteriormente, foram medidas as três correntes do lado CA (canais 2, 3 e 4), bem como o sinal da PLL da fase *A* (canal 1), como se observa na Figura 6.22(b). Tal como nos ensaios anteriores, os resultados obtidos correspondem ao comportamento esperado.



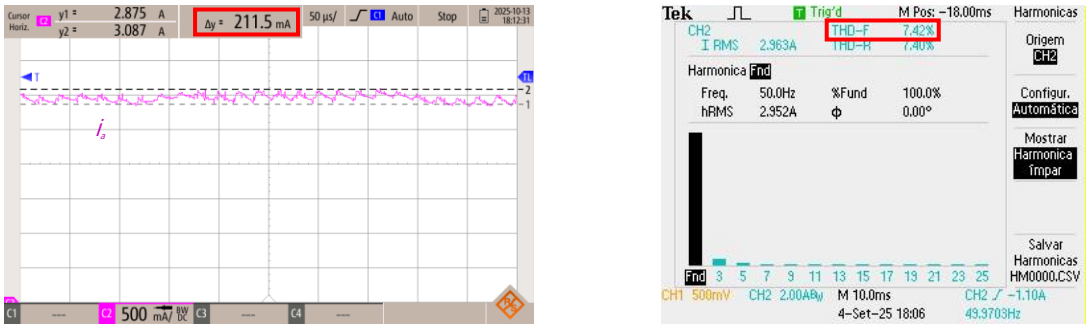
(a)



(b)

Figura 6.22 - Tensão do barramento CC (V_{cc}), sinal da PLL da fase *A* (PLL_a) e corrente da mesma fase (i_a) (a); correntes das três fases do lado CA (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) (b); para a topologia *T-Type Vienna rectifier*.

De seguida, registaram-se o valor de *ripple* de uma das correntes e o respetivo valor de THD, apresentados na Figura 6.23(a) e na Figura 6.23(b). Comparando com os resultados obtidos para o conversor *Full-Bridge*, ilustrados na Figura 6.20, verifica-se que o *ripple* de corrente da variante *Vienna* é inferior. Tal deve-se ao facto de esta topologia apresentar um maior número de níveis de tensão composta à saída do indutor, cinco níveis em vez de três como no *Full-Bridge*, o que resulta numa forma de onda mais suave e menos sujeita a variações abruptas de tensão (dv/dt). No que respeita ao THD, observa-se um valor superior na variante *Vienna*, consequência direta do modo de condução passivo adotado neste conversor, em que os díodos assumem a comutação no lugar dos MOSFETs de alta tensão, reduzindo a capacidade de controlo ativo sobre a forma de onda da corrente.



(a) (b)

Figura 6.23 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *T-Type Vienna rectifier*.

Por fim, procedeu-se à medição da tensão entre os braços *A* e *B* do conversor (V_{ab}), com o objetivo de observar o comportamento característico desta configuração intermédia, nomeadamente o número de níveis de tensão composta à saída do indutor, conforme referido no parágrafo anterior. Nesta fase, a forma de onda de V_{ab} apresenta cinco níveis distintos, típicos das duas variantes da topologia *T-Type* analisadas ao longo da dissertação, conforme ilustrado na Figura 4.26, evidenciando ainda a influência da estratégia de modulação adotada para o *T-Type*. A Figura 6.24 confirma este comportamento, onde se distinguem de forma clara os cinco níveis de tensão em V_{ab}.

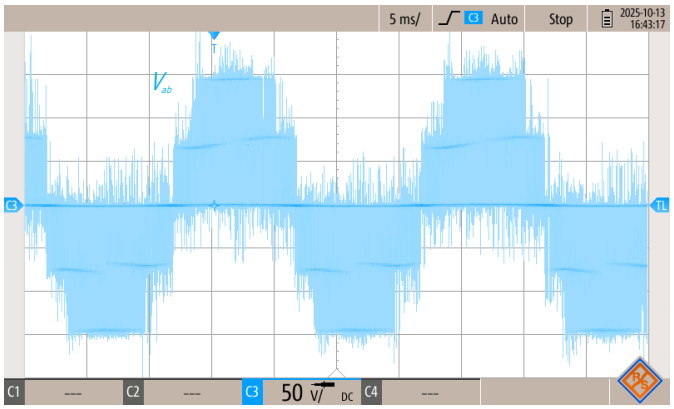


Figura 6.24 - Tensão entre os braços *A* e *B* (V_{ab}) do conversor *T-Type Vienna rectifier*.

6.5 Validação do Conversor *T-Type* Convencional

Após a validação da configuração *T-Type* em modo *Vienna rectifier*, avançou-se para a análise experimental do *T-Type* convencional, etapa final de verificação do sistema. Esta topologia diferencia-se por recorrer à comutação ativa de todos os semicondutores, possibilitando a redução do THD nas correntes do lado da rede elétrica. Em contrapartida, aumenta a exigência sobre a implementação, em particular na gestão de *dead-time* e na sincronização entre braços. Esta dificuldade é agravada pelo facto de, conforme descrito na subsecção 5.2.1, ter sido necessário desativar a complementaridade nativa dos canais PWM pares, impondo-a por via de lógica dedicada.

6.5.1 Validação da complementaridade e do *dead-time* dos PWMs do *T-Type* convencional

Antes de prosseguir para os ensaios funcionais do *T-Type* convencional, tornou-se, portanto, imprescindível qualificar o desempenho da estratégia adotada para gerar manualmente a complementaridade e garantir o *dead-time*. A Figura 6.25 apresenta os registos de V_{GS} dos pares *6A–1A* (canal 1 e canal 2) e *6B–1B* (canal 3 e canal 4). Note-se que, apesar de em operação normal a comutação do par *6A–1A* exigir que *6B* e *1B* permaneçam inativos e vice-versa, o objetivo deste ensaio limitou-se a verificar (i) a independência entre *1A* e *1B* e entre *6A* e *6B* e (ii) a complementaridade intra-par. Para tal, aplicou-se um *duty-cycle* de 90% com *dead-time* de 8% no par *6A–1A* e de 60% com *dead-time* de 8% no par *6B–1B*, confirmando-se a ausência de sobreposição entre impulsos e a adequada gestão do *dead-time*. O *dead-time* foi repartido equitativamente entre os dois sinais PWM de cada par, de forma a evitar a descompensação de apenas um dos dispositivos. Assim, no caso do par *6A–1A* (canal 1 e canal 2), o valor efetivo do *duty-cycle* foi ajustado, reduzindo-se aproximadamente 4% em cada um dos sinais, correspondendo, respetivamente, a 86,41% e 6,463%, em vez de aplicar a totalidade da

compensação a apenas um deles (90% e 2%). Esta repartição assegura uma comutação equilibrada entre os dispositivos do mesmo par e previne o desequilíbrio dinâmico na transferência de carga, mantendo o controlo simétrico e o *dead-time* efetivo entre os pulsos complementares.

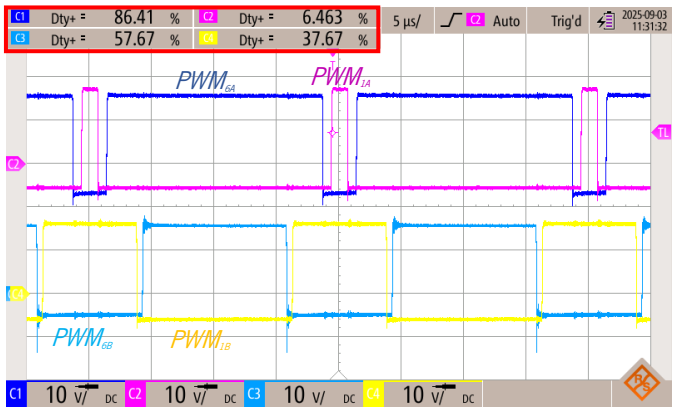
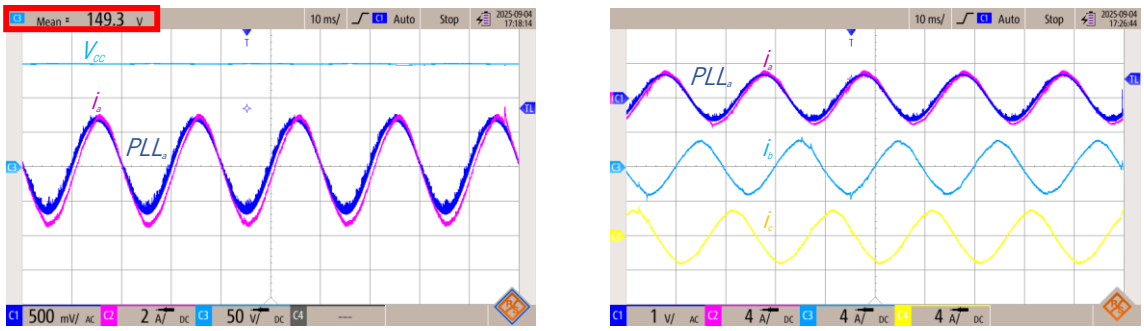


Figura 6.25 - Ensaio da complementaridade dos sinais PWM dos pares *6A–1A* (PWM_{6A} e PWM_{1A}) e *6B–1B* (PWM_{6B} e PWM_{1B}).

6.5.2 Validação experimental do retificador *T-Type* convencional

Posto isto, estão reunidas as condições para a validação experimental do *T-Type* convencional. A montagem experimental manteve-se idêntica à utilizada nos ensaios anteriores, conforme ilustrado na Figura 6.1, englobando as mesmas condições de alimentação, carga e instrumentação. Importa referir que o comportamento de comutação dos semicondutores, nomeadamente as formas de onda V_{DS} e V_{GS}, não apresentou diferenças significativas face ao observado para o conversor *Full-Bridge*, validado anteriormente. Assim, esta análise não é aqui repetida, concentrando-se a avaliação nos resultados funcionais e no comportamento global do conversor *T-Type* convencional.

Por conseguinte, decidiu-se avaliar o desempenho da PLL, do controlo do barramento e das correntes CA do retificador. O sinal da PLL correspondente à fase *A* (canal 1), a corrente da mesma fase (canal 2) e a tensão do barramento do lado CC (canal 3), cuja referência foi fixada em 150 V, encontram-se representados na Figura 6.26(a). Posteriormente, procederam-se às medições das três correntes do lado CA (canais 2, 3 e 4), juntamente com o sinal da PLL da fase *A* (canal 1), conforme ilustrado na Figura 6.26(b). À semelhança do verificado para as restantes topologias em modo retificador, as correntes apresentam uma forma de onda praticamente sinusoidal e mantêm-se em fase com as tensões da rede elétrica, evidenciando um desfasamento mútuo de 120° entre fases. Estes resultados comprovam o correto seguimento das referências de corrente e a estabilidade do sincronismo em modo retificador, em conformidade com o comportamento previsto em simulação.



(a) (b)

Figura 6.26 - Sinal da PLL da fase *A* (PLL_a), corrente da mesma fase (i_a) e tensão do barramento CC (V_{cc}) (a); correntes das três fases do lado CA (i_a, i_b e i_c) e sinal da PLL da fase *A* (PLL_a) (b); para a topologia *T-Type* convencional.

Adicionalmente, a observação conjunta das grandezas envolvidas no ensaio de retificação permitiu verificar que tanto a resposta do barramento CC como a forma de onda das correntes se mantêm estáveis, sem sinais de saturação do controlo nem assimetrias significativas entre fases. Este comportamento confirma a eficácia da estratégia de modulação e a consistência do controlo implementado, assegurando uma operação equilibrada do conversor em modo retificador.

De seguida, decidiu-se verificar a tensão entre os braços *A* e *B* (V_{ab}) evidenciando, de forma clara, a presença de cinco níveis, característica do comportamento multinível do *T-Type*, como demonstrado na Figura 6.27. Este resultado é consistente com o observado em simulação, confirmando a correta atuação das células bidirecionais e a eficácia da estratégia de controlo adotada no modo retificador.

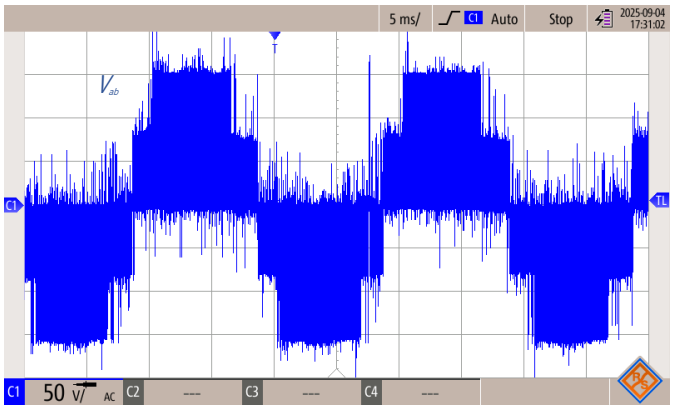
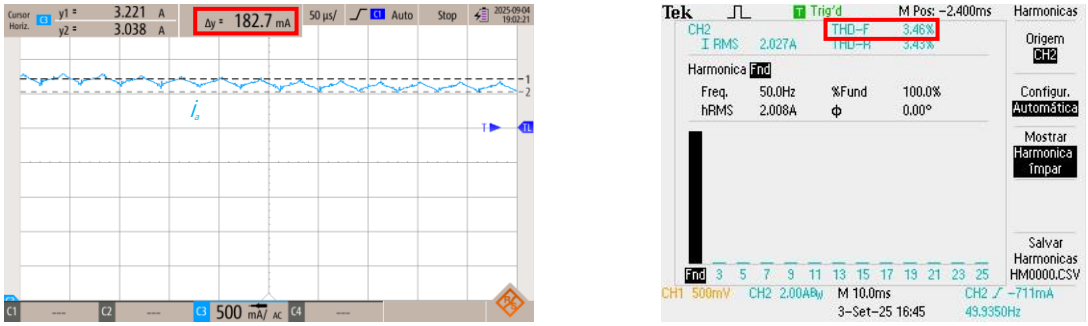


Figura 6.27 - Tensão entre os braços *A* e *B* (V_{ab}) do conversor *T-Type* convencional.

Por fim, procedeu-se à medição do *ripple* da corrente, representado na Figura 6.28(a), e à análise espetral das correntes do lado CA, apresentada na Figura 6.28(b), com o objetivo de avaliar a qualidade de energia e a taxa de distorção harmónica. O valor de THD obtido experimentalmente revelou-se superior ao registado em simulação, o que é expectável devido às perdas não modeladas, às pequenas assimetrias entre os componentes físicos e a outras imperfeições inerentes ao protótipo real. Ainda

assim, os valores medidos permaneceram dentro dos limites estabelecidos pela norma IEEE 519-2014, que recomenda um THD de corrente inferior a 5% para sistemas trifásicos de baixa tensão, 3,46% no presente caso, confirmando a conformidade do protótipo desenvolvido com as práticas internacionais de qualidade de energia.



(a) (b)

Figura 6.28 - Valor do *ripple* (a) e análise espetral (b) da corrente de uma fase do retificador *T-Type* convencional.

Posto isto, decidiu-se realizar um ensaio ao barramento CC com o objetivo de avaliar a resposta do sistema ao longo de diferentes estágios de operação do conversor *T-Type* convencional. Na Figura 6.29 apresenta-se a forma de onda correspondente, onde o estágio 1 representa o conversor desligado, apresentando a tensão do barramento nula. No estágio 2, o conversor opera como retificador passivo, sendo a condução assegurada apenas pelos díodos, observando-se que a tensão do barramento atinge aproximadamente 60 V. No estágio 3, o conversor passa a funcionar como retificador ativo, mas apenas com a componente proporcional do controlador (k_p). Nesta condição, a tensão do barramento estabiliza em cerca de 117,3 V, ligeiramente abaixo do valor de referência de 120 V, uma vez que a ausência da ação integral (ki) não assegura a correção total do erro em regime permanente. No estágio 4, é introduzido o ganho integral (k_i), o que permite anular o erro estacionário, levando a tensão do barramento a atingir o valor de referência de 120 V, conforme esperado. No estágio 5, a comutação é desativada, fazendo com que o conversor volte a operar como retificador passivo, com a tensão a regressar ao valor de aproximadamente 60 V. Finalmente, no estágio 6, o conversor é completamente desligado, cessando a condução e conduzindo a tensão do barramento a zero.

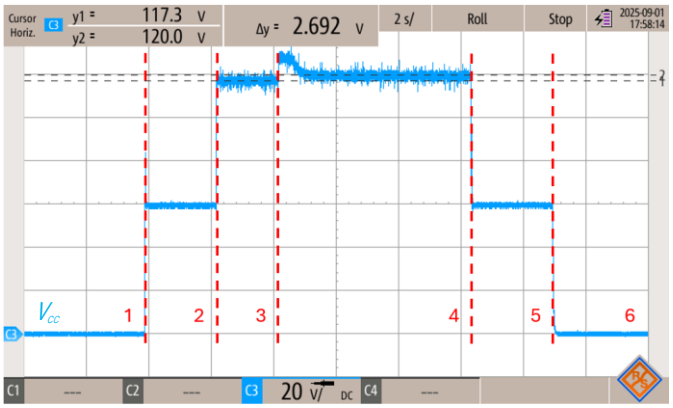


Figura 6.29 - Evolução da tensão do barramento CC (V_{cc}) ao longo dos diferentes estágios de operação do conversor T-Type convencional.

Em síntese, os resultados obtidos comprovam o correto funcionamento do conversor *T-Type* convencional e validam experimentalmente os pressupostos teóricos e as simulações realizadas. O comportamento multinível, a estabilidade das tensões e a redução do THD confirmam a superioridade desta topologia face às configurações precedentes, consolidando a sua adequação para aplicações de conversão de energia em *energy hubs* e sistemas de carregamento rápido de VE.

6.6 Comparação entre as Três Topologias

De forma a comparar as três topologias estudadas, *Full-Bridge*, *T-Type Vienna rectifier* e *T-Type* convencional, quanto ao *ripple* das correntes do lado CA e ao respetivo THD, recorreu-se à Tabela 6.1, que sintetiza os principais resultados obtidos experimentalmente para cada configuração. Para garantir uma comparação coerente e tecnicamente válida, procurou-se manter inalteradas as condições de ensaio entre as três topologias sempre que possível, nomeadamente a técnica de controlo aplicada, a amplitude das correntes de referência e os parâmetros elétricos do circuito, assegurando que as diferenças observadas resultam exclusivamente das características intrínsecas de cada conversor.

A comparação direta entre os valores medidos permite compreender a influência do número de níveis de tensão composta, da forma de comutação e da condução ativa ou passiva dos semicondutores no desempenho global do sistema. Enquanto a topologia *Full-Bridge* apresenta uma maior simplicidade de controlo, mas também maior *ripple*, as variantes *T-Type* evidenciam uma melhoria significativa na qualidade das correntes, fruto do caráter multinível e da redução do *dv/dt* aplicado aos dispositivos de potência. Os resultados apresentados constituem, assim, uma referência objetiva para a avaliação da evolução do desempenho ao longo das três configurações implementadas.

Tabela 6.1 - Comparação do número de níveis do conversor, da complexidade de implementação, dos valores de *ripple* e dos valores de THD das três topologias.

Topologia / Parâmetros	*Full-Bridge*	*T-Type Vienna Rectifier*	*T-Type* Convencional
Número de Níveis (V_{ab})	3	5	5
Complexidade de Implementação	Muita simplicidade	Alguma simplicidade	Muita complexidade
Valor do *ripple* da corrente CA	230,8 mA	211,5 mA	182,7 mA
Valor do THD da corrente CA	6,48 %	7,42 %	3,46 %

A análise dos resultados apresentados na Tabela 6.1 evidencia a relação direta entre a complexidade de implementação e a qualidade das correntes no lado CA. A topologia *Full-Bridge*, embora se destaque pela sua simplicidade de implementação, apresenta os valores mais elevados de *ripple*, refletindo o seu funcionamento a dois níveis de tensão em cada fase, três entre duas fases. Já o *T-Type Vienna rectifier* demonstra uma ligeira redução do *ripple* em comparação com o *Full-Bridge*, resultado do carácter multinível da sua tensão composta. Contudo, o seu valor de THD é superior, consequência do modo de condução passivo adotado neste conversor, em que os díodos realizam a comutação em substituição dos MOSFETs de alta tensão, limitando a capacidade de controlo ativo sobre a forma de onda da corrente. Por fim, o *T-Type* convencional apresenta simultaneamente o menor *ripple* e o valor de THD mais reduzido, beneficiando da comutação totalmente ativa e da simetria proporcionada pela estrutura multinível. Em síntese, verifica-se que o aumento da complexidade estrutural se traduz numa melhoria global da qualidade de energia, consolidando o *T-Type* convencional como a topologia com melhor compromisso entre desempenho e controlo.

6.7 Conclusões

Este capítulo documenta o percurso experimental seguido para validar o *T-Type* convencional, estruturado em etapas sequenciais. Assim sendo, iniciou-se com o *Full-Bridge* em modo inversor, consolidando o funcionamento básico da parte de potência, a integridade do hardware e a coerência entre o comando e as grandezas medidas. De seguida, migrou-se o mesmo conversor para operação em modo retificador, permitindo verificar a resposta do sistema, a estabilidade do barramento CC, o alinhamento das correntes com a rede elétrica e o comportamento do controlo em regime real. A etapa subsequente recorreu ao *T-Type Vienna rectifier* para validar a inserção das células bidirecionais e os efeitos do carácter multinível

sobre a qualidade das correntes. Por fim, confirmou-se o *T-Type* convencional, fechando o ciclo de validação com comutação totalmente ativa.

A validação do sincronismo evidenciou uma PLL estável, com seguimento robusto da fase da rede elétrica, refletindo-se em correntes praticamente sinusoidais e em fase com as tensões, apresentando um desfasamento de 120° entre fases. Quanto à estratégia de modulação e ao condicionamento de sinal, estes revelaram-se adequados, sem indícios de saturação do controlo. Já no domínio do controlo da comutação, a definição cuidadosa da complementaridade dos PWMs e a repartição do *dead-time* entre canais garantiram a não sobreposição de impulsos e a operação segura dos semicondutores, evitando curto-circuitos nos braços do conversor.

De seguida, elaborou-se uma comparação entre as topologias recorridas evidenciando a relação direta entre natureza multinível, capacidade de comutação ativa e qualidade de energia. O *Full-Bridge* destaca-se pela simplicidade e previsibilidade do controlo, mas apresenta, em geral, *ripple* e THD superiores, inerentes ao seu caráter de dois níveis. O *T-Type Vienna rectifier* reduz o *ripple* graças ao maior número de níveis de tensão composta após o indutor, mas regista THD superior ao *Full-Bridge* por operar com condução passiva nos díodos, o que limita a ação de controlo sobre a forma de onda da corrente. O *T-Type* convencional reúne os benefícios do comportamento multinível com comutação totalmente ativa, traduzindo-se, de forma consistente, em *ripple* inferior e THD mais reduzido, com correntes equilibradas e barramento CC estável.

Em síntese, o percurso experimental confirma o correto funcionamento do *T-Type* convencional e valida, passo a passo, as opções de arquitetura e de controlo adotadas. O comportamento multinível, a estabilidade do sincronismo e do barramento, a redução do *ripple* e a mitigação da distorção posicionam o *T-Type* convencional como a topologia com melhor compromisso entre desempenho e complexidade no contexto considerado, sustentando a sua adequação para aplicações em *energy hubs* e em sistemas de carregamento rápido de VE.

Capítulo 7

Conclusão

7.1 Conclusões

A presente dissertação percorreu, de forma integrada e coerente, todo o ciclo de investigação e desenvolvimento, desde a fundamentação teórica e a simulação até à verificação laboratorial, culminando na conceção, implementação e validação experimental de um conversor trifásico *T-Type* CA-CC vocacionado para a integração num *energy hub* com interface de mobilidade elétrica. O percurso metodológico, ancorado em critérios de desempenho e escalabilidade, articulou a revisão crítica de topologias, a síntese de estratégias de modulação e controlo, e a avaliação em simulação e prototipagem. Este processo demonstrou a viabilidade da solução em regime real e a sua adequação a cenários de carregamento elétrico e gestão de energia.

Inicialmente, procedeu-se ao enquadramento do problema e à definição dos objetivos, estabelecendo-se a necessidade de um conversor trifásico *T-Type* CA-CC para integração num *energy hub* com interface de mobilidade elétrica e delineando-se um percurso metodológico que liga estudo teórico, simulação e verificação experimental.

A revisão de topologias evidenciou o compromisso entre simplicidade de implementação e qualidade de energia. Concluiu-se que as estruturas multinível mitigam melhor a distorção e o *ripple* face às arquiteturas de dois níveis, justificando a seleção da topologia *T-Type* como solução-alvo.

Posteriormente, sistematizaram-se as técnicas de modulação, os algoritmos de controlo e os métodos de sincronismo com a rede elétrica. A análise comparativa suportou a adoção de um controlo de corrente de cariz preditivo, capaz de reduzir o conteúdo harmónico com implementação parcimoniosa, eficiente no uso de recursos, e de uma *PLL* $\alpha\beta$ eficaz para operação em rede elétrica, opções que se revelaram determinantes para a estabilidade e o desempenho experimental do sistema.

Consequentemente, as simulações confirmaram a operação nas configurações *Full-Bridge* e *T-Type*, e a análise paramétrica quantificou o impacto da tensão do barramento, da potência de carga e das indutâncias no THD, no *ripple* e na eficiência. Demonstrou-se o comportamento multinível característico

do *T-Type*, com cinco níveis na tensão composta entre braços, evidenciando a influência do esquema de modulação e preparando uma transição segura para a fase laboratorial.

O protótipo desenvolvido incorporou semicondutores SiC para comutação a alta frequência e ganhos de eficiência; condensadores *snubber* e de filme no barramento para limitar dv/dt, suavizar picos transitórios e estabilizar a tensão do lado CC; e gestão térmica com dissipadores dedicados. Para a potência de referência de 25 kW, recorreu-se a dispositivos em paralelo por braço, assegurando partilha de corrente e margens operacionais adequadas. O sistema foi concebido para operar tanto como inversor como retificador, facilitando a validação faseada. Adicionalmente, a PCB foi dimensionada para suportar, no mesmo hardware, a operação em *Full-Bridge* e *T-Type*, permitindo selecionar a topologia em ensaio e viabilizando a comparação direta de desempenho em condições equivalentes.

Do lado do controlo, o sistema de aquisição e condicionamento de sinal foi concebido para garantir medições precisas. As correntes de fase foram medidas através de sensores isolados, com tempo de resposta adequado à frequência de comutação, enquanto as tensões foram obtidas por meio de divisores resistivos. O condicionamento de sinal assegura a compatibilidade com o ADC e contribui para a atenuação do ruído de comutação. Esta etapa revelou-se particularmente exigente, uma vez que, numa fase inicial, as correntes apresentavam distorções causadas por uma filtragem excessiva, que eliminava componentes harmónicas fundamentais ao correto funcionamento do controlo de corrente do sistema. A identificação da origem deste problema exigiu um processo longo e meticuloso de diagnóstico, até se determinar que a causa residia precisamente nas frequências de corte dos filtros aplicados ao condicionamento de sinal das correntes.

A validação experimental seguiu uma trajetória incremental: *Full-Bridge* em modo inversor, migração para modo retificador, configuração intermédia *T-Type Vienna rectifier* e, por fim, *T-Type* convencional com comutação totalmente ativa. Os resultados comparativos mostram o *T-Type* convencional com menor *ripple* de corrente no lado CA, ≈ 182,7 mA, e THD mais baixo, cerca de 3,46 %, superando o *Full-Bridge* (≈ 230,8 mA; ≈ 6,48 %) e o *T-Type Vienna rectifier* (≈ 211,5 mA; ≈ 7,42 %). Observou-se, adicionalmente, barramento estável e correntes equilibradas, confirmando a vantagem do carácter multinível com comutação ativa.

Complementarmente, no âmbito desta dissertação, foi elaborado e apresentado o artigo científico *"Full-Bridge vs. T-Type: A Comprehensive Comparison of Three-Phase Power Converters with Variable DC-Link Voltage for EV Fast Chargers"*. O trabalho, desenvolvido em coautoria com outros membros do grupo de

investigação, aprofunda a análise comparativa entre as topologias *Full-Bridge* e *T-Type*, consolidando os resultados aqui apresentados relativamente à distorção harmónica, *ripple* de corrente e eficiência.

Em síntese, cumpriram-se os objetivos estabelecidos: seleção fundamentada da topologia; definição e implementação de modulação, controlo e sincronismo; validação em simulação com análise paramétrica; desenvolvimento do protótipo; e demonstração experimental com métricas claras. Importa notar que o desenvolvimento do protótipo e a campanha experimental se revelaram exigentes, exigindo paciência e persistência, sobretudo na identificação e resolução de anomalias cuja origem não era, à partida, evidente. Em última análise, a consolidação do *T-Type* convencional como núcleo de conversão em *energy hubs* revela-se uma contribuição concreta para a melhoria da qualidade de energia e para a eficiência das infraestruturas de mobilidade elétrica, estando o método e a tecnologia aqui demonstrados prontos para sair do laboratório e serem aplicados em contexto real, acrescentando valor à rede elétrica e ao utilizador.

7.2 Sugestões para Trabalhos Futuros

Apesar do cumprimento dos objetivos e da demonstração experimental, a evolução natural do trabalho passa por aperfeiçoar o protótipo em cenários mais exigentes. As propostas seguintes representam alguns ajustes relevantes a considerar em desenvolvimentos futuros:

- Desenvolvimento de um protótipo 2.0 com capacidade para maior potência e com uma organização de hardware mais compacta e eficiente na utilização do espaço, revendo o *layout* de potência e de controlo para reduzir efeitos parasitas e facilitar a manutenção;
- Disposição das PCBs de controlo na perpendicular à placa de potência, de modo a mitigar o ruído eletromagnético gerado durante a comutação;
- Incorporação de uma blindagem em torno da DSP, de forma a atenuar o ruído eletromagnético e aumentar a imunidade do sistema de controlo;
- Substituição dos conectores de interligação controlo–potência por modelos mais robustos, com maior resistência a ciclos de acoplamento e desacoplamento;
- Desenvolvimento de um filtro aprimorado no lado CA, com projeto e validação de um filtro *LC* otimizado para a redução de *ripple* e melhoria da qualidade de corrente;
- Introdução de arrefecimento ativo por fluidos, com *cold plate*, bomba e permutador de calor, acompanhado de modelação termo-hidráulica.

Lista de Referências

[1] K. Kamau, «Promoting Electric Mobility in Kochi, India: Shift to Electric Auto Rickshaws | UN-Habitat». Acedido: 10 de outubro de 2024. [Online]. Disponível em: https://unhabitat.org/calls/promoting-electric-mobility-in-kochi-india-shift-to-electric-auto-rickshaws

[2] A. Kundu, F. Feijoo, F. Mesa, S. Sankaranarayanan, A. J. Aristizábal, e M. Castaneda, «Power on the Go: A Solution to Address Electric Vehicle Charging Challenges», *Mathematics*, vol. 12, n.º 1, p. 91, dez. 2023, doi: 10.3390/math12010091.

[3] M. Schweizer e J. W. Kolar, «Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications», *IEEE Trans. Power Electron.*, vol. 28, n.º 2, pp. 899–907, fev. 2013, doi: 10.1109/TPEL.2012.2203151.

[4] European Court of Auditors, «Emissões de gases com efeito de estufa na EU : bem comunicadas, mas são necessárias melhores informações sobre as reduções futuras». em Relatório especial n.° ... (Tribunal de Contas Europeu. Online). LU: Publications Office, 2019. Acedido: 10 de outubro de 2024. [Online]. Disponível em: https://data.europa.eu/doi/10.2865/020597

[5] E. Commission, «Report From the Commission to the European Parliament and the Council». European Commission, Office for Official Publications of the European Union, 31 de outubro de 2024. Acedido: 27 de novembro de 2024. [Online]. Disponível em: https://eur-lex.europa.eu/legal-content/EN/TXT/?uri=celex%3A52024DC0498&utm_source=chatgpt.com

[6] «EU Emissions Trading System (ETS) data viewer». Acedido: 23 de maio de 2025. [Online]. Disponível em: https://www.eea.europa.eu/en/analysis/maps-and-charts/emissions-trading-viewer-1-dashboards

[7] www.acp.pt, «Carregamento de carros elétricos: quanto tempo leva? | ACP». Acedido: 10 de outubro de 2024. [Online]. Disponível em: https://www.acp.pt/article.aspx?menuid=2557

[8] M. Technology Inc., «MSCSICPFC-REF5: 3-Phase 30 kW Vienna PFC Reference Design», Microchip Technology Inc., Chandler, AZ, USA, Reference Design DS50002952A, 2020. [Online]. Disponível em:

https://ww1.microchip.com/downloads/en/DeviceDoc/MSCSICPFC-REF5-3-Phase-30-kW-Vienna-PFC-Reference-Design-DS50002952A.pdf?utm_source=chatgpt.com

[9] A. Zentani, A. Almaktoof, e M. T. Kahn, «A Comprehensive Review of Developments in Electric Vehicles Fast Charging Technology», *Appl. Sci.*, vol. 14, n.º 11, p. 4728, mai. 2024, doi: 10.3390/app14114728.

[10] T. McDonald, «Power Conversion Semiconductor and Circuit Trends and Challenges for a Sustainable Energy Future», em *2023 International Electron Devices Meeting (IEDM)*, dez. 2023, pp. 1–4. doi: 10.1109/IEDM45741.2023.10413834.

[11] T. Mohan, W. Undeland, O. Robbins, Joseph, e I. Torshin, «Power Electronics Converters Applications», *ResearchGate*, vol. 02, n.º 01, pp. 1–40, nov. 2023, doi: 10.13140/RG.2.2.36786.58562.

[12] F. Blaabjerg, Y. Yang, K. A. Kim, e J. Rodriguez, «Power Electronics Technology for Large-Scale Renewable Energy Generation», *Proc. IEEE*, vol. 111, n.º 4, pp. 335–355, abr. 2023, doi: 10.1109/JPROC.2023.3253165.

[13] C. Bai e M. Kim, «Single Power-Conversion Active-Clamped AC/DC Converter Employing Si/SiC Hybrid Switch», *IEEE Trans. Ind. Electron.*, vol. 71, n.º 2, pp. 1616–1630, fev. 2024, doi: 10.1109/TIE.2023.3262889.

[14] Q. Combe, S. Pierfederici, M. Weber, e S. Dufour, «Modeling, Analysis and Control of Current Source Converter», em *IECON 2021 – 47th Annual Conference of the IEEE Industrial Electronics Society*, out. 2021, pp. 1–6. doi: 10.1109/IECON48115.2021.9589965.

[15] L. Meng *et al.*, «Optimal Input and Output Power Quality Control of Single-Phase AC–DC–DC Converter With Significant DC-Link Voltage Ripple», *IEEE Trans. Ind. Electron.*, vol. 67, n.º 12, pp. 10366–10376, dez. 2020, doi: 10.1109/TIE.2019.2958310.

[16] Q. Jin, P. Huynh, e A. Banerjee, «Generator Back-Electromotive-Force Shaping for DC Output with Low Ripple Voltage», em *2019 IEEE International Electric Machines & Drives Conference (IEMDC)*, mai. 2019, pp. 539–546. doi: 10.1109/IEMDC.2019.8785328.

[17] M. Mazaheri, V. Scaini, e W. E. Veerkamp, «Cause, effects, and mitigation of ripple from rectifiers», *IEEE Trans. Ind. Appl.*, vol. 39, n.º 4, pp. 1187–1192, jul. 2003, doi: 10.1109/TIA.2003.813728.

[18] H.-J. Chiu e L.-W. Lin, «A high-efficiency soft-switched AC/DC converter with current-doubler synchronous rectification», *IEEE Trans. Ind. Electron.*, vol. 52, n.º 3, pp. 709–718, jun. 2005, doi: 10.1109/TIE.2005.843963.

[19] D. Woldegiorgis, Y. Wei, e A. Mantooth, «Simple Carrier Based Capacitor Voltage Balancing Technique for Three-Level Voltage Source Inverters», em *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, jun. 2021, pp. 528–533. doi: 10.1109/APEC42165.2021.9487338.

[20] G. V. APARNA, G. SURESH BABU, e T. M. KRISHNA, «Simulation and Analysis of Single Phase Full Bridge Diode Rectifier with Different Passive Power Factor Correction Techniques», em *2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE)*, jul. 2018, pp. 2351–2355. doi: 10.1109/ICRIEECE44171.2018.9008888.

[21] T. Soares *et al.*, «Full-Bridge vs. T-Type: A Comprehensive Comparison of Three-Phase Power Converters with Variable DC-Link Voltage for EV Fast Chargers», em *Proceedings of the 2025 9th International Young Engineers Forum on Electrical and Computer Engineering (YEF-ECE)*, Caparica / Lisboa, Portugal: IEEE, jul. 2025, pp. 1–6. doi: 10.1109/YEF-ECE66503.2025.11117489.

[22] W. Storr, «Full Wave Rectifier and Bridge Rectifier Theory», Basic Electronics Tutorials. Acedido: 29 de novembro de 2024. [Online]. Disponível em: https://www.electronics-tutorials.ws/diode/diode_6.html

[23] H.-S. Kim, M.-H. Ryu, J.-W. Baek, e J.-H. Jung, «High-Efficiency Isolated Bidirectional AC–DC Converter for a DC Distribution System», *Power Electron. IEEE Trans. On*, vol. 28, pp. 1642–1654, abr. 2013, doi: 10.1109/TPEL.2012.2213347.

[24] A. Ojha, P. K. Chaturvedi, A. Mittal, e S. K. Jain, «Back to Back Connected Multilevel Converters: A Review», *IOSR J. Electr. Electron. Eng. IOSR-JEEE*, vol. 5, n.º 5, pp. 57–67, jun. 2013, doi: 10.9790/1676-555767.

[25] W. Li, Q. Jiang, Y. Mei, C. Li, Y. Deng, e X. He, «Modular Multilevel DC/DC Converters With Phase-Shift Control Scheme for High-Voltage DC-Based Systems», *IEEE Trans. Power Electron.*, vol. 30, n.º 1, pp. 99–107, jan. 2015, doi: 10.1109/TPEL.2014.2301722.

[26] P. Omer, J. Kumar, e B. S. Surjan, «A Review on Reduced Switch Count Multilevel Inverter Topologies», *IEEE Access*, vol. 8, pp. 22281–22302, 2020, doi: 10.1109/ACCESS.2020.2969551.

[27] R. Chibani, E. M. Berkouk, e M. S. Boucherit, «Three-Level NPC Rectifier/Inverter Back-to-Back Cascade with Capacitor Voltage Balancing Circuit», *Acta Electroteh.*, vol. 51, n.º 3, pp. 190–197, 2010.

[28] T. B. Soeiro e J. W. Kolar, «The New High-Efficiency Hybrid Neutral-Point-Clamped Converter», *IEEE Trans. Ind. Electron.*, vol. 60, n.º 5, pp. 1919–1935, mai. 2013, doi: 10.1109/TIE.2012.2209611.

[29] Plexim GmbH, «Neutral-Point Clamped Converter», Plexim GmbH, PLECS Demo Model / PLECS 4.3.1, Zurique, Suíça, Documento técnico / modelo de demonstração, 2023. [Online]. Disponível em: https://www.plexim.com/sites/default/files/demo_models_categorized/plecs/npc_converter.pdf

[30] D. Zhang, D. Cittanti, P. Sun, J. Huber, R. I. Bojoi, e J. W. Kolar, «Detailed Modeling and In-Situ Calorimetric Verification of Three-Phase Sparse NPC Converter Power Semiconductor Losses», *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 11, n.º 3, pp. 3409–3423, jun. 2023, doi: 10.1109/JESTPE.2023.3257080.

[31] R. Zanasi e D. Tebaldi, «Modeling Control and Robustness Assessment of Multilevel Flying-Capacitor Converters», *Energies*, vol. 14, mar. 2021, doi: 10.3390/en14071903.

[32] Z. Liao, Y. Lei, e R. C. N. Pilawa-Podgurski, «Analysis and Design of a High Power Density Flying-Capacitor Multilevel Boost Converter for High Step-Up Conversion», *IEEE Trans. Power Electron.*, vol. 34, n.º 5, pp. 4087–4099, mai. 2019, doi: 10.1109/TPEL.2018.2858184.

[33] J. Huang e K. A. Corzine, «Extended operation of flying capacitor multilevel inverters», *IEEE Trans. Power Electron.*, vol. 21, n.º 1, pp. 140–147, jan. 2006, doi: 10.1109/TPEL.2005.861108.

[34] J. Ebrahimi, F. N. Esfahani, S. Eren, A. Bakhshai, e L. Wang, «Comparative Analysis of Active Capacitor Voltage Balancing Method for Flying Capacitor Multilevel Converters», em *2025 IEEE International Conference on Industrial Technology (ICIT)*, mar. 2025, pp. 1–6. doi: 10.1109/ICIT63637.2025.10965220.

[35] M. Frisch e E. Temesi, «Flying Capacitor Topology for Ultra Efficient Inverter Applications – Principle of Operation», Vincotech GmbH, Unterhaching, Alemanha / Budaörs, Hungria, Technical Paper / Application Note, jan. 2021.

[36] Asha Gaikwad e Pallavi Appaso Arbune, «Study of cascaded H-Bridge multilevel inverter», em *Proceedings of the 2016 International Conference on Automatic Control and Dynamic Optimization*

Techniques (ICACDOT), Pune, Índia: IEEE, set. 2016, pp. 179–182. doi: 10.1109/ICACDOT.2016.7877574.

[37] J. Rodriguez, J.-S. Lai, e F. Z. Peng, «Multilevel inverters: a survey of topologies, controls, and applications», *IEEE Trans. Ind. Electron.*, vol. 49, n.º 4, pp. 724–738, ago. 2002, doi: 10.1109/TIE.2002.801052.

[38] Steven Thielemans, J. Melkebeek, e P. Lataire, «Flying Capacitor Multilevel Converters for AC Machines», *Ghent University Publications*, pp. 1–10, janeiro de 2008.

[39] S. Liu *et al.*, «Independent Control of Three-Phase DC Voltage Balancing for Cascaded H-Bridge Rectifier With Unbalanced Load and Grid», *IEEE Trans. Transp. Electrification*, vol. 10, n.º 2, pp. 3701–3711, jun. 2024, doi: 10.1109/TTE.2023.3317279.

[40] L. Zhao *et al.*, «Fast Simulation of MMC-HVDC Systems Using A Generalized Equivalent Circuit Model of MMC», em *2020 IEEE 16th International Conference on Control & Automation (ICCA)*, out. 2020, pp. 1605–1611. doi: 10.1109/ICCA51439.2020.9264378.

[41] J. S. Mohd.Ali e V. Krishnaswamy, «An assessment of recent multilevel inverter topologies with reduced power electronics components for renewable applications», *Renew. Sustain. Energy Rev.*, vol. 82, pp. 3379–3399, fev. 2018, doi: 10.1016/j.rser.2017.10.052.

[42] A. Zhaksylyk *et al.*, «Review of Active Front-End Rectifiers in EV DC Charging Applications», *Batteries*, vol. 9, n.º 3, Art. n.º 3, mar. 2023, doi: 10.3390/batteries9030150.

[43] D. Cittanti, M. Gregorio, E. Bossotto, F. Mandrile, e R. Bojoi, «Full Digital Control and Multi-Loop Tuning of a Three-Level T-Type Rectifier for Electric Vehicle Ultra-Fast Battery Chargers», *Electronics*, vol. 10, n.º 12, Art. n.º 12, jan. 2021, doi: 10.3390/electronics10121453.

[44] D. Cittanti e R. Bojoi, «Modulation Strategy Assessment for 3-Level Unidirectional Rectifiers in Electric Vehicle Ultra-Fast Charging Applications», em *2020 AEIT International Conference of Electrical and Electronic Technologies for Automotive (AEIT AUTOMOTIVE)*, Turin, Italy: IEEE, nov. 2020, pp. 1–6. doi: 10.23919/AEITAUTOMOTIVE50086.2020.9307416.

[45] Z. Bin Ibrahim, Md. L. Hossain, I. Bin Bugis, N. M. Nik Mahadi, e A. S. Abu Hasim, «Simulation Investigation of SPWM, THIPWM and SVPWM Techniques for Three Phase Voltage Source Inverter», *Int.*

J. Power Electron. Drive Syst. IJPEDS, vol. 4, n.º 2, pp. 223–240, jun. 2014, doi: 10.11591/ijpeds.v4i2.5833.

[46] J. Holtz, «Pulsewidth modulation for electronic power conversion», *Proc. IEEE*, vol. 82, n.º 8, pp. 1194–1214, ago. 1994, doi: 10.1109/5.301684.

[47] Muhammad H. Rashid, *Power Electronics: Devices, Circuits, and Applications*, 4ª edição. em Pearson International Edition. Harlow, Essex, Inglaterra: Pearson Education Limited, 2014. [Online]. Disponível em: https://elcom-team.com/Subjects/power%20electronics/%D8%A7%D9%84%D9%83%D8%AA%D8%A8%20%D9%88%20%D8%A7%D9%84%D8%AD%D9%84%D9%88%D9%84/power-electro-reference-book-(4th-ed).pdf

[48] S. Yadav, N. Mishra, e B. Singh, «Optimal Third Harmonic Injection based Nearest Level Control of Large-scale Solar Photovoltaic Multilevel Converter, Journal: IET Energy Conversion and Economics», *Energy Convers. Econ.*, fev. 2022, doi: 10.1049/enc2.12053.

[49] H. Cheng, T. Chen, C. Wang, X. Wang, e X. Qin, «Single-phase Bridgeless Rectifier with Capability of Power Quality Management», em *2018 IEEE International Power Electronics and Application Conference and Exposition (PEAC)*, Shenzhen: IEEE, nov. 2018, pp. 1–6. doi: 10.1109/PEAC.2018.8590622.

[50] J. Xu, T. B. Soeiro, F. Gao, H. Tang, e P. Bauer, «Carrier-Based Generalized Discontinuous PWM Strategy for Single-Phase Three-Legs Active Power Decoupling Converters», *IEEE Trans. Ind. Electron.*, vol. 68, n.º 11, pp. 11609–11613, nov. 2021, doi: 10.1109/TIE.2020.3038099.

[51] D. Grahame Holmes e Thomas A. Lipo, *Pulse Width Modulation for Power Converters: Principles and Practice | IEEE eBooks | IEEE Xplore*. em Wiley-IEEE Press. 2003. Acedido: 30 de outubro de 2025. [Online]. Disponível em: https://ieeexplore.ieee.org/book/5264450

[52] J. W. Kolar e U. Drofenik, «A new switching loss reduced discontinuous PWM scheme for a unidirectional three-phase/switch/level boosT-Type PWM (VIENNA) rectifier», em *21st International Telecommunications Energy Conference. INTELEC'99 (Cat. No.99CH37007)*, jun. 1999, pp. 572-. doi: 10.1109/INTLEC.1999.794128.

[53] M. Jeong, S.-M. Kim, J.-S. Lee, e K.-B. Lee, «Discontinuous PWM Scheme for Switching Losses Reduction in Modular Multilevel Converters», *J. Power Electron.*, nov. 2017, Acedido: 30 de outubro de

2025. [Online]. Disponível em: https://www.semanticscholar.org/paper/Discontinuous-PWM-Scheme-for-Switching-Losses-in-Jeong-Kim/818e3fbdfd04ca61fd3827d139e9532e994e31df

[54] Dae-Woong Chung e S.-K. Sul, «Minimum-loss strategy for three-phase PWM rectifier», *IEEE Trans. Ind. Electron.*, vol. 46, n.º 3, pp. 517–526, jun. 1999, doi: 10.1109/41.767058.

[55] Y. Ji, Y. Yang, J. Zhou, H. Ding, X. Guo, e S. Padmanaban, «Control Strategies of Mitigating Dead-time Effect on Power Converters: An Overview», *Electronics*, vol. 8, n.º 2, p. 196, fev. 2019, doi: 10.3390/electronics8020196.

[56] H. Gong, X. Wang, e L. Harnefors, «Rethinking Current Controller Design for PLL-Synchronized VSCs in Weak Grids», *IEEE Trans. Power Electron.*, 2021, doi: 10.1109/TPEL.2021.3105549.

[57] W. Stefanutti e P. Mattavelli, «Fully digital hysteresis modulation with switching-time prediction», *IEEE Trans. Ind. Appl.*, vol. 42, n.º 3, pp. 763–769, mai. 2006, doi: 10.1109/TIA.2006.873665.

[58] M. Thielmann e F. Hans, «Hysteresis-Based Current Control Approach by Means of the Theory of Switched Systems», *Appl. Sci.*, vol. 11, n.º 19, p. 9175, out. 2021, doi: 10.3390/app11199175.

[59] F. Wu, F. Feng, L. Luo, J. Duan, e L. Sun, «Sampling period online adjusting-based hysteresis current control without band with constant switching frequency», *IEEE Trans. Ind. Electron.*, vol. 62, n.º 1, pp. 270–277, jan. 2015, doi: 10.1109/TIE.2014.2326992.

[60] E. Por, M. van Kooten, e V. Sarkovic, «Nyquist–Shannon sampling theorem», AOT (Advanced Observation Techniques) — Leiden Observatory, Leiden, Países Baixos, mai. 2019. [Online]. Disponível em: https://home.strw.leidenuniv.nl/~por/AOT2019/docs/AOT_2019_Ex13_NyquistTheorem.pdf

[61] K. C. Nguyen e D. V. Sarwate, «Up-sampling and Natural Sample Value Computation for Digital Pulse Width Modulators», em *2006 40th Annual Conference on Information Sciences and Systems*, mar. 2006, pp. 1096–1101. doi: 10.1109/CISS.2006.286629.

[62] D. G. Holmes, T. A. Lipo, B. P. McGrath, e W. Y. Kong, «Optimized Design of Stationary Frame Three Phase AC Current Regulators», *IEEE Trans. Power Electron.*, vol. 24, n.º 11, pp. 2417–2426, nov. 2009, doi: 10.1109/TPEL.2009.2029548.

[63] M. P. Kazmierkowski e L. Malesani, «Current control techniques for three-phase voltage-source PWM converters: a survey», *IEEE Trans. Ind. Electron.*, vol. 45, n.º 5, pp. 691–703, out. 1998, doi: 10.1109/41.720325.

[64] T. J. C. Sousa, V. Monteiro, J. S. Martins, J. C. Aparicio Fernandes, e J. L. Afonso, «Performance Evaluation of a Proportional-Integral with Proportional-Derivative Feedforward Voltage Control for UPSs», em *2018 13th APCA International Conference on Control and Soft Computing (CONTROLO)*, Ponta Delgada: IEEE, jun. 2018, pp. 324–329. doi: 10.1109/CONTROLO.2018.8514547.

[65] C. Zou, B. Liu, S. Duan, e R. Li, «Stationary Frame Equivalent Model of Proportional-Integral Controller in dq Synchronous Frame», *IEEE Trans. Power Electron.*, vol. 29, n.º 9, pp. 4461–4465, set. 2014, doi: 10.1109/TPEL.2013.2296789.

[66] S. Buso, L. Malesani, e P. Mattavelli, «Comparison of current control techniques for active filter applications», *IEEE Trans. Ind. Electron.*, vol. 45, n.º 5, pp. 722–729, out. 1998, doi: 10.1109/41.720328.

[67] João Rigor, «Transformadas de Clarke e Park», Instituto Superior de Engenharia do Porto (ISEP), Porto, Portugal, Technical report published on ResearchGate, abr. 2020.

[68] C. J. O'Rourke, M. M. Qasim, M. R. Overlin, e J. L. Kirtley, «A Geometric Interpretation of Reference Frames and Transformations: dq0, Clarke, and Park», *IEEE Trans. Energy Convers.*, vol. 34, n.º 4, pp. 2070–2083, dez. 2019, doi: 10.1109/TEC.2019.2941175.

[69] F. D. Freijedo *et al.*, «Tuning of Synchronous-Frame PI Current Controllers in Grid-Connected Converters Operating at a Low Sampling Rate by MIMO Root Locus», *IEEE Trans. Ind. Electron.*, vol. 62, n.º 8, pp. 5006–5017, ago. 2015, doi: 10.1109/TIE.2015.2402114.

[70] J. Rodriguez *et al.*, «State of the Art of Finite Control Set Model Predictive Control in Power Electronics», *IEEE Trans. Ind. Inform.*, vol. 9, n.º 2, pp. 1003–1016, mai. 2013, doi: 10.1109/TII.2012.2221469.

[71] João L. Afonso, Carlos Couto, e Júlio S. Martins, «Active Filters with Control Based on the p-q Theory», *IEEE Industrial Electronics Society Newsletter*, vol. 47, n.º 3, pp. 5–10, setembro de 2000.

[72] M. Ranjbari, «Generalized theory of the instantaneous reactive power in three-phase circuits», *IPEC*, nov. 2011, Acedido: 14 de agosto de 2025. [Online]. Disponível em: https://www.academia.edu/1081562/Generalized_theory_of_the_instantaneous_reactive_power_in_three_phase_circuits

[73] S. Li *et al.*, «The Bidirectional AC/DC Power Converter with Capability of Suppressing the Harmonic Current in Hybrid Micro Grid», em *2018 Asian Conference on Energy, Power and Transportation Electrification (ACEPT)*, out. 2018, pp. 1–6. doi: 10.1109/ACEPT.2018.8610667.

[74] V. Staudt, «Fryze - Buchholz - Depenbrock: A time-domain power theory», em *2008 International School on Nonsinusoidal Currents and Compensation*, jun. 2008, pp. 1–12. doi: 10.1109/ISNCC.2008.4627481.

[75] S. C. Gulipalli, S. Gude, e C.-C. Chu, «High-Speed Three-Phase Enhanced Phase-Locked Loop for Grid Synchronization Under Adverse Conditions», em *2022 IEEE Energy Conversion Congress and Exposition (ECCE)*, out. 2022, pp. 1–7. doi: 10.1109/ECCE50734.2022.9948044.

[76] Luis Monteiro, J G Pinto, Vitor Monteiro, Carlos Couto, e Joao L. Afonso, «Comparative Analysis Between Different Approaches for Single-Phase PLLs», em *International Journal of Power Electronics*, 2020, pp. 1–15. doi: 10.1504/IJPELEC.2020.10027282.

[77] S. Mondal, P. K. Gayen, e D. N. Gaonkar, «A Fast and Robust PLL Design with a Combination of Frequency-Adaptive Alpha-Beta-CDSC and SOGI», *IEEE Trans. Ind. Electron.*, vol. 72, n.º 1, pp. 949–958, jan. 2025, doi: 10.1109/TIE.2024.3413817.

[78] P. Rodriguez, J. Pou, J. Bergas, I. Candela, R. Burgos, e D. Boroyevich, «Double Synchronous Reference Frame PLL for Power Converters Control», em *2005 IEEE 36th Power Electronics Specialists Conference*, jun. 2005, pp. 1415–1421. doi: 10.1109/PESC.2005.1581815.

[79] Zhaohui Wang, Junming Zhang, Xinke Wu, e Kuang Sheng, «Evaluation of Reverse Recovery Characteristic of Silicon Carbide Metal–Oxide–Semiconductor Field-Effect Transistor Intrinsic Diode», *IET Power Electron.*, vol. 9, n.º 5, pp. 969–976, mai. 2016, doi: 10.1049/iet-pel.2014.0965.

[80] Altair Engineering Inc., «Tutorial - IGBT and MOSFET Loss Calculation in the Thermal Module - draft», Altair Engineering Inc., Troy, Michigan, EUA, User Guide, 2022. Acedido: 23 de setembro de 2025. [Online]. Disponível em: https://2023.help.altair.com/psim-tut/tutorials/Tutorial%20-%20IGBT%20and%20MOSFET%20Loss%20Calculation%20in%20the%20Thermal%20Module.pdf

[81] Texas Instruments, «TMS320F2837xD Dual-Core Real-Time Microcontrollers datasheet (Rev. P)», Texas Instruments Incorporated, Dallas, Texas, USA, Technical Datasheet SPRS880P, jul. 2024. Acedido: 29 de setembro de 2025. [Online]. Disponível em:

https://www.ti.com/lit/ds/sprs880p/sprs880p.pdf?ts=1759087786630&ref_url=https%253A%252F%252Fwww.ti.com%252Ftool%252FLAUNCHXL-F28379D

[82] Texas Instruments, «TMS320F2837xD Dual-Core Microcontrollers Technical Reference Manual (Rev. K)», Texas Instruments Incorporated, Dallas, Texas, USA, Technical Reference Manual SPRUHM8K, jul. 2024. Acedido: 29 de setembro de 2025. [Online]. Disponível em: https://www.ti.com/lit/ug/spruhm8k/spruhm8k.pdf?ts=1759120470226

[83] Infineon Technologies AG, «1EDI60N12AF – EiceDRIVER™ 1EDI Compact (1ED-AF) Single-Channel Isolated Gate Driver IC with Separate Output», Infineon Technologies AG, Munique, Alemanha, Technical Datasheet IFX-pwu1464779388652, jun. 2023. Acedido: 29 de setembro de 2025. [Online]. Disponível em: https://www.infineon.com/assets/row/public/documents/60/49/infineon-1edi60n12af-datasheet-en.pdf

[84] Skyworks Solutions, Inc., «Data Sheet Si8920 Isolated Amplifier for Current Shunt Measurement», Skyworks Solutions, Inc., Woburn, Massachusetts, USA, Technical Datasheet 206333A, jul. 2022. Acedido: 2 de outubro de 2025. [Online]. Disponível em: https://www.skyworksinc.com/-/media/Skyworks/SL/documents/public/data-sheets/si8920-datasheet.pdf

[85] Phatangare V. S.; Gundal S. S., «Effect of Component Tolerance on Performance of Difference Amplifier», em *Proceedings of the Conference on Wireless Communication and Android Apps (WiCAA–15)*, Nashik, Maharashtra, Índia: IOSR Journals, 2015, pp. 56–59. Acedido: 2 de outubro de 2025. [Online]. Disponível em: https://www.iosrjournals.org/iosr-jece/papers/wicaa-15/Volume-3/034.pdf?utm_source=chatgpt.com

[86] James Karki, «Analysis of the Sallen-Key Architecture (Rev. B)», Texas Instruments Incorporated, Dallas, Texas, USA, Application Report SLOA024B, set. 2002. Acedido: 2 de outubro de 2025. [Online]. Disponível em: https://www.ti.com/lit/an/sloa024b/sloa024b.pdf?utm_source=chatgpt.com

[87] ACEINNA Inc., «MCA1101 High Accuracy Current Sensor IC with 1.5 MHz 3 dB Bandwidth and Isolation ±5 A, ±20 A, ±50 A, 5 V, Fixed Gain – Rev. E», ACEINNA Inc., Andover, Massachusetts, USA, Technical Datasheet 6020-1102–01 Rev. E, jun. 2019. Acedido: 3 de outubro de 2025. [Online]. Disponível em: https://pt.mouser.com/datasheet/3/2616/1/6020-1102-01%20RevE_MCA1101_20190627.pdf

[88] Microsemi Corporation, «MSC080SMA120B4 – 1200 V, 80 mΩ Silicon Carbide N-Channel Power MOSFET, TO-247-4 Package (Revision ATI 1)», Microsemi Corporation, Aliso Viejo, Califórnia, EUA, Technical Datasheet 050–7755, set. 2019. Acedido: 5 de outubro de 2025. [Online]. Disponível em: https://ww1.microchip.com/downloads/aemDocuments/documents/PSDS/ProductDocuments/DataSheets/Microsemi_MSC080SMA120B4_SiC_MOSFET_Datasheet_ATI.PDF

[89] Micro Commercial Components Corp. (MCC), «SMCJ1.5KE6.8(C)A – SMCJ1.5KE550(C)A (DO-214AB) 1500 W Transient Voltage Suppressor Diodes», Micro Commercial Components Corp., Scottsdale, Arizona, USA, Technical Datasheet Rev. 3-5-06172021, jun. 2021. Acedido: 5 de outubro de 2025. [Online]. Disponível em: https://www.mccsemi.com/pdf/Products/SMCJ1.5KE6.8(C)A-SMCJ1.5KE550(C)A(DO-214AB).pdf

[90] Jaber Hasan, Kevin Ream, e Peter B. Green, «Parasitic-Induced False Turn-On of MOSFETs – A Deep Dive on CdV/dt Induced Turn-On in MOSFETs for Motor Drive Applications», Infineon Technologies AG, Munique, Alemanha, Application Note AN_2311_PL18_2311_003000, jan. 2024.

[91] KEMET Electronics Corporation, «A72 Series – Polypropylene Film/Foil Axial Capacitors for Pulse and High-Frequency Applications», KEMET Electronics Corporation, Fort Lauderdale, Florida, USA, Technical Datasheet F3039_A72_AXIAL, ago. 2023. Acedido: 6 de outubro de 2025. [Online]. Disponível em: https://content.kemet.com/datasheets/kem_f3039_a72_axial.pdf

[92] TDK Electronics AG, «B32774/B32776/B32778 Series – MKP DC Link Capacitors for Power Electronics», TDK Electronics AG, Munich, Germany, Technical Datasheet B3277*X/Y/Z, mai. 2025. Acedido: 5 de outubro de 2025. [Online]. Disponível em: https://www.tdk-electronics.tdk.com/inf/20/20/ds/MKP_B32774XYZ_778XYZ.pdf?ref_disty=digikey