

Universidade do Minho
Escola de Engenharia

Ana Rita Silva Carvalho

Estágio Conversor CA/CC para Carregador de Veículos Elétricos baseado na Topologia ANPC

janeiro de 2024

Universidade do Minho
Escola de Engenharia

Ana Rita Silva Carvalho

Estágio Conversor CA/CC para Carregador de Veículos Elétricos baseado na Topologia ANPC

Dissertação de Mestrado
Mestrado em Engenharia Eletrónica e de Computadores

Trabalho realizado sob orientação do
Professor Doutor Vítor Monteiro

e coorientação do
Engenheiro Nuno Francisco Costa

janeiro de 2024

DIREITOS DE AUTOR E CONDIÇÕES DE UTILIZAÇÃO DO TRABALHO POR TERCEIROS

Este é um trabalho académico que pode ser utilizado por terceiros desde que respeitadas as regras e boas práticas internacionalmente aceites, no que concerne aos direitos de autor e direitos conexos.

Assim, o presente trabalho pode ser utilizado nos termos previstos na licença abaixo indicada.

Caso o utilizador necessite de permissão para poder fazer um uso do trabalho em condições não previstas no licenciamento indicado, deverá contactar o autor, através do RepositóriUM da Universidade do Minho.

Licença concedida aos utilizadores deste trabalho



Atribuição-NãoComercial-SemDerivações
CC BY-NC-ND

https://creativecommons.org/licenses/by-nc-nd/4.0/

Agradecimentos

Primeiramente, quero expressar o meu sincero agradecimento ao meu orientador Doutor Vítor Duarte Fernandes Monteiro. Uma simples expressão de 'obrigada' não é suficiente para reconhecer toda a confiança que ele depositou em mim ao longo destes últimos meses. Foi sem dúvida uma contribuição valiosa para conseguir atingir todos os obstáculos com sucesso durante toda esta caminhada. Agradeço profundamente por estar sempre disponível e disposto a ajudar.

Desejo agradecer também ao meu coorientador Nuno Francisco da Costa pela paciência demonstrada ao longo dos últimos 12 meses na empresa. Agradeço sinceramente por todos os valiosos ensinamentos que compartilhou comigo. Foi sem dúvida das pessoas mais importantes para o meu início de carreira. Não só como chefe, mas também como uma pessoa carismática sempre disponível para me ajudar nos momentos de dificuldades. Sou grata pela oportunidade de fazer parte da equipa de hardware, uma experiência que está a enriquecer a minha jornada profissional.

Agradeço à minha família, principalmente aos meus pais e à minha irmã, por toda a motivação, não só neste último ano, mas por todo o percurso escolar. A presença deles foi a força impulsionadora para nunca desistir, mesmo nos momentos mais desafiadores.

Por último, agradeço a todos os meus amigos que estiverem sempre comigo nesta caminhada.

DECLARAÇÃO DE INTEGRIDADE

Declaro ter atuado com integridade na elaboração do presente trabalho académico e confirmo que não recorri à prática de plágio nem a qualquer forma de utilização indevida ou falsificação de informações ou resultados em nenhuma das etapas conducente à sua elaboração.

Mais declaro que conheço e que respeitei o Código de Conduta Ética da Universidade do Minho.

Resumo

A mobilidade elétrica é uma tendência relativamente recente, todavia tem-se demonstrado uma área em grande crescimento, uma vez que apresenta inúmeras vantagens, entre as quais a contribuição para a diminuição da utilização de combustíveis fósseis e das emissões de CO_2. Assim sendo, surge a necessidade de desenvolver na indústria automóvel veículos que minimizem emissões poluentes para o meio ambiente. Neste sentido, os veículos elétricos (VE) contribuem para um desenvolvimento sustentável, proporcionando várias vantagens em comparação com os veículos com motor de combustão interna.

Enquadrada na temática da mobilidade elétrica, mais concretamente nos carregadores ultrarrápidos dos veículos elétricos, esta dissertação de mestrado apresenta o estudo e desenvolvimento da topologia de conversor CA/CC trifásico, com a topologia ainda pouco explorada, neste contexto, denominada por *active neutral-point-clamped* (ANPC), e a modulação *space vector pulse width modulation* (SVPWM). Deste modo, primeiramente, é apresentada uma revisão de literatura sobre alguns conversores trifásicos CA/CC referentes à aplicação de sistemas de carregamento de VEs, tais como, o conversor CA/CC trifásico *full-bridge*, o conversor CA/CC trifásico *neutral-point-clamped* (NPC), e o conversor a desenvolver no âmbito desta dissertação, o conversor CA/CC trifásico ANPC. De seguida, é apresentado o estado da arte relacionado com teorias de controlo, ou seja, modulações PWM, controlo de corrente, teorias de cálculo de potência e algoritmos de sincronização com a rede elétrica. Deste modo, é possível verificar a particularidade de cada técnica abordada, bem como, compreender o funcionamento principal e o processo empregado para projetar o conversor em desenvolvimento. Após esta análise, é realizado um conjunto de simulações desenvolvidas no software PLECS. Assim, procede-se à construção de modelos térmicos com o propósito de avaliar e comparar os resultados obtidos pela modulação SVPWM convencional e híbrida. A análise visa identificar qual dessas abordagens demonstra uma eficiência superior no contexto específico do estudo. Ainda em ambiente de simulação em PLECS, é desenvolvido um modelo de simulação em que o controlo está preparado para ser portado para o DSP e ser validado em modo *offline*. Posteriormente, é projetado um protótipo laboratorial do conversor ANPC no software *Altium Designer*.

Palavras-Chave: Mobilidade Elétrica, Conversor CA/CC trifásico ANPC (*active neutral-point-clamped*), SVPWM (*space vector pulse width modulation*) , Teorias de Controlo, *PLECS*, *Altium Designer*.

Abstract

Electric mobility is a relatively recent trend, yet it has demonstrated significant growth as it brings forth numerous advantages, notably the reduction in the use of fossil fuels and CO_2 emissions. Consequently, there is a pressing need to develop vehicles in the automotive industry that minimize environmental impact. In this sense, electric vehicles (EVs) contribute to sustainable development by providing several advantages compared to internal combustion engine vehicles.

In the context of electric mobility, more specifically in ultrafast chargers of electric vehicles, this master dissertation presents the study and development of a three-phase AC/DC converter topology, with the still little explored active neutral-point-clamped (ANPC) topology and space vector pulse width modulation (SVPWM). Therefore, initially, a literature review is presented on various three-phase AC/DC converters relevant to the application in electric vehicle (EV) charging systems. These include the three-phase AC/DC full-bridge converter, the three-phase AC/DC neutral-point-clamped (NPC) converter, and the converter to be developed within the scope of this dissertation, the three-phase AC/DC ANPC converter. Next, the state of the art related to control theories is presented, i.e., PWM modulations, current control, power calculation theories and synchronization algorithms with the electricity grid.

In this way, it is possible to examine the specific characteristics of each technique discussed, as well as to understand the main functioning and the process employed in designing the developing converter. Following this analysis, a series of simulations are conducted using the PLECS software. Subsequently, thermal models are constructed with the aim of evaluating and comparing the results obtained from both conventional and hybrid SVPWM modulation. The analysis aims to identify which of these approaches demonstrates superior efficiency in the specific context of the study. Also, in the PLECS simulation environment, a simulation model is developed in which the control is prepared to be ported to the DSP and validated in offline mode. Subsequently, a laboratory prototype of the ANPC converter is designed using Altium Designer software

Keywords: Electric Mobility, ANPC (*active neutral-point-clamped*) three-phase AC/DC Converter, SVPWM (*space vector pulse width modulation*) , Control Theories, PLECS, Altium Designer.

ÍNDICE

Agradecimentos iv

Resumo vi

Abstract vii

Lista de Figuras x

Lista de Tabelas xiii

Acrónimos e Siglas xiv

Nomenclaturas xvi

Capítulo 1 Introdução 1

1.1 Veículos Elétricos 1

1.2 Sistema de Carregamento de Baterias de VEs 3

1.3 Enquadramento 3

1.4 Objetivos da Dissertação 5

1.5 Motivações 5

1.6 Organização da Dissertação 6

Capítulo 2 Estado da Arte: Conversores CA/CC Trifásicos e Semicondutores de Potência 8

2.1 Introdução 8

2.2 Conversor *Full-Bridge* Trifásico 9

2.3 Conversor *Neutral-Point-Clamped* (NPC) 10

2.4 Conversor *Active Neutral-Point-Clamped* (ANPC) 11

2.5 Semicondutores de Eletrónica de Potência 12

2.6 Conclusão 13

Capítulo 3 Estado da Arte: Teorias de Controlo para Conversores de Eletrónica de Potência 14

3.1 Introdução 14

3.2 PWM Sinusoidal 14

3.3 SVPWM 17

3.3.1 Princípio do SVPWM no Conversor ANPC 17

3.3.2 SVPWM Aplicado ao Conversor ANPC Híbrido 24

3.4 Controlo de Corrente 28

3.4.1 Controlo de Corrente por Histerese 29

3.4.2 Controlo de Corrente por *Periodic Sampling* 30

3.4.3 Controlo de Corrente PI 31

3.4.4 Controlo de Corrente Preditivo 32

3.5 Teorias de Potência 34

3.5.1 Teoria *pq* 34

3.5.2 Teoria FBD 36

3.6 Algoritmos de Sincronização com a Rede Elétrica 38

3.6.1 *Enhanced Phase-Locked Loop* (EPLL) 39
3.6.2 *Alfa-Beta* PLL 40
3.7 Filtro LCL 41
3.8 Conclusão 42
Capítulo 4 Simulação e Análise do Conversor ANPC 43
4.1 Introdução 43
4.2 Conversor ANPC com SVPWM Convencional 43
4.2.1 Controlo de Tensão 45
4.2.2 Controlo de Corrente 45
4.2.3 Resultados Experimentais 46
4.3 Conversor ANPC com SVPWM Híbrido 50
4.4 Simulação de Perdas/Térmicas 54
4.5 Conclusão 63
Capítulo 5 Implementação de um Modelo Discreto de Simulação com o Controlo Preparado para o DSP 64
5.1 Introdução 64
5.2 Arquitetura do Sistema 64
5.3 Esquemático e resultados em PLECS 65
5.3.1 Controlador do Conversor 66
5.3.2 Planta do Conversor 69
5.4 Conclusão 72
Capítulo 6 Implementação Laboratorial do Conversor 74
6.1 Introdução 74
6.2 Esquemático 74
6.2.1 Carta de Controlo 75
6.2.2 Sensor de Tensão 76
6.2.3 Sensor de Corrente 77
6.2.4 Driver 78
6.2.5 Altium Designer 79
6.3 Conclusão 81
Capítulo 7 Conclusão 82
7.1 Conclusões 82
7.2 Sugestões para Trabalho Futuro 85
Lista de Referências 86
Apêndices 94

Lista de Figuras

Figura 1.1 – Gráfico representativo sobre a emissão de CO_2 em diferentes setores. 1
Figura 1.2 – Diferentes tipos de veículos elétricos. 2
Figura 1.3 – Métodos de carregamento de veículos elétricos. 3
Figura 1.4 – Estágios de conversão de um sistema de carregamento. 4
Figura 2.1 – Esquema da topologia do conversor *full-bridge*. 9
Figura 2.2 – Esquema da topologia do conversor NPC em sistema trifásico. 10
Figura 2.3 – Esquema da topologia do conversor ANPC em sistema trifásico. 12
Figura 2.4 – Semicondutores de potência [17]. 12
Figura 3.1 – Padrão PWM para o 3L-NPC. 15
Figura 3.2 – Padrão PWM para o 3L-ANPC com dois níveis no estado O. 16
Figura 3.3 – Diagrama vetorial da modulação SVPWM. 18
Figura 3.4 – Fluxograma referente à deteção da região. 20
Figura 3.5 – Diagrama vetorial do setor 1 da topologia ANPC convencional. 20
Figura 3.6 – Sequências dos estados de comutação do setor 1 da região 1 e 2. 24
Figura 3.7 – Sequências dos estados de comutação do setor 1 da região 3 e 4. 24
Figura 3.8 – Esquema do conversor ANPC híbrido. 25
Figura 3.9 – Diagrama vetorial do setor 1 na topologia ANPC híbrida. 27
Figura 3.10 – Diagrama de blocos sobre controlo de corrente por histerese. 29
Figura 3.11 – Diagrama de blocos sobre controlo de corrente por *periodic sampling*. 30
Figura 3.12 – Diagrama de blocos sobre controlo de corrente por proporcional-integral. 31
Figura 3.13 – Diagrama de blocos da teoria de potência *pq*. 36
Figura 3.14 – Diagrama de blocos da técnica PLL. 39
Figura 3.15 – Diagrama de blocos do algoritmo de sincronização EPLL. 40
Figura 3.16 – Diagrama de blocos do algoritmo de sincronização $\alpha\beta$LL. 41
Figura 3.17 – Topologia LCL. 41
Figura 4.1 – Modelo de simulação em PLECS do conversor ANPC com SVPWM convencional. 44
Figura 4.2 – Detalhe do modelo de simulação em PLECS relativo ao controlo de tensão. 45
Figura 4.3 – Detalhe do modelo de simulação em PLECS relativo ao controlo de corrente. 45
Figura 4.4 – Estados de comutação do conversor ANPC com SVPWM convencional. 46
Figura 4.5 – V_α e V_β. 47
Figura 4.6 – Setor e região, respetivamente. 47
Figura 4.7 – Onda de sinal dos respetivos IGBTs para a modulação SVPWM convencional. 48
Figura 4.8 – Tensão (a) e corrente (b) da rede elétrica. 48
Figura 4.9 – Detalhe do modelo de simulação em PLECS relativo ao cálculo da potência ativa e reativa. 49

Figura 4.10 – Visualização dos resultados da potência ativa/reativa presentes no conversor ANPC para uma constante i_q de 0 A e 200 A, respetivamente. 49

Figura 4.11 – Código implementado para as diferentes matrizes do setor 1 das quatro regiões para o sistema convencional. 50

Figura 4.12 – Código implementado para o cálculo temporal da sequência de nove segmentos da região 1. 50

Figura 4.13 – Código implementado para as diferentes matrizes do setor 1 das quatro regiões para o sistema híbrido. 51

Figura 4.14 – Estados de comutação do conversor ANPC com SVPWM híbrido. 52

Figura 4.15 – V_α e V_β. 52

Figura 4.16 – Setor e região, respetivamente. 53

Figura 4.17 – Onda de sinal dos respetivos transístores para a modulação SVPWM híbrida. 53

Figura 4.18 – Modelo térmico em PLECS. 55

Figura 4.19 – Bloco referente às perdas de condução e comutação [65]. 55

Figura 4.20 – Perdas de condução e comutação em ambiente PLECS. 56

Figura 4.21 – Código implementado para a extração dos valores de perdas de comutação e condução dos semicondutores. 57

Figura 4.22 – Perdas de condução e comutação de cada semicondutor de potência das três simulações realizadas com parâmetros i_{qref} = 0 A fsw = 3 kHz e R = 2,5 Ω. 58

Figura 4.23 – Perdas totais para uma frequência de comutação de 3 kHz e 7 kHz, respetivamente. 59

Figura 4.24 – Perdas totais para uma frequência de comutação de 10 kHz. 59

Figura 4.25 – Perdas totais para uma corrente i_q de 0 A e 200 A, respetivamente. 60

Figura 4.26 – Perdas totais para uma corrente i_q de 400 A. 60

Figura 4.27 – Máximas temperaturas para uma frequência de comutação de 3 kHz. 61

Figura 4.28 – Máximas temperaturas para uma frequência de comutação de 7 kHz. 61

Figura 4.29 – Perdas (%) para as três aplicações estudadas. 62

Figura 4.30 – Potência atingida com *res1* de 2,5 Ω. 62

Figura 4.31 – Potência atingida com *res1* de 1,9 Ω. 63

Figura 5.1 – Arquitetura do sistema. 65

Figura 5.2 – Controlador e planta do conversor em PLECS. 66

Figura 5.3 – Controlador do conversor em PLECS. 67

Figura 5.4 – Ganhos K_i e K_p. 68

Figura 5.5 – Bloco *Control Task Trigger*. 68

Figura 5.6 – Valores de tensão de v_α e v_β e os setores/regiões correspondentes, respetivamente. 69

Figura 5.7 – Planta do conversor em PLECs. 70

Figura 5.8 – Tensão v_{dc}. 71

Figura 5.9 – Tensão e corrente da rede elétrica. 71

Figura 5.10 – Correntes I_{cap}. 72

Figura 5.11 – Onda de sinal dos respetivos IGBTs para a modulação aplicada. 72

Figura 6.1 – Esquemático simplificado do protótipo. 75

Figura 6.2 – Carta de Controlo TMDSCNCD28379D. 75

Figura 6.3 – Amplificador de isolamento para medição de tensão. 76

Figura 6.4 – Amplificador diferencial. 77
Figura 6.5 – Sensor de corrente. 77
Figura 6.6 – Esquema de ligação do *driver*. 78
Figura 6.7 – *Driver*. 79
Figura 6.8 – Conversor CC/CC para alimentação do *driver*. 79
Figura 6.9 – Placa PCB desenvolvida em *Altium Designer*. 80

Lista de Tabelas

Tabela 1.1 – Comparação das diferentes tecnologias de veículos elétricos. 2
Tabela 2.1 – Estado de comutação da fase *a* do conversor *full-bridge*. 9
Tabela 2.2 – Estado de comutação da fase *a* do conversor do NPC. 10
Tabela 3.1 – Estado de comutação do conversor do ANPC para a estratégia 1. 15
Tabela 3.2 – Estado de comutação do conversor do ANPC para a estratégia 2. 17
Tabela 3.3 – Valor de tensão das diferentes combinações de vetores. 18
Tabela 3.4 – Valores dos tempos para as 4 regiões. 23
Tabela 3.5 – Limitação dos estados de comutação 26
Tabela 3.6 – 64 vetores do *Space Vector Hybrid*. 26
Tabela 3.7 – Sequência para cada região do setor 1. 28
Tabela 4.1 – Dados da simulação. 44
Tabela 4.2 – Estados de comutação do ANPC com SVPWM convencional. 46
Tabela 4.3 – Dados dos módulos. 54
Tabela 5.1 – Dados da simulação. 65

Acrónimos e Siglas

Acrónimo / Sigla	**Significado**
ANPC	*Active Neutral Point Clamped*
CA	Corrente Alternada
CC	Corrente Contínua
DSP	Processador de Sinal Digital (*Digital Signal Processor*)
DSRF-PLL	*Double synchronous reference frame* PLL
EPLL	*Enhanced Phase-Locked Loop*
FBD	*Fryze-Buchholz-Depenbrock*
FCEV	Veículo Elétrico a Célula de Combustível (*Fuel Cell Electric Vehicle*)
GaN	Nitreto de Gálio (*Gallium Nitride*)
HEV	Veículo Elétrico Híbrido (*Hybrid Electric Vehicle*)
IGBT	*Insulated Gate Bipolar Transistor*
LP	*Loop Filter*
NPC	*Neutral Point Clamped*
PD	Detetor de Fase (*Phase Detector*)
PHEV	Veículo Híbrido Plug-in (*Plug-in Hybrid Electric Vehicle*)
PI	Proporcional-Integral
PLL	*Phase-Locked Loop*
PSIM	*Power Simulation*
PWM	*Pulse Width Modulation*
QPLL	*Quartz crystal based Phase-Locked Loop*
SiC	Carbeto de Silício (*Silicon Carbide*)

SOGI	*Second Order Generalized Integrators*
SRF	*Stationary reference frame*
SRF-PLL	*Synchronous reference frame* PLL
THD	Distorção Harmónica Total (*Total Harmonic Distortion*)
VCO	Oscilador Controlado por Tensão (*Voltage Controlled Osicilator*)
VE	Veículo Elétrico

Nomenclaturas

G_a	Condutância ativa	S
G_p	Condutância de potência	S
i_μ	Valor instantâneo de corrente de cada fase do sistema	A
$i_{a\mu}$	Valor instantâneo de corrente ativa	A
i_{erro}	Valor instantâneo de erro da corrente de saída	A
$i_{n\mu}$	Valor instantâneo de corrente não ativa	A
i_{out}	Valor instantâneo de corrente de saída	A
$i_{p\mu}$	Valor instantâneo de corrente de potência	A
i_{ref}	Valor instantâneo de corrente de referência	A
$i_{v\mu}$	Valor instantâneo de corrente de variação	A
$i_{z\mu}$	Valor instantâneo de corrente de "powerless"	A
Kd	Constante derivativa	-
K_i	Constante integral	-
Kp	Constante proporcional	-
L_c	Valor de indutância do lado do conversor	L
L_g	Valor de indutância do lado da rede	L
p	Valor de potência real instantânea	W
P_{Loss}	Valor médio de perda de potência	W
q	Valor de potência imaginaria instantânea	W
S_r	Valor de tensão de saída de referência	V
T_a,T_b,T_c	Valor dos tempos de cada fase da teoria SVPWM para as diferentes regiões	s
T_s	Valor de período de amostragem	s
v_{dc}	Valor instantâneo de tensão do barramento CC	V
v_L	Valor instantâneo de tensão nos terminais da bobina de acoplamento	V
V_{mag}	Valor de magnitude do vetor de referência	V
v_{out}	Valor instantâneo de tensão de saída	V
v_r	Valor instantâneo de tensão na resistência interna	V

V_{ref}	Representação do vetor de referência	V
v_S	Valor instantâneo de tensão da rede elétrica	V
Δi_{erro}	Variação da corrente de erro	A
θ	Valor do ângulo de fase	°C
ω_r	Valor de frequência de ressonância	Hz

Capítulo 1

Introdução

1.1 Veículos Elétricos

Os veículos elétricos surgiram no início do desenvolvimento da indústria automóvel. Na verdade, até 1910, os veículos elétricos eram mais predominantes do que os veículos equipados com motores de combustão interna [1]. As baterias tornaram-se o único componente responsável pelo armazenamento de energia, apresentando como características negativas, o custo, o volume e o peso. Assim sendo, estes fatores foram significativos para o desaparecimento destes veículos nos meios de transporte. Além disso, as autonomias alcançadas eram consideravelmente mais baixas do que os veículos com motores de combustão interna [2]. Nos últimos anos, o interesse pelos veículos elétricos cresceu novamente devido, principalmente, a cinco tendências globais, tais como o aumento de custos de combustíveis, a redução das fontes primárias de combustíveis fósseis, as alterações climáticas, o avanço tecnológico de sistemas de energia e o aumento da consistência social. A nível global, um dos problemas ambientais mais urgentes continua a ser a predominância de combustíveis fósseis, uma vez que são responsáveis pela maior parte de emissão de dióxido de carbono (CO_2) [3]. Os transportes públicos e privados também contribuem consideravelmente para a emissão de CO_2, 22 %, como se pode visualizar na Figura 1.1. Perante estas diversidades, torna-se crucial que os serviços públicos sejam VE e com energia a partir de renováveis.

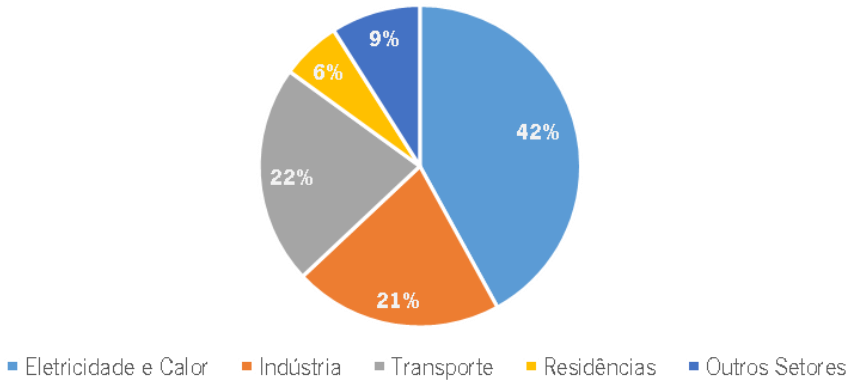


Figura 1.1 – Gráfico representativo sobre a emissão de CO_2 em diferentes setores.

Consequentemente, surge a necessidade do desenvolvimento de veículos elétricos, tornando-se não só a solução que inibe a emissão de dióxido de carbono, mas também capaz de armazenar energia [4]. No entanto, globalmente, a presença de veículos elétricos ainda é bastante inferior relativamente ao veículo convencional, uma vez que o motor a combustão domina na autonomia, devido à alta densidade energética dos combustíveis líquidos de hidrocarbonetos, assim como em tempos de recarregamento [1]. Podem ser distinguidos quatros tipos de veículos elétricos, conforme apresentado na Figura 1.2: veículo elétrico a bateria (VE), veículo elétrico híbrido (VEH), veículo elétrico híbrido *plug-in* (VEHP) e veículo com célula de combustível. O veículo elétrico tem apenas baterias como fonte de energia para alimentar o motor elétrico [2]. Na Tabela 1.1 é realizada uma comparação de algumas características relevantes dos diferentes tipos de veículos elétricos.

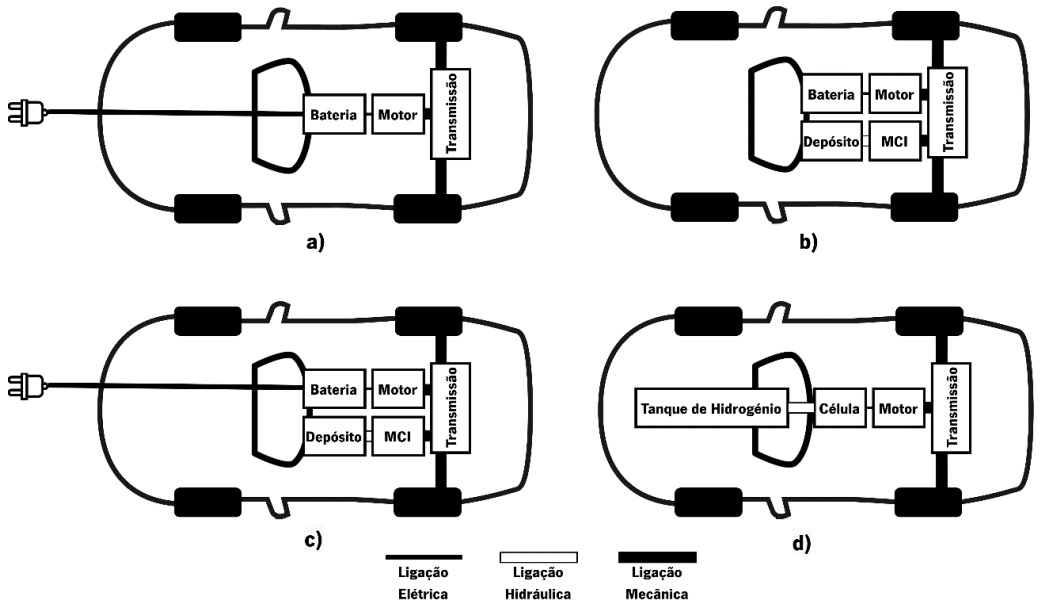


Figura 1.2 – Diferentes tipos de veículos elétricos.

Tabela 1.1 — Comparação das diferentes tecnologias de veículos elétricos.

	Veículo Elétrico	**Híbrido**	**Híbrido Plug-In**	**Célula de Combustível**
Fonte de Potência	Eletricidade	Eletricidade e gasolina	Eletricidade e gasolina	Hidrogénio
Emissão CO_2	Não	Sim	Sim	Não
Bateria	15-100 kWh	1-2 kWh	5-10 kWh	1-2 kWh
Carregamento	Estações de Carregamento	Posto de Combustível	Estações de Carregamento e de Combustível	Posto de Combustível
Plug-In Externo	Sim	Não	Sim	Não
Autonomia	100-400 km	400-700 km	Bateria:30 a 100 km; Combustível: 400-700 km	400-700 km

1.2 Sistema de Carregamento de Baterias de VEs

O sistema de carregamento de baterias dos VEs pode ser classificado segundo métodos de carregamento de carga condutiva (*wired*) ou indutiva (*wireless*), Figura 1.3. No carregamento denominado como carregamento condutivo, a transferência de energia é realizada por meio de uma ligação elétrica por cabo. Já o carregamento indutivo para veículos elétricos, envolve a transferência de energia sem uma ligação por contacto entre a estação de carregamento e o veículo. Existem duas formas de implementação deste método: o carregamento estacionário ou dinâmico. O carregamento estacionário é efetuado num local com uma rede elétrica especializada, onde o veículo não se encontra em movimento e é carregado sem fios [5]. O carregamento dinâmico, significa que o veículo pode ser recarregado em movimento. Esta técnica surge na tentativa de diminuir o tempo de carregamento do veículo e aumentar a sua autonomia [6].

Este sistema de carregamento pode também ser classificado como *off-board*, no exterior do veículo e, *on-board*, no interior do veículo. O carregamento *on-board* limita a potência devido ao seu próprio peso e volume. Em contrapartida, o sistema *off-board* é utilizado para o carregamento rápido através de uma estação de carregamento externa. As desvantagens deste carregamento incluem o custo adicional dos sistemas de eletrónica de potência e o risco de vandalismo [7].

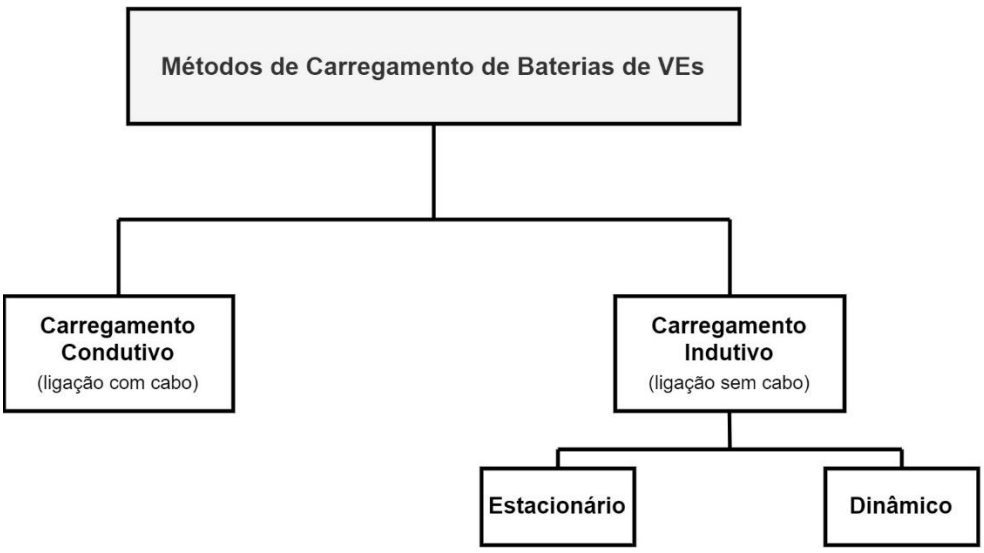


Figura 1.3 – Métodos de carregamento de veículos elétricos.

1.3 Enquadramento

No contexto de um carregador ultrarrápido de veículos elétricos, representado na Figura 1.4, o andar de potência CA/CC, tem especial relevância no desempenho do carregador. Este conversor apresenta

alguns requisitos consideráveis, nomeadamente, fator de potência unitário, elevada eficiência, bidirecional e operação com correntes sinusoidais equilibradas. A utilização de uma topologia multinível poderá introduzir algumas vantagens, como melhoria do rendimento e qualidade de forma de onda, redução dos filtros na entrada e permitir maior flexibilidade no desenho do andar seguinte de conversão CC/CC.

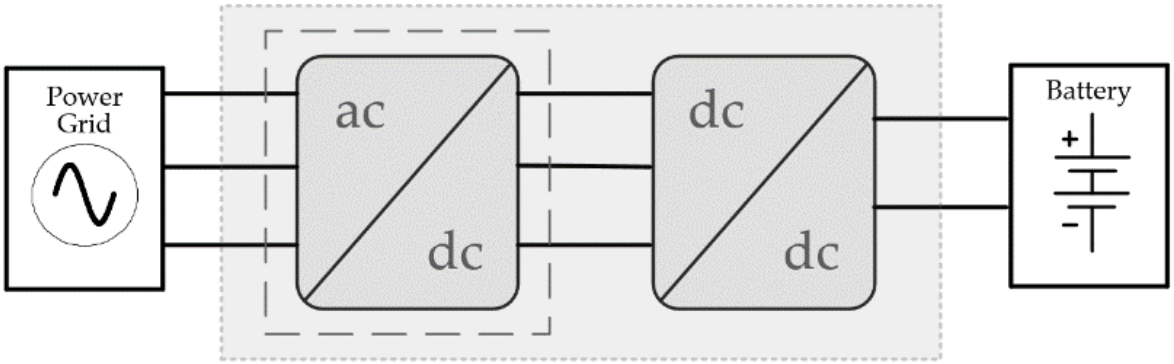


Figura 1.4 – Estágios de conversão de um sistema de carregamento.

Atualmente, existem diversos conversores CA/CC trifásicos entre os quais, o conversor *full-bridge*, o conversor *neutral-point-clamped* (NPC), o conversor VIENNA e o conversor *flying-capacitor*. O conversor *full-bridge* é a topologia menos complexa e pode ser aplicado em sistemas de carregamento de veículos elétricos. Este conversor é bidirecional, obtém dois níveis de tensão ($+v_{dc}$ e $-v_{dc}$) e possui três braços com dois IGBTs em cada braço. O conversor NPC é bastante utilizado em aplicações de alta potência, permite operação bidirecional e obtém três níveis de tensão (0, $+v_{dc}/2$ e $-v_{dc}/2$). Porém, este conversor apresenta uma forte desvantagem, o desequilíbrio de distribuição de perdas entre os semicondutores de potência, dependendo do ponto de operação na curva de potência ativa/reativa. Desta forma, surge o conversor *active neutral-point-clamped* (ANPC), uma derivação do conversor NPC, para resolver o problema de distribuição de perda desigual relativamente ao NPC. Assim sendo, o ANPC relativamente às topologias mais simples, tem como vantagens, o facto de permitir eliminar os harmónicos de baixa ordem, aperfeiçoar as operações tolerantes a falhas, equilibrar a tensão no ponto neutro e atenuar a tensão em modo comum.

Nesse sentido, o foco do projeto será explorar a topologia 3L denominada ANPC (com componentes IGBTs) e ANPC híbrida (substituição de apenas dois dos dispositivos IGBTs por dispositivos MOSFETs) com a modulação SVPWM convencional e híbrida no andar de entrada de um carregador de veículos elétricos tendo em vista a aumento da eficiência.

1.4 Objetivos da Dissertação

Na presente proposta desta dissertação é pretendido alcançar um conjunto de objetivos ambiciosos. O desenvolvimento do conversor CA/CC trifásico ANPC compreende diversas etapas, desde o estudo de estado de arte de diferentes topologias, teorias de controlo de conversores trifásicos, exploração de várias modulações, modelo térmico, análise de implementação de controlo em DSP até à implementação de protótipo no *Altium Designer*. Deste modo, a realização destas atividades é fundamental para atingir todos os objetivos e para o bom desempenho deste conversor. Assim, realizam-se as seguintes fases:

1. Estudo estado de arte sobre conversores CA/CC trifásicos e um balanço comparativo com outras topologias;
2. Estudo de estratégias de comutação e controlo do conversor ANPC;
3. Dimensionamento do conversor (incluindo componentes customizados);
4. Projeto de conversor com recurso a módulos existentes no mercado;
5. Desenvolvimento e implementação de protótipo de baixa potência em ambiente de laboratório:
   5.1. Plataforma de controlo;
   5.2. Desenho de *drivers* e *stack* de potência.

1.5 Motivações

A preferência do tema desta dissertação sucedeu com base nas propostas da empresa EFACEC. Desta forma, esta empresa apresentou temas bastante diversificados, quer a nível teórico como prático. Assim, o desafio tecnológico para a aplicação de uma área relevante para o futuro do sistema elétrico e da mobilidade elétrica foi o principal motivo desta decisão. Este tema tem como finalidade desenvolver sistemas de eletrónica de potência orientada para aplicação industrial, adquirir conhecimentos e competências em diferentes áreas, particularmente, sistemas de embebidos, teorias de controlo digital, trabalho de simulação no software PLECS e de implementação prática. Com a possibilidade de colaborar com a empresa EFACEC, permite melhorar/promover as *soft* e *hard skills*, *networking* e experiência de trabalho em ambiente empresarial.

1.6 Organização da Dissertação

Esta dissertação está dividida em sete capítulos, ao longo dos quais estão descritas todas as etapas realizadas para o desenvolvimento desta dissertação. Assim sendo, é apresentado neste subcapítulo uma descrição dos tópicos abordados em cada um dos capítulos compreendidos neste documento.

No Capítulo 1 é realizada uma introdução relativamente à evolução dos carros elétricos ao longo das últimas décadas e é apresentado dados estatísticos relativos à emissão de dióxido de carbono (CO_2) causada por diferentes setores a nível global. São também expostos neste capítulo, os dois sistemas de carregamento de baterias dos VEs: carregamento de carga condutiva (*wired*) ou indutiva (*wireless*). O capítulo é concluído com a descrição dos objetivos e as motivações referentes a esta dissertação.

No Capítulo 2 é feito um levantamento do estado da arte sobre as diferentes topologias dos conversores de eletrónica de potência, mais especificamente, os conversores CA/CC trifásicos relativos à aplicação de sistemas de carregamento de VEs e a tecnologia dos semicondutores de potência (componentes como *insulated gate bipolar transistor* (IGBTs) e *metal oxide semiconductor field effect transístor* (MOSFETs). Este capítulo é encerrado com uma breve conclusão e comparação das três topologias com mais relevância para este tipo de aplicação.

No Capítulo 3 são abordadas diversas teorias de controlo para serem aplicadas e implementadas nos diferentes conversores. Assim sendo, é apresentado neste capítulo, uma revisão do estado de arte sobre as principais modulações PWM (PWM Sinusoidal e SVPWM), as técnicas de controlo de corrente, as teorias de potência utilizadas e os algoritmos de sincronização com a rede elétrica. Este capítulo encerra-se com uma breve conclusão referente aos tópicos abordados anteriormente.

No Capítulo 4 são apresentadas as diferentes simulações abordadas e os resultados obtidos em PLECS. Neste capítulo são demonstradas as principais diferenças entre o conversor ANPC com as duas modulações estudadas, SVPWM convencional e SVPWM híbrida. Seguidamente, de forma a verificar o desempenho do conversor e analisar as perdas de comutação/condução e temperaturas, são realizados testes térmicos com módulos de potência (da *Infineon* e da *Wolfspeed*). Este capítulo é encerrado com uma breve conclusão da modulação que apresenta melhores resultados.

No Capítulo 5 é realizada a simulação referente ao conversor ANPC com a modulação híbrida em PLECS para um sistema próximo de hardware *in the loop* (RTBOX). Assim, é apresentada a simulação implementada para este efeito, sendo que esta está subdividida em dois grandes sistemas: controlador

e planta. Estes dois subsistemas são explicados ao longo deste capítulo. Por último, este capítulo encerra-se com uma breve conclusão referente aos dois tópicos abordados anteriormente.

No Capítulo 6 é apresentado o protótipo do conversor ANPC, apenas de um braço/fase, em PCB realizado em ambiente *Altium Designer*. Neste capítulo é evidenciado o esquemático do conversor desenvolvido com os diferentes elementos constituintes. Cada elemento utilizado, como carta de controlo, sensor de tensão, sensor de corrente, *driver*, também é demonstrado neste ponto. O capítulo é concluído com uma breve conclusão referente à projeção do conversor no software *Altium Designer*.

No Capítulo 7 são descritas as conclusões referentes ao trabalho realizado ao longo desta dissertação, bem como possíveis sugestões de melhorias para um trabalho futuro.

Nas Apêndices encontra-se algum código implementado referente às simulações em PLECS e os esquemáticos respetivos do protótipo do conversor em PCB em *Altium Designer*.

Capítulo 2

Estado da Arte: Conversores CA/CC Trifásicos e Semicondutores de Potência

2.1 Introdução

Neste capítulo, é apresentada uma revisão bibliográfica sobre alguns conversores trifásicos CA/CC referentes à aplicação de sistemas de carregamento de VEs. Estes tipos de conversores podem funcionar como retificadores ativos, convertendo tensão e corrente alternada em valores contínuos, bem como inversores, convertendo tensão e corrente contínua em valores alternados [8].

Os conversores CA/CC são importantes na área da eletrónica de potência, uma vez que podem ser empregues em diferentes aplicações, especialmente, em sistemas de carregamento de baterias de veículos elétricos, equipamentos elétricos do dia-a-dia (televisões, componentes de iluminação, computadores, *tablets*, telemóveis, ...), sistemas de acionamento de velocidade ajustável, entre outros [9]. Assim sendo, é apresentado o estado de arte de diferentes topologias destes conversores para serem aplicados em sistemas de carregamento de veículos elétricos. Na atualidade, existem diferentes conversores CA/CC trifásicos, entre os quais, conversor a díodos, conversor *full-bridge*, conversor NPC, conversor VIENNA e o conversor *flying-capacitor*. O conversor de díodos é o conversor CA/CC trifásico mais conhecido e utilizado, tal como nos sistemas monofásicos, visto que é a topologia mais simples e robusta [10]. Este conversor é unidirecional, não permite o controlo da tensão CC e apresenta distorção de corrente na entrada.

A finalidade deste capítulo é apresentar as principais características de cada topologia, bem como, as vantagens e desvantagens de cada uma. Estes conversores podem possuir diferentes níveis de potência, podendo ser unidirecionais ou bidirecionais. Além disso, apresentam alguns requisitos importantes, nomeadamente, fator de potência unitário, elevada eficiência e permitem obter corrente sinusoidal à entrada, sendo classificados como conversores *Power Factor Correction* (PFC). Após uma revisão de cada uma destas topologias, é então feita uma breve conclusão e comparação dos conversores trifásicos

referidos relativamente às características mencionadas. Porém, nesta revisão de literatura são apenas abordados alguns destes conversores, dando total enfase ao conversor ANPC por ser o principal objetivo desta dissertação. Para finalizar este capítulo, são apresentados de forma resumida, duas tecnologias de semicondutores de eletrónica de potência, que servem de elementos para a simulação e desenvolvimento do conversor. É ainda realizada uma comparação entre estes componentes, já que apresentam algumas diferenças nas características internas e externas.

2.2 Conversor *Full-Bridge* Trifásico

O conversor *full-bridge* pode ser utilizado em sistemas de carregamento de veículos elétricos e é a topologia com menor número de semicondutores, representando uma vantagem. Este conversor apresenta uma característica bidirecional, possui três braços com dois IGBTs em cada braço e obtém dois níveis de tensão ($+v_{dc}$ e $-v_{dc}$). Na Figura 2.1 pode-se observar a topologia do conversor CA/CC *full-bridge* trifásico.

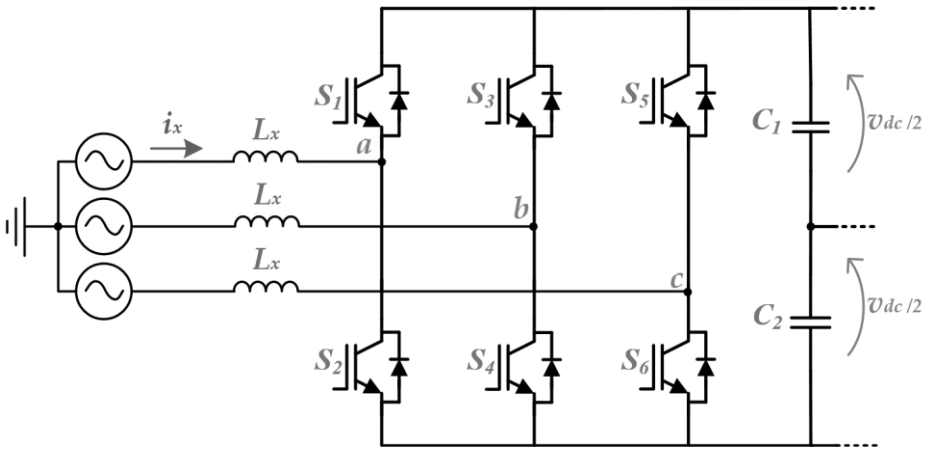


Figura 2.1 – Esquema da topologia do conversor *full-bridge*.

A Tabela 2.1 resume os estados de comutação deste conversor da fase *a*. Esta tabela é apenas um exemplo ilustrativo, uma vez que esta topologia apresenta uma simetria em todo o seu modelo.

Tabela 2.1 — Estado de comutação da fase *a* do conversor *full-bridge*.

Tensão de Saída	S_1	S_2
$+v_{dc}$	1	0
$-v_{dc}$	0	1

Deste modo, quando o IGBT S_1 está *on* e o S_2 está *off*, a tensão de saída é igual a $+v_{dc}$. Caso, a tensão de saída seja $-v_{dc}$, significa que S_1 está *off* e o S_2 *on*. Aplica-se o mesmo exemplo para as restantes fases, *b* e *c*, e obtêm-se os respetivos níveis de tensão.

2.3 Conversor *Neutral-Point-Clamped* (NPC)

Os conversores multinível têm mostrado nos últimos tempos um desempenho superior relativamente aos conversores de dois níveis, uma vez que apresentam melhor qualidade de tensão de saída, menores perdas de comutação, menor *dv/dt* e operação de frequências mais elevadas [11], sendo utilizados em aplicações de alta potência. O conversor NPC permite operar em modo bidirecional e a tensão máxima aplicada a cada IGBT ou díodo é $+v_{dc}/2$, sendo composto por quatro IGBTs e dois díodos por fase. A topologia do conversor 3L-NPC é representada na Figura 2.2 e a Tabela 2.2 resume os estados de comutação deste conversor, como exemplo, para a fase *a*.

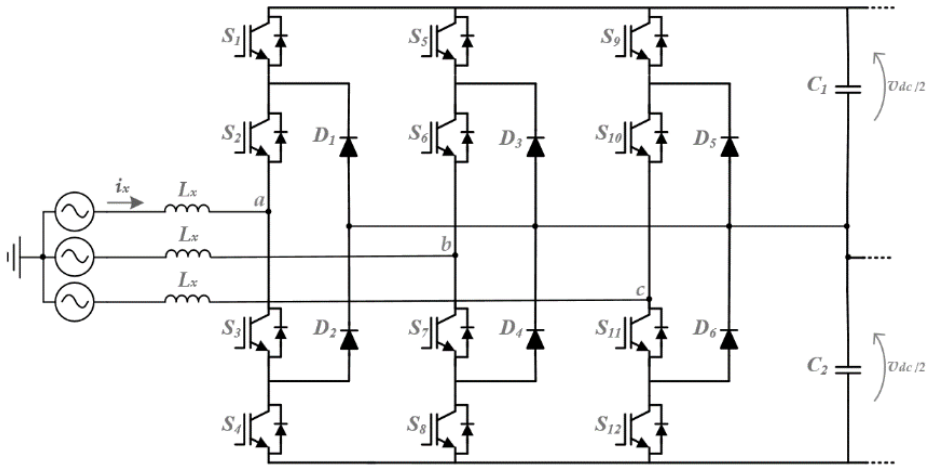


Figura 2.2 – Esquema da topologia do conversor NPC em sistema trifásico.

Tabela 2.2 — Estado de comutação da fase *a* do conversor do NPC.

Tensão de Saída	Estados	S_1	S_2	S_3	S_4
$+v_{dc}/2$	P	1	1	0	0
0	O	0	1	1	0
$-v_{dc}/2$	N	0	0	1	1

A tabela da fase *a* é de novo apenas um exemplo ilustrativo, uma vez que esta topologia apresenta uma simetria em todo o seu modelo. A topologia 3L-NPC tem apenas três estados de comutação, P, O e N. O estado P e N corresponde a uma ligação direta da carga para a tensão de alimentação CC. Enquanto, o estado O é obtido, quando a carga indutiva passa por dois caminhos diferentes, dependendo do seu

sentido. Assim sendo, se a corrente de carga for positiva, o caminho será pelo díodo D_1 e pelo IGBT S_2. Caso, a corrente de carga seja negativa, o caminho percorre o díodo D_2 e o IGBT S_3 [12]. Deste modo, quando os IGBTs S_1 e S_2 estão *on*, o estado é igual a P. Se a tensão de saída for 0, o estado é O, ou seja, o S_1 está *off* e comutam-se o S_2 e o S_3. Por fim, se os IGBTs S_3 e S_4 estão ligados, a tensão de saída é igual a $-v_{dc}/2$ *e* o estado é representado por N. Contudo, a existência de um único estado de comutação O representa uma limitação à estrutura 3L-NPC, tendo como consequência a distribuição de perdas entre os interruptores [13]. A distribuição desigual de perdas resulta num maior volume de dissipação de calor, o que não é benéfico para o melhoramento da densidade de potência do conversor e contribui para uma deterioração desigual dos componentes [14].

O conversor NPC tornou-se a alternativa promissora para as aplicações de baixa tensão dos últimos anos. No entanto, apresenta uma forte desvantagem, relativamente ao desequilíbrio da distribuição de perdas entre os semicondutores de potência, conforme referida anteriormente [11].

2.4 Conversor *Active Neutral-Point-Clamped* (ANPC)

O conversor ANPC (*active*-NPC) é uma derivação do conversor NPC. Este conversor surge para eliminar o grande inconveniente do conversor NPC. Desta forma, utiliza-se dispositivos de comutação para substituir os díodos do 3L-NPC. Substitui-se os díodos D_1, D_2, D_3, D_4, D_5 e D_6 pelos IGBTs S_5, S_6, S_{11}, S_{12}, S_{17} e S_{18}.

Como resultado, este conversor pode alterar a distribuição de perdas dos dispositivos de potência comutando diferentes estados zero na estratégia de comutação. A distribuição de perdas de condução durante os estados zero pode ser controlada pela seleção do caminho NPC superior ou inferior. As perdas de condução dos estados P e N não são influenciadas [13]. A topologia do conversor 3L-ANPC é representada na Figura 2.3. Para analisar os diferentes estados de comutação são estudadas diferentes estratégias PWM sinusoidal apresentadas no capítulo seguinte.

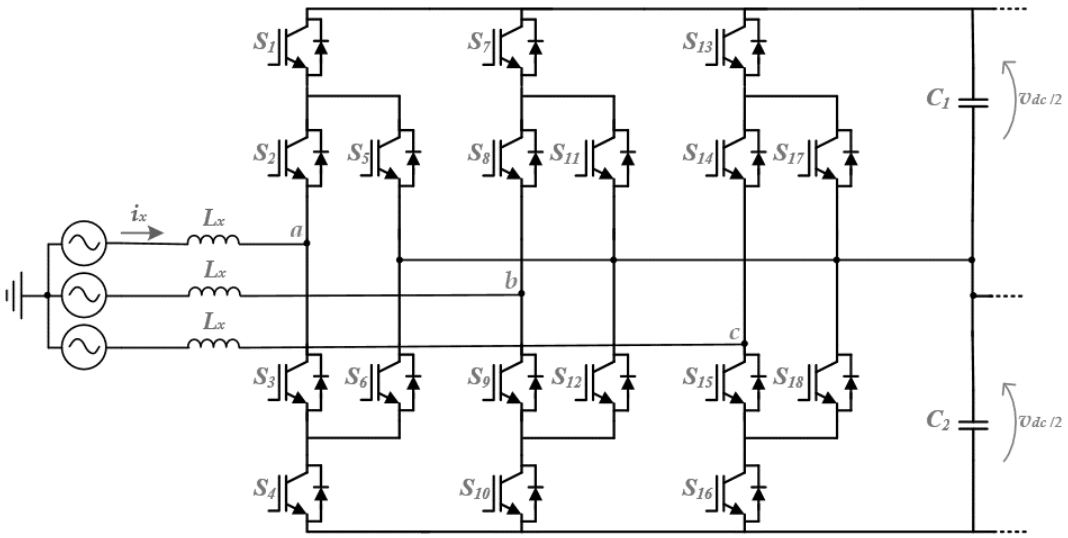


Figura 2.3 – Esquema da topologia do conversor ANPC em sistema trifásico.

2.5 Semicondutores de Eletrónica de Potência

Os dispositivos semicondutores de eletrónica de potência estão em evolução desde 1956 [15]. No entanto, na última década, a evolução de semicondutores tem sido cada vez mais significativa. Os dispositivos com carboneto de silício (SiC) e nitreto de gálio (GaN) são sem dúvida os mais promissores. Contudo, o silício é a tecnologia mais utilizada [16], especialmente na indústria eletrónica e na informática, uma vez que é uma tecnologia madura, com menos restrições em termos de matéria-prima e processo produtivo. Para além destas vantagens, o silício permite um melhor desempenho a altas temperaturas e o seu custo está em fase de decréscimo [15]. As aplicações industriais que envolvem o controlo de potência em conversores baseiam-se sobretudo em componentes como IGBTs e MOSFETs, Figura 3.4. Nesta dissertação, para o desenvolvimento do conversor ANPC, são utilizados estes dois tipos de componentes, numa perspetiva combinada, tendo em vista a maximização do potencial das suas características individuais.



Figura 2.4 – Semicondutores de potência [17].

Comparando os IGBTs e os MOSFETs, a principal diferença está na estrutura interna, o que induz diferenças, no que diz ao regime dinâmico de condução/comutação, tensões e as frequências que podem ser operados.

Para o componente MOSFET, o perfil de tensão/corrente na saída de condução é melhor se comparado com um IGBT. Por este motivo, o tempo de *turn-off* de um MOSFET pode ser completamente desprezado quando comparado ao de um IGBT. Assim sendo, os MOSFETs são dispositivos mais rápidos na comutação, sendo utilizados para aplicações que operam a média/alta frequência. Outra particularidade é que, durante a condução dos MOSFETs, surgem perdas significativas quando estão submetidos a correntes mais elevadas, dado que quanto maior a resistência de condução, maior é a de tensão de bloqueio [18]. Esta especificidade permite que os MOSFETs sejam utilizados para a operação em baixa tensão. Por outro lado, os componentes IGBTs apresentam perdas de condução reduzidas quando operam em níveis de alta tensão.

O MOSFET de SiC emerge como o componente promissor, particularmente em aplicações de elevada potência. As suas vantagens tornam-se evidentes devido à menor resistência em condução quando comparado ao MOSFET Si, bem como à sua maior velocidade de comutação. Estas propriedades não só posicionam o MOSFET de SiC como um candidato substancial, mas também o consolidam como um sucessor de destaque para o IGBT [16].

2.6 Conclusão

Ao longo deste capítulo foram apresentadas diferentes topologias dos conversores CA/CC trifásicos. Sendo assim, identificou-se as principais características de cada topologia, bem como, as vantagens e desvantagens de cada uma. As topologias com mais destaque foram o conversor *full-bridge*, o conversor NPC e o conversor ANPC. Neste item, é possível ainda realizar uma comparação destas topologias com base nos níveis de tensão, número de elementos e número de IGBTs. O conversor *active neutral-point-clamped* é a topologia que utiliza mais IGBTs e tem um maior número de níveis de tensão. Já o conversor *full-bridge* trifásico, apresenta um menor número de elementos e níveis de tensão. Por fim, foi apresentado diferentes tipos de semicondutores relevantes para o controlo de potência do conversor em desenvolvimento.

Capítulo 3

Estado da Arte: Teorias de Controlo para Conversores de Eletrónica de Potência

3.1 Introdução

Neste capítulo, é apresentada uma revisão do estado da arte relativa a algumas teorias de controlo para os conversores de eletrónica de potência. Neste sentido, é apresentada uma revisão da literatura sobre as principais modulações PWM, as técnicas de controlo de corrente, as teorias de potência utilizadas e os algoritmos de sincronização com a rede elétrica. As teorias de controlo têm sido amplamente aplicadas, uma vez que permitem otimizar o desempenho e controlabilidade dos conversores. Contudo, devido à vasta área de estratégias de controlo, é inviável descrever todas as teorias de controlo para os conversores. Assim sendo, são analisadas as técnicas de controlo mais importantes para o desenvolvimento e implementação do objetivo desta dissertação.

3.2 PWM Sinusoidal

A estratégia PWM sinusoidal da Figura 3.1 é utilizada para analisar os estados de comutação do conversor 3L-NPC. Como já visto anteriormente, esta topologia tem apenas três estados de comutação, P, O e N. Deste modo, os diferentes estados e o padrão PWM de comutação do conversor são ilustrados na Figura 3.1, sendo que a tensão de saída de referência, S_r, é comparada com duas ondas triangulares.

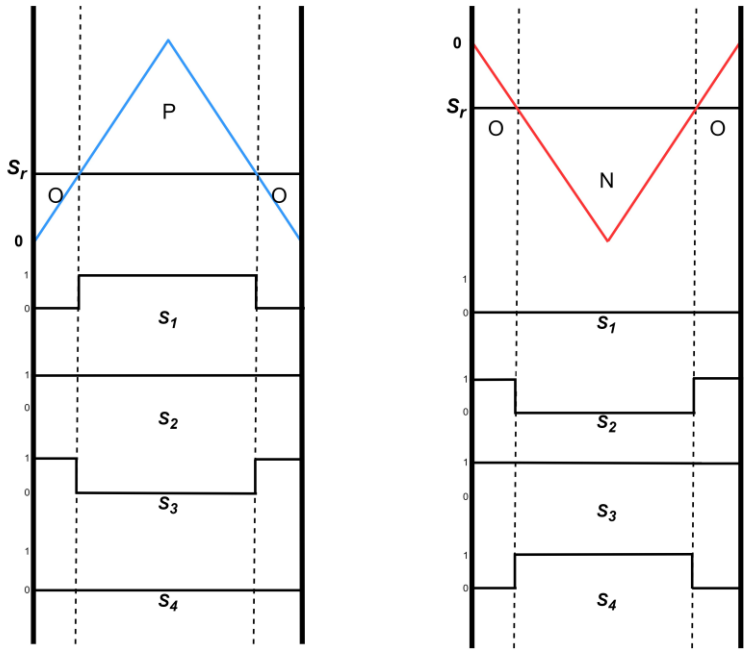


Figura 3.1 – Padrão PWM para o 3L-NPC.

Esta estratégia PWM pode ser empregue também no conversor 3L-ANPC. Os caminhos de corrente de carga são os mesmos relativamente ao conversor 3L-NPC nas sequências de comutação P e N. No entanto, no nível zero existem dois estados de comutação possíveis, O^- e O^+. Ou seja, o estado O^+ é obtido quando a tensão de referência é positiva e os IGBTs S_2 S_5 estão *on*. O estado O^- é obtido quando a tensão de referência é negativa e os IGBTs S_3 S_6 estão *on* [12]. Neste caso, em particular, encontram-se perdas de comutação e condução principalmente nos IGBTs internos. Concluindo assim, que a situação de distribuição de perdas não é melhorada neste tipo de estratégia. Na Tabela 3.1 e Figura 3.2 são representados os diferentes estados e o padrão PWM de comutação do conversor 3L-ANPC, sendo que a tensão de saída de referência, S_r, é comparada com duas ondas triangulares.

Tabela 3.1 – Estado de comutação do conversor do ANPC para a estratégia 1.

Tensão de Saída	**Estados**	S_1	S_2	S_3	S_4	S_5	S_6
$+v_{dc}/2$	P	1	1	0	0	0	0
0	O^+	0	1	0	0	1	0
0	O^-	0	0	1	0	0	1
$-v_{dc}/2$	N	0	0	1	1	0	0

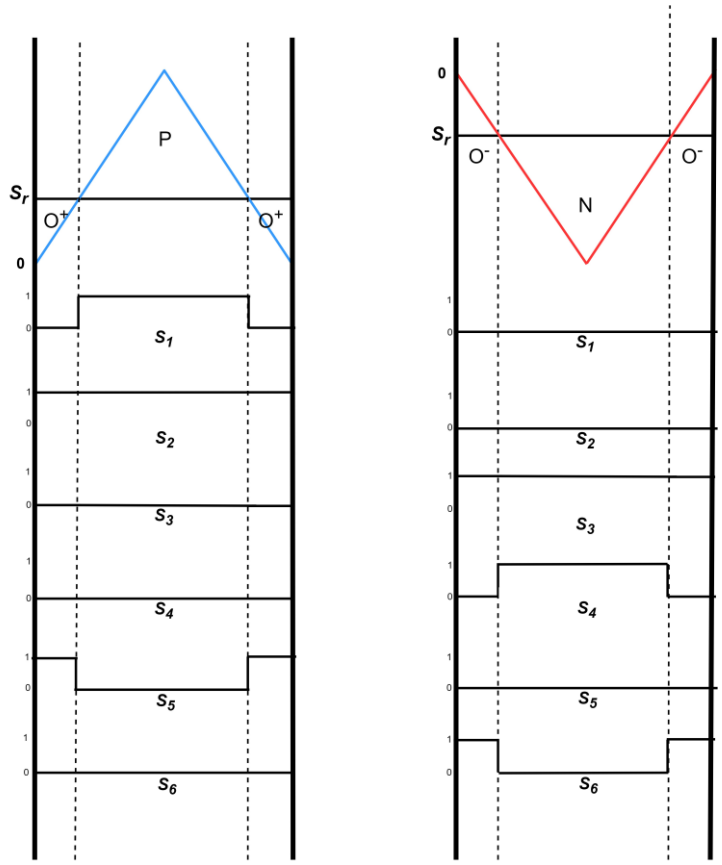


Figura 3.2 – Padrão PWM para o 3L-ANPC com dois níveis no estado 0.

Surge outra estratégia PWM sinusoidal para resolver esta desvantagem. Assim, a topologia 3L-ANPC pode fornecer quatro caminhos de corrente quando a tensão de saída está no estado zero. Esta estratégia permite melhorar o controlo de comutação, uma vez que as perdas de comutação são distribuídas uniformemente por todos os IGBTs. É de salientar que existem diferentes métodos de modulação. Contudo, os objetivos de otimização podem ser classificados conforme os três propósitos: melhorar o ciclo de comutação, redução de perdas, a fim de melhorar a eficiência do sistema, e, por fim, equilibrar as perdas de energia entre os semicondutores para aumentar a potência de saída [19].

A Tabela 3.2 resume os estados de comutação desta topologia, possuindo assim, os mesmos estados de comutação positivos e negativos do conversor 3L-NPC com quatros estados zero, sendo que três estados foram adicionados.

Tabela 3.2 – Estado de comutação do conversor do ANPC para a estratégia 2.

Tensão de Saída	Estados	S_1	S_2	S_3	S_4	S_5	S_6
$+v_{dc}/2$	P	1	1	0	0	0	1
0	OU2	0	1	0	0	1	0
0	OU1	0	1	0	1	1	0
0	OL1	1	0	1	0	0	1
0	0L2	0	0	1	0	0	1
$-v_{dc}/2$	N	0	0	1	1	1	0

Assim, através desta estratégia, se os dispositivos S_5/D_5 ou S_6/D_6 estiverem *off*, é possível obter os três estados de comutação [20]. Esta técnica também tem como vantagens, a eliminação dos harmónicos de baixa ordem, o equilíbrio de tensão no ponto neutro e a atenuação de tensão em modo comum [11].

3.3 SVPWM

A técnica *space vector pulse width modulation* (SVPWM) é largamente aplicada no controlo de conversores de eletrónica de potência. Diferentes algoritmos são empregues neste tipo de modulação, com o objetivo de reduzir as perdas de comutação, maximizar a utilização do barramento CC, reduzir o conteúdo harmónico e ainda obter um controlo exato [21].

Como referido anteriormente, as topologias multinível estão a ser gradualmente mais consideradas nas aplicações de alta potência, dado que existe uma melhoria na qualidade de forma de onda de saída do conversor e ocorre uma redução de tensão nos comutadores. Vários investigadores realizaram diferentes pesquisas sobre o conversor e modulações em estudo, onde se conclui que o SVPWM para conversores de três níveis tem uma vantagem em relação ao PWM sinusoidal na utilidade da tensão, visto que a gama de modulação do SVPWM é 15% superior à do PWM sinusoidal. Esta técnica SVPWM de três níveis, derivação da técnica de dois níveis, apresenta uma maior complexidade, sendo implementada muitas vezes através de software em DSP ou MCU [22].

3.3.1 Princípio do SVPWM no Conversor ANPC

Na secção 2.3 estão presentes os estados de comutação da topologia 3L-ANPC. Verifica-se que, em comparação com o conversor NPC, esta topologia inclui quatro estados O redundantes.

Consequentemente, implica o surgimento de novos vetores trifásicos, tornando difícil a aplicação de todos os vetores originados, uma vez que no total existe $6^3 = 216$ vetores diferentes. Deste modo, a solução encontrada para resolver este problema passa pela continuação da definição convencional NPC [23]. Assim, o conversor em análise contém três níveis diferentes, sendo classificados como: P, N e O. Com base neste tipo de modulação, verifica-se um total de 27 estados de comutação, 24 ativos, em que seis vetores são classificados como longos, outros seis vetores como médios, doze vetores como pequenos e três como nulos [24]. Na Figura 3.3 é apresentado o diagrama vetorial que representa a modulação SVPWM do conversor e na Tabela 3.3 está compreendido os valores de magnitude de tensão correspondentes aos diferentes vetores.

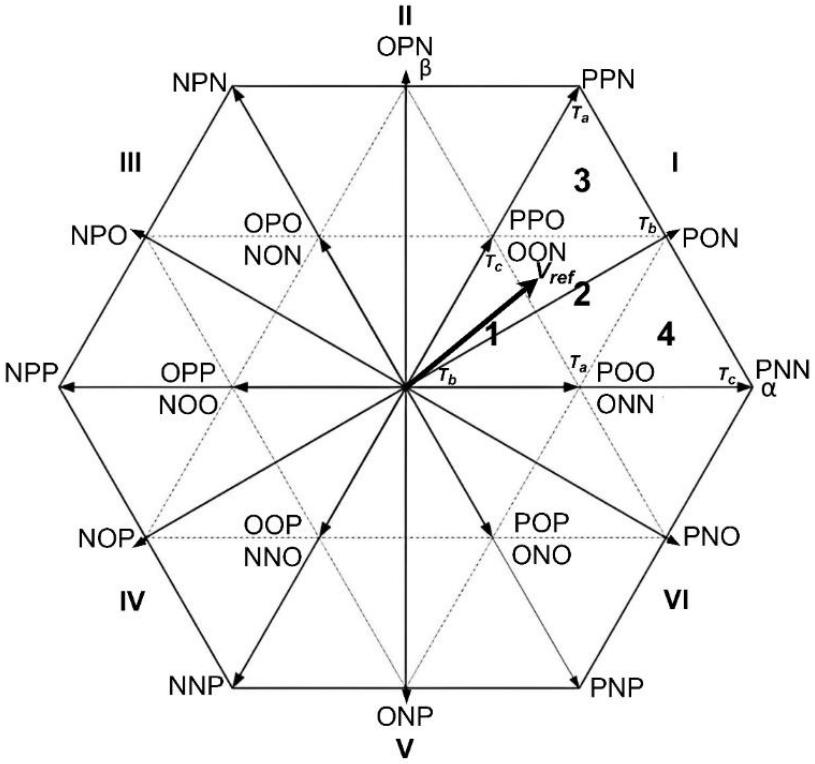


Figura 3.3 – Diagrama vetorial da modulação SVPWM.

Tabela 3.3 – Valor de tensão das diferentes combinações de vetores.

Vetores	Valor de Tensão
PPP,NNN, OOO	0 (Null)
PPO,OON,POO,ONN,POP, ONO,OOP,NNO,OPP,NOO, OPO,NON	$v_{dc}/3$ (Small)
PON,OPN,NPO,NOP,ONP,PNO	$v_{dc}/\sqrt{3}$ (Medium)
PNN,PPN,NPN,NPP,NNP,PNP	$2v_{dc}/3$ (Large)

O espaço vetorial desta modulação está dividido em seis setores (I a VI). Cada setor está dividido em quatro regiões numeradas de 1 a 4. Para localizar o setor e a região correspondente, determina-se a magnitude e o ângulo de fase do vetor de referência, $\boldsymbol{V_{ref}}$. A magnitude deste vetor, $\boldsymbol{V_{mag}}$, é gerada a partir das coordenadas x e y, ou seja, v_α e v_β, equação (3.1) :

$$V_{mag} = \sqrt{V_\alpha^2 + V_\beta^2}. \tag{3.1}$$

O ângulo de fase θ , equação (3.2), é obtido também pelas coordenadas v_α e v_β:

$$\theta = atan2\left(\frac{V_\beta}{V_\alpha}\right). \tag{3.2}$$

3.3.1.1 Deteção do Setor

Com base na amplitude do ângulo θ, é possível determinar o setor equivalente, equação (3.3).

$$\begin{cases} 0 < \theta \leq \dfrac{\pi}{3} - \textbf{Setor I} \\ \dfrac{\pi}{3} < \theta \leq \dfrac{2\pi}{3} - \textbf{Setor II} \\ \dfrac{2\pi}{3} < \theta \leq \pi - \textbf{Setor III} \\ \pi < \theta \leq \dfrac{4\pi}{3} - \textbf{Setor IV} \\ \dfrac{4\pi}{3} < \theta \leq \dfrac{5\pi}{3} - \textbf{Setor V} \\ \dfrac{5\pi}{3} < \theta \leq 2\pi - \textbf{Setor VI} \end{cases} \tag{3.3}$$

3.3.1.2 Deteção da Região

Para detetar a região equivalente de cada setor é realizado o método apresentado no fluxograma da Figura 3.4.

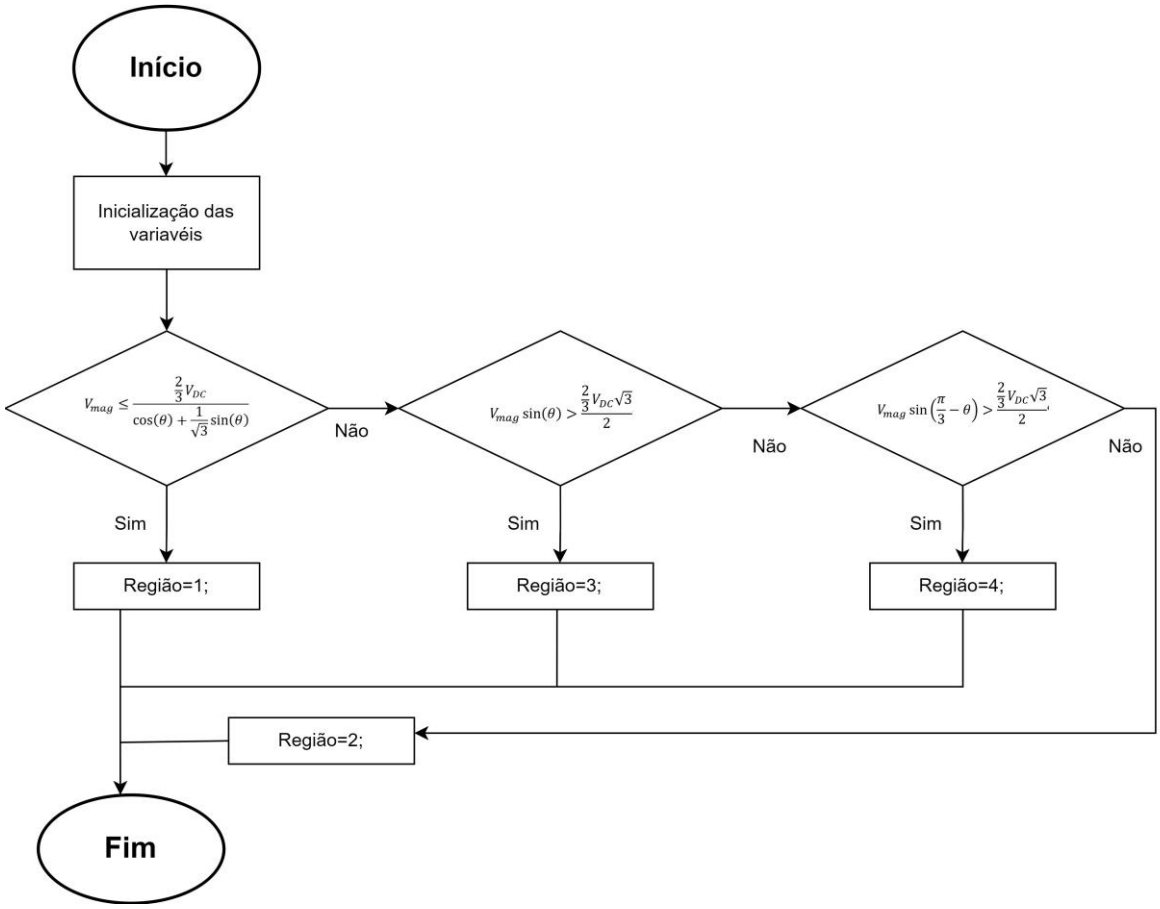


Figura 3.4 – Fluxograma referente à deteção da região.

3.3.1.3 Cálculo dos Tempos

Para o cálculo dos tempos T_a, T_b e T_c utiliza-se, como exemplo, a região 2 do setor 1, sendo que nesta região são aplicados os vetores V_1, V_8 e V_2, Figura 3.5.

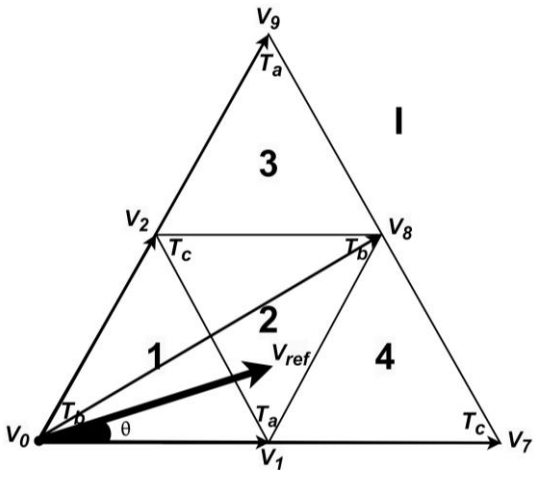


Figura 3.5 – Diagrama vetorial do setor 1 da topologia ANPC convencional.

Assim sendo:

$$V_{ref}T_s = V_1T_a + V_8T_b + V_2T_c \tag{3.4}$$

$$T_s = T_a + T_b + T_c \tag{3.5}$$

Segundo a Tabela 3.3, deduz-se que o valor de tensão V_1 corresponde a $v_{dc}/3$, V_8 a $2v_{dc}/3$ e V_2 a $v_{dc}/3$.

A dedução para determinar os tempos é demonstrada desde a equação (3.6) até à equação (3.39).

$$V_{ref}T_s\begin{bmatrix}\cos\theta\\ \sin\theta\end{bmatrix} = \frac{1}{3}V_{dc}T_a\begin{bmatrix}\cos(0)\\ \sin(0)\end{bmatrix} + \frac{1}{\sqrt{3}}V_{dc}T_b\begin{bmatrix}\cos\left(\frac{\pi}{6}\right)\\ \sin\left(\frac{\pi}{6}\right)\end{bmatrix} + \frac{1}{3}V_{dc}T_c\begin{bmatrix}\cos\left(\frac{\pi}{3}\right)\\ \sin\left(\frac{\pi}{3}\right)\end{bmatrix} \tag{3.6}$$

$$V_{ref}T_s\begin{bmatrix}\cos\theta\\ \sin\theta\end{bmatrix} = \frac{1}{3}V_{dc}T_a\begin{bmatrix}1\\ 0\end{bmatrix} + \frac{1}{\sqrt{3}}V_{dc}T_b\begin{bmatrix}\frac{\sqrt{3}}{2}\\ \frac{1}{2}\end{bmatrix} + \frac{1}{3}V_{dc}T_c\begin{bmatrix}\frac{1}{2}\\ \frac{\sqrt{3}}{2}\end{bmatrix} \tag{3.7}$$

- **Cálculo do tempo, T_a:**

$$V_{ref}T_s\sin\theta = \frac{\sqrt{3}}{6}V_{dc}T_b + \frac{\sqrt{3}}{6}V_{dc}T_c \Leftrightarrow \tag{3.8}$$

$$V_{ref}T_s\sin\theta = \frac{\sqrt{3}}{6}V_{dc}(T_b + T_c) \Leftrightarrow \tag{3.9}$$

$$V_{ref}T_s\sin\theta = \frac{\sqrt{3}}{6}V_{dc}(T_s - T_a) \Leftrightarrow \tag{3.10}$$

$$V_{ref}T_s\sin\theta = \frac{\sqrt{3}}{6}V_{dc}T_s - \frac{\sqrt{3}}{6}V_{dc}T_a \Leftrightarrow \tag{3.11}$$

$$\frac{\sqrt{3}}{6}V_{dc}T_a = \frac{\sqrt{3}}{6}V_{dc}T_s - V_{ref}T_s\sin\theta \Leftrightarrow \tag{3.12}$$

$$T_a = T_s - \frac{6}{\sqrt{3}}\frac{V_{ref}}{V_{dc}}T_s\sin\theta \Leftrightarrow \tag{3.13}$$

$$T_a = T_s\left(1 - 2\sqrt{3}\frac{V_{ref}}{V_{dc}}\sin\theta\right) \Leftrightarrow \tag{3.14}$$

$T_a = T_s(1 - 2m_a\sin\theta)$, em que o índice de modulação, $m_a = \sqrt{3}\frac{V_{ref}}{V_{dc}}$. (3.15)

- **Cálculo do tempo, T_c:**

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_a + \frac{1}{\sqrt{3}}V_{dc}T_b\frac{\sqrt{3}}{2} + \frac{1}{3}V_{dc}T_c\frac{1}{2} \Leftrightarrow \tag{3.16}$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_a + \frac{1}{2}V_{dc}T_b + \frac{1}{6}V_{dc}T_c \Leftrightarrow \tag{3.17}$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_s(1-2m_a\sin\theta) + \frac{1}{2}V_{dc}T_b + \frac{1}{6}V_{dc}T_c \Leftrightarrow \quad (3.18)$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_s - \frac{2}{3}\,m_aV_{dc}T_s\sin\theta + \frac{1}{2}V_{dc}T_b + \frac{1}{6}V_{dc}T_c \Leftrightarrow \quad (3.19)$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_s - \frac{2}{3}\,m_aV_{dc}T_s\sin\theta + V_{dc}T_sm_a\sin\theta - \frac{1}{2}V_{dc}T_c + \frac{1}{6}V_{dc}T_c \Leftrightarrow \quad (3.20)$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_s + \frac{1}{3}m_aT_sV_{dc}\sin\theta - \frac{1}{3}V_{dc}T_c \Leftrightarrow \quad (3.21)$$

$$V_{ref}T_s\cos\theta = \frac{1}{3}V_{dc}T_s + \frac{1}{3}\sqrt{3}V_{ref}T_s\sin\theta - \frac{1}{3}V_{dc}T_c \Leftrightarrow \quad (3.22)$$

$$\frac{1}{3}V_{dc}T_c = \frac{1}{3}V_{dc}T_s + \frac{1}{3}\sqrt{3}V_{ref}T_s\sin\theta - V_{ref}T_s\cos\theta \Leftrightarrow \quad (3.23)$$

$$\frac{1}{3}V_{dc}T_c = \frac{1}{3}V_{dc}T_s + \frac{2}{\sqrt{3}}V_{ref}T_s\left(\frac{\sqrt{3}}{2\sqrt{3}}\sin\theta - \frac{\sqrt{3}}{2}\cos\theta\right) \Leftrightarrow \quad (3.24)$$

$$\frac{1}{3}V_{dc}T_c = \frac{1}{3}V_{dc}T_s - \frac{2}{\sqrt{3}}V_{ref}T_s\sin\left(\frac{\pi}{3}-\theta\right) \Leftrightarrow \quad (3.25)$$

$$T_c = T_s - \frac{6}{\sqrt{3}}\frac{V_{ref}}{V_{dc}}T_s\sin\left(\frac{\pi}{3}-\theta\right) \Leftrightarrow \quad (3.26)$$

$$T_c = T_s\left(1 - \frac{6}{\sqrt{3}}\frac{\sqrt{3}}{\sqrt{3}}\frac{V_{ref}}{V_{dc}}\sin\left(\frac{\pi}{3}-\theta\right)\right) \Leftrightarrow \quad (3.27)$$

$$T_c = T_s\left(1 - \frac{6}{\sqrt{3}\sqrt{3}}m_a\sin\left(\frac{\pi}{3}-\theta\right)\right) \Leftrightarrow \quad (3.28)$$

$$T_c = T_s\left(1 - 2\,m_a\sin\left(\frac{\pi}{3}-\theta\right)\right) \quad (3.29)$$

- **Cálculo do tempo, T_b:**

$$T_b = T_s - T_a - T_c \Leftrightarrow \quad (3.30)$$

$$T_b = T_s - T_s(1-2m_a\sin\theta) - T_s\left(1-2m_a\sin\left(\frac{\pi}{3}-\theta\right)\right) \Leftrightarrow \quad (3.31)$$

$$T_b = T_s - T_s + 2m_aT_s\sin\theta - T_s + 2m_aT_s\sin\left(\frac{\pi}{3}-\theta\right) \Leftrightarrow \quad (3.32)$$

$$T_b = 2m_aT_s\sin\theta - T_s + 2m_aT_s\frac{\sqrt{3}}{2}\cos\theta - m_aT_s\sin\theta \Leftrightarrow \quad (3.33)$$

$$T_b = -T_s + \sqrt{3}m_aT_s\cos\theta + m_aT_s\sin\theta \Leftrightarrow \quad (3.34)$$

$$T_b = T_s\left(-1 + \sqrt{3}m_a\cos\theta + m_a\sin\theta\right) \Leftrightarrow \quad (3.35)$$

$$T_b = T_s\left(-1 + 2\left(\frac{\sqrt{3}}{2}m_a\cos\theta + \frac{1}{2}m_a\sin\theta\right)\right) \Leftrightarrow \quad (3.36)$$

$$T_b = T_s\left(-1 + 2m_a\left(\frac{\sqrt{3}}{2}\cos\theta + \frac{1}{2}\sin\theta\right)\right) \Leftrightarrow \quad (3.37)$$

$$T_b = T_s\left(-1 + 2m_a\left(\sin\frac{\pi}{3}\cos\theta + \cos\frac{\pi}{3}\sin\theta\right)\right) \Leftrightarrow \quad (3.38)$$

$$T_b = T_s\left(-1 + 2m_a\sin\left(\frac{\pi}{3} - \theta\right)\right) \quad (3.39)$$

Para as restantes regiões é feita a mesma abordagem, sendo que os valores dos tempos são os mesmos em todos os setores, conforme a Tabela 3.4.

Tabela 3.4 – Valores dos tempos para as 4 regiões.

Região	T_a	T_b	T_c
1	$T_s\left(2 - m_a\sin\left(\frac{\pi}{3} - \theta\right)\right)$	$T_s\left(1 - 2m_a\sin\left(\frac{\pi}{3} + \theta\right)\right)$	$T_s(2m_a\sin(\theta))$
2	$T_s(1 - 2m_a\sin\theta)$	$T_s\left(-1 + 2m_a\sin\left(\frac{\pi}{3} - \theta\right)\right)$	$T_s\left(1 - 2\,m_a\sin\left(\frac{\pi}{3} - \theta\right)\right)$
3	$T_s\left(2 - m_a\sin\left(\frac{\pi}{3} + \theta\right)\right)$	$T_s(2m_a\sin(\theta))$	$T_s\left(-1 + 2m_a\sin\left(\frac{\pi}{3} - \theta\right)\right)$
4	$T_s(2m_a\sin(\theta) - 1)$	$T_s\left(2m_a\sin\left(\frac{\pi}{3} - \theta\right)\right)$	$T_s\left(2 - 2\,m_a\sin\left(\frac{\pi}{3} + \theta\right)\right)$

3.3.1.4 Sequências de diferentes estados de comutação

Seguidamente, após o cálculo dos tempos e a determinação dos vetores, efetua-se as diferentes sequências de comutação para cada setor e região. Estas sequências são desenvolvidas para minimizar o número de comutações por período de amostragem, T_s.

A Figura 3.6 e a Figura 3.7 ilustram as sequências correspondentes ao setor 1. A transição de cada vetor para o seguinte é realizada apenas com a mudança de um estado de comutação [25]. Ou seja, por exemplo, na região 3, se o primeiro vetor selecionado for PPO, então o segundo vetor será PPN e, assim, sucessivamente. Conclui-se, desta forma, que a sequência de comutação PPO→PPN→PON→OON→PON→PPN→PPO é referente à região 3 do setor 1. Este método é aplicado a todo espaço vetorial, originando diferentes sequências vetoriais para todas as regiões, sendo que na região 1 e 2 existe sequências vetoriais de nove segmentos enquanto na região 3 e 4 apenas sequências de sete segmentos.

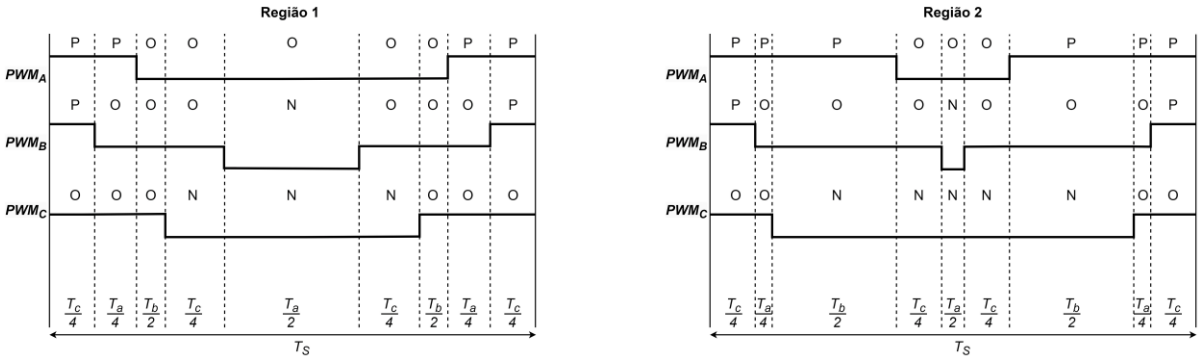


Figura 3.6 – Sequências dos estados de comutação do setor 1 da região 1 e 2.

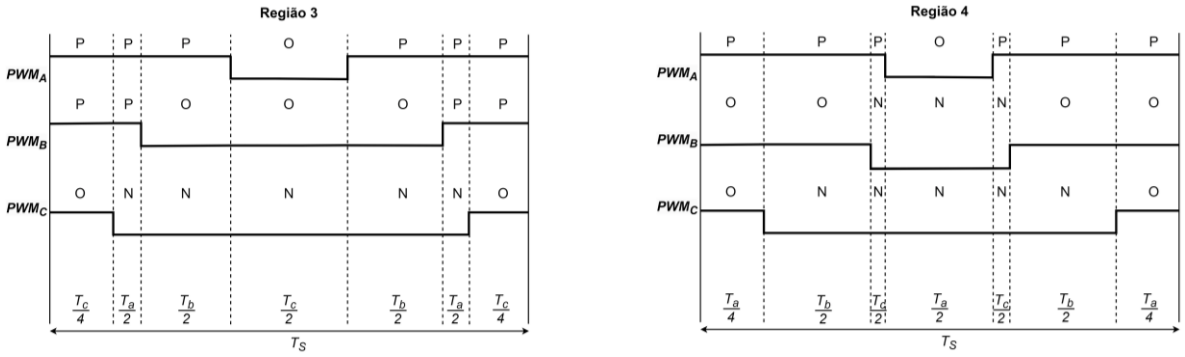


Figura 3.7 – Sequências dos estados de comutação do setor 1 da região 3 e 4.

3.3.2 SVPWM Aplicado ao Conversor ANPC Híbrido

Após o princípio da técnica de controlo SVPWM ser abordado nos tópicos anteriores, é apresentado um novo método para o conversor ANPC híbrido. O esquemático do conversor é exemplificado, bem como os diferentes níveis de tensão, vetores e as sequências de diferentes estados de comutação.

3.3.2.1 Esquema do Conversor

O circuito do conversor ANPC híbrido assemelha-se ao conversor ANPC convencional. No entanto, este apresenta algumas diferenças, uma vez que os seis MOSFETs, S_{12}, S_{13}, S_{22}, S_{23}, S_{32} e S_{33}, são aplicados em vez de transístores, S_5, S_6, S_{11}, S_{12}, S_{17} e S_{18}. Os restantes componentes do circuito mantêm-se exatamente iguais [23]. O esquema equivalente a este conversor é evidenciado na Figura 3.8.

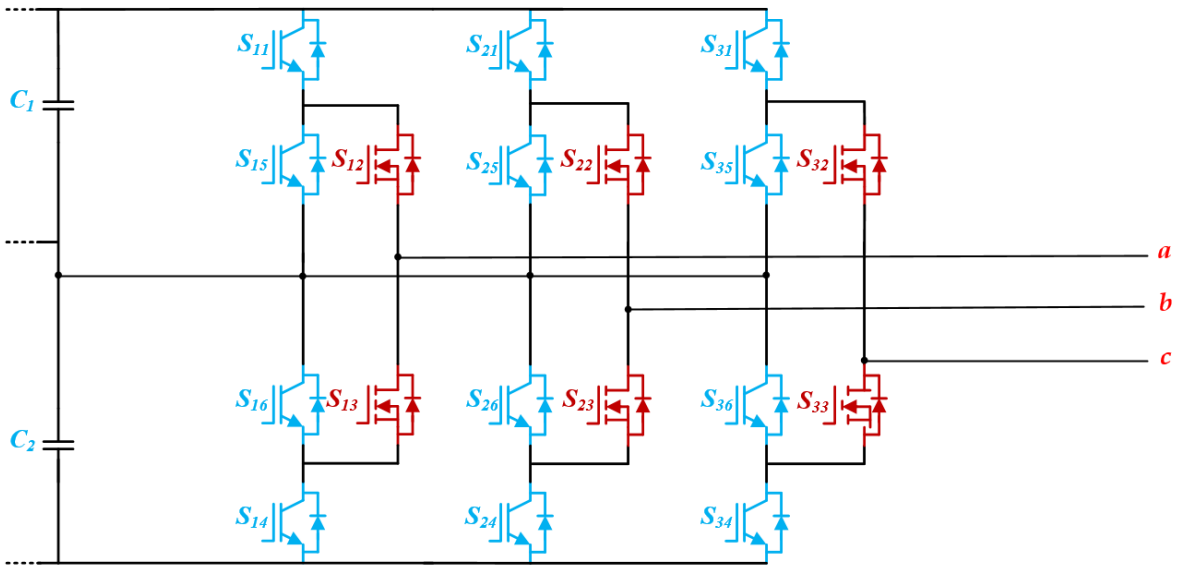


Figura 3.8 – Esquema do conversor ANPC híbrido.

Esta modificação tem como objetivo o aumento da eficiência e a densidade de potência do conversor, uma vez que os componentes MOSFETs são dispositivos de carboneto de silício (SiC) com elevado rendimento, já que possuem uma elevada frequência e menores perdas de comutação. Atualmente, este método com os dispositivos SiC, esta a tornar-se cada vez mais predominante. No entanto, o custo ainda é superior relativamente aos dispositivos Si tradicionais. De modo, a equilibrar o custo e a eficiência, a substituição de apenas dois dos dispositivos Si por dispositivos SiC em cada fase é a solução mais conveniente [14].

3.3.2.2 Redução dos Níveis de Comutação

Neste caso, em particular, existe uma redução para dois estados zero, sendo definidos como L e U. Esta mudança acontece neste sistema, uma vez que entre o estado P e L apenas existe a diferença entre os MOSFETs, S_{x2} e S_{x3}. O mesmo acontece com os estados N e U. Assim, num período de comutação, apenas os MOSFETs são operados a uma frequência maior. Enquanto, os restantes IGBTs de Si apresentam ações de comutação apenas no ponto de cruzamento zero. A Tabela 3.5 resume os níveis de comutação que representam esta topologia.

Tabela 3.5 – Limitação dos estados de comutação

Estado de Comutação	Nível de tensão	S_{x1}	S_{x2}	S_{x3}	S_{x4}	S_{x5}	S_{x6}
N	-1	0	0	1	1	1	0
	0	0	1	0	1	1	0
L		1	0	1	0	0	1
P	+1	1	1	0	0	0	1

3.3.2.3 Proposta/Solução do *Space Vector*

A diminuição de níveis no estado zero, apresentada anteriormente, origina $4^3 = 64$ vetores diferentes, Tabela 3.6, [26].

Tabela 3.6 – 64 vetores do *Space Vector Hybrid*.

Vetores	Estados de Comutação		Valor de Tensão
$\vec{V}_0$	[PPP] [NNN] [UUU] [UUL] [ULL] [ULU] [LUU] [LUL] [LLU] [LLL]		0 (Null)
$\vec{V}_1$	**Tipo P**	**Tipo N**	$v_{dc}/3$ (Small)
	[PUU] [PUL] [PLU] [PLL]		
		[LNN] [UNN]	
$\vec{V}_2$	[PPU] [PPL]		
		[UUN] [ULN] [LUN] [LLN]	
$\vec{V}_3$	[UPU] [UPL] [LPU] [LPL]		
		[NLN] [NUN]	
$\vec{V}_4$	[UPP] [LPP]	[NUU] [NUL] [NLU] [NLL]	
$\vec{V}_5$	[UUP] [ULP] [LUP] [LLP]	[NNL] [NNU]	
$\vec{V}_6$	[PUP] [PLP]		
		[UNU] [UNL] [LNU] [LNL]	
$\vec{V}_7$	[PUN] [PLN]		$v_{dc}/\sqrt{3}$ (Medium
$\vec{V}_8$	[UPN] [LPN]		
$\vec{V}_9$	[NPU] [NPL]		
$\vec{V}_{10}$	[NUP] [NLP]		

$\vec{V}_{11}$	[UNP] [LNP]	
$\vec{V}_{12}$	[PNU] [PNL]	
$\vec{V}_{13}$	[PNN]	$2v_{dc}/3$ (Large)
$\vec{V}_{14}$	[PPN]	
$\vec{V}_{15}$	[NPN]	
$\vec{V}_{16}$	[NPP]	
$\vec{V}_{17}$	[NNP]	
$\vec{V}_{18}$	[PNP]	

Nesta condição, em cada setor, surgem novos vetores em comparação com o da Figura 3.3. Um bom exemplo disso, é que o vetor OOO apresenta agora oito vetores: UUU, UUL, ULL, ULU, LUU,LUL, LLU e LLL. Contudo, só alguns destes são aplicados em cada secção. Na região 1 do setor 1, apenas dois vetores LLU e LUU são utilizados. Ou seja, para cada setor, existe no total doze vetores correspondentes, sendo dois vetores nulos, seis vetores curtos, dois vetores médios e dois vetores grandes como é demonstrado na Figura 3.9 [23].

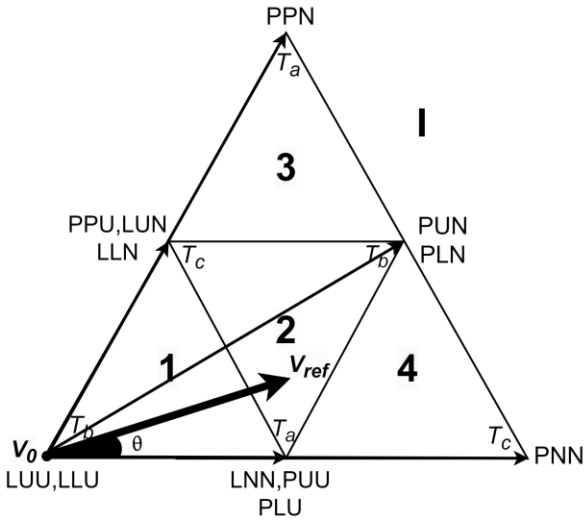


Figura 3.9 – Diagrama vetorial do setor 1 na topologia ANPC híbrida.

Após a seleção dos vetores para cada setor e região, são definidas as diferentes sequências aplicadas a este circuito trifásico. A explicação baseia-se na mesma técnica abordada na secção 3.3.1. Exemplificando com a região 2 do setor 1, em primeiro lugar, é selecionado o vetor PUU. De seguida, o vetor consecutivo desta sequência será o PUN, uma vez que apenas um estado de comutação é alterado na fase C. Este método é aplicado a todo espaço vetorial, originando sequências vetoriais de sete

segmentos para todas as regiões, Tabela 3.7. As sequências resultantes do SV para o setor 1 são apresentadas na seguinte tabela. Verifica-se que o estado de comutação da fase A é P→L→P e para a fase B e C é U→N→U. É de salientar que normalmente na região 1 e 2 existem duas sequências possíveis.

Tabela 3.7 — Sequência para cada região do setor 1.

Região											
1a		**1b**		**2a**		**2b**		**3**		**4**	
v_a	[PUU]	v_c	[LLN]	v_a	[PUU]	v_c	[LLN]	v_c	[PPU]	v_a	[PUU]
v_b	[LUU]	v_b	[LLU]	v_b	[PUN]	v_b	[PLN]	v_b	[PPN]	v_b	[PUN]
v_c	[LUN]	v_a	[PLU]	v_c	[LUN]	v_a	[PLU]	v_a	[PLN]	v_c	[PNN]
v_a	[LNN]	v_c	[PPU]	v_a	[LNN]	v_c	[PPU]	v_c	[LLN]	v_a	[LNN]
v_c	[LUN]	v_a	[PLU]	v_c	[LUN]	v_a	[PLU]	v_a	[PLN]	v_c	[PNN]
v_b	[LUU]	v_b	[LLU]	v_b	[PUN]	v_b	[PLN]	v_b	[PPN]	v_b	[PUN]
v_a	[PUU]	v_c	[LLN]	v_a	[PUU]	v_c	[LLN]	v_c	[PPU]	v_a	[PUU]

Assim, estas sequências de estados de comutação são geradas para manter os MOSFETs SiC em comutação de alta frequência, enquanto a frequência de comutação equivalente aos IGBTs Si, seja igual à frequência de rede.

3.4 Controlo de Corrente

O controlo de corrente pretende regular a corrente de carga dos conversores de eletrónica de potência numa possível aproximação da corrente de referência previamente calculada. O desempenho dos conversores depende em grande medida dos diferentes tipos de técnicas de controlo de corrente utilizadas [27]. As técnicas de controlo de corrente são os principais algoritmos de controlo destes conversores. Com a implementação destas técnicas de controlo, os conversores apresentam um melhor desempenho, visto que obtêm uma melhor resposta do sistema e um reduzido valor de THD.

Ao longo deste subcapítulo, são abordadas algumas técnicas de controlo de corrente, entre as quais, histerese, *periodic sampling*, proporcional-integral e controlo preditivo. É de realçar que ainda existem outras técnicas de controlo de corrente, mas para a implementação do conversor ANPC não são devidamente relevantes. A técnica de controlo por histerese, entre todas as técnicas de controlo, é largamente a mais utilizada devido à sua simplicidade de implementação. No entanto, apresenta como principal desvantagem, a variação de frequência de comutação. O controlo *periodic sampling* é a técnica

de controlo mais semelhante à técnica por histerese. Esta técnica permite uma frequência de comutação máxima e apresenta uma margem de histerese zero.

Outra técnica estudada é o controlo por proporcional-integral, onde é possível definir uma frequência de comutação fixa. As vantagens associadas a esta técnica envolvem a ausência de ondulação no lado CC e uma tomada instantânea de controlo de corrente [27]. A última técnica abordada neste subcapítulo é o controlo preditivo. Este controlo possibilita uma rápida resposta no sistema, mas o grau de complexidade é bastante superior relativamente às restantes técnicas.

3.4.1 Controlo de Corrente por Histerese

A técnica de controlo de corrente por histerese é a solução mais adequada para todas as aplicações dos conversores de eletrónica de potência. Este tipo de controlo é bastante simples e robusto. É caracterizado por uma resposta rápida, boa precisão e excelente estabilidade.

Este método tem como princípio de funcionamento a comparação da corrente de saída do conversor, i_{out}, com uma corrente de referência, i_{ref}, admitindo uma margem de histerese $\pm H$, ao resultado da comparação. Deste modo, a corrente de saída do conversor varia conforme a corrente de referência, como é apresentada na equação (3.40) [28].

$$i_{ref} - H < i_{out} < i_{ref} + H \tag{3.40}$$

Na Figura 3.10 ilustra o diagrama de blocos que representa este tipo de técnica de controlo de corrente.

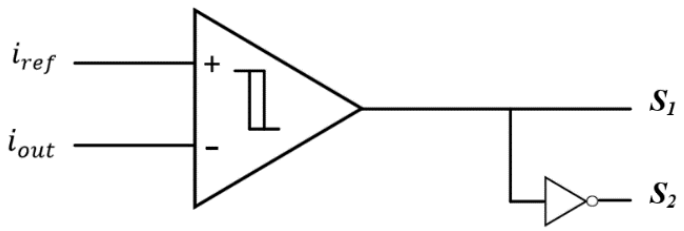


Figura 3.10 – Diagrama de blocos sobre controlo de corrente por histerese.

Como dito anteriormente, este método de controlo de corrente é o mais simples de implementar. No entanto, este método não é aplicável para controlar a tensão de saída dos conversores diretamente, uma vez que a resposta de tensão à modulação de comutação é muito lenta comparativamente à de corrente. Visto que, a resposta de tensão é lenta, esta provoca com que a tensão de ondulação atravesse a banda de histerese e a frequência de comutação não é controlada [29].

Assim sendo, quando a corrente excede o limite superior de histerese, uma tensão negativa é aplicada, ou seja, a corrente diminui. Quando a corrente atinge o limite inferior de histerese, uma tensão positiva é aplicada, ou seja, a corrente aumenta e assim, o ciclo se repete [30].

Embora, esta técnica de controlo seja aplicada em sistemas analógicos, é fortemente recomendável explorar possíveis vantagens em sistemas digitais [31]. A principal desvantagem presente neste tipo de controlo é a inexistência de limites da frequência de comutação. Contudo, podem existir circuitos adicionais para limitar a frequência máxima de comutação. Para além deste princípio de funcionamento descrito, existem outras técnicas. Atualmente, a maioria das aplicações e estudos utilizam a técnica *PWM* com proporcional-integral, método abordado num dos tópicos seguintes, como um método exclusivo para controlar a tensão de saída dos conversores [29].

3.4.2 Controlo de Corrente por *Periodic Sampling*

A técnica de controlo de corrente por *periodic sampling* é uma solução simples e robusta. Esta técnica é de fácil implementação e é não linear [8]. Tal como a técnica analisada anteriormente, este método tem como princípio de funcionamento a comparação da corrente de saída do conversor, i_{out}, com uma corrente de referência, i_{ref}. Contudo, admite uma margem de histerese zero. Na técnica de controlo por histerese, a principal desvantagem é a ausência de limites da frequência de comutação. Este problema é resolvido com esta técnica, já que permite definir o controlo da frequência máxima de comutação. Para a implementação desta técnica de controlo de corrente é necessário aplicar um *flip-flop* D à saída do comparador, bem como, um sinal quadrado *clock* para definir a frequência de amostragem. Esta implementação permite o controlo da frequência máxima de comutação, evitando que os semicondutores comutem a frequências superiores. Na Figura 3.11 é apresentado o diagrama de blocos que representa este tipo de controlo.

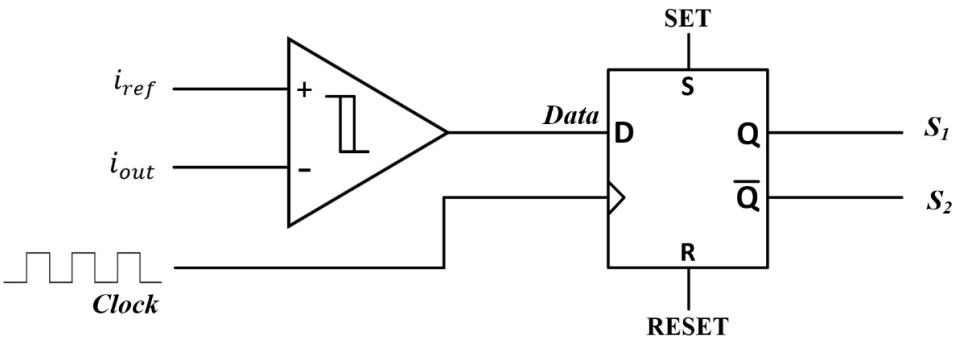


Figura 3.11 – Diagrama de blocos sobre controlo de corrente por *periodic sampling*.

Esta técnica de controlo é utilizada em sistemas analógicos, adicionando possíveis funcionalidades em relação à técnica de controlo por histerese [28]. Contudo, o controlo de corrente por *periodic sampling* pode ser aplicado também em sistemas digitais sem a presença do *flip-flop* D. Assim, este tipo de controlo pode ser desenvolvido num microcontrolador, por exemplo, um DSP. Neste caso específico, é efetuada a comparação da corrente de saída do conversor com a corrente de referência, admitindo uma frequência máxima de comutação, metade da frequência de amostragem [32].

A principal desvantagem presente neste tipo de controlo é a ausência de limites da frequência de comutação mínima. É de salientar que este tipo de técnica de controlo de corrente por *periodic sampling* deve ser aplicado nos conversores de eletrónica de potência, visto que apresenta uma excelente resposta dinâmica [33].

3.4.3 Controlo de Corrente PI

A técnica de controlo de corrente proporcional-integral é um dos métodos mais comuns na análise de malha fechada dos conversores de eletrónica de potência. Esta técnica calcula o erro com base na diferença entre a corrente de referência, i_{ref}, e, a corrente de saída no conversor, i_{out}. Assim, esta técnica minimiza o erro ajustando os valores das variáveis de processamento K_i e K_p do controlador. A representação matemática do controlador PI é a seguinte:

$$u(t) = K_i \int e(t)dt + K_p e(t). \tag{3.41}$$

em que:

- $u(t)$ é o sinal de controlo;
- $e(t)$ é o sinal de erro;
- t é a variável de tempo no domínio de tempo contínuo.

Na Figura 3.12 ilustra o diagrama de blocos que representa este tipo de técnica de controlo de corrente.

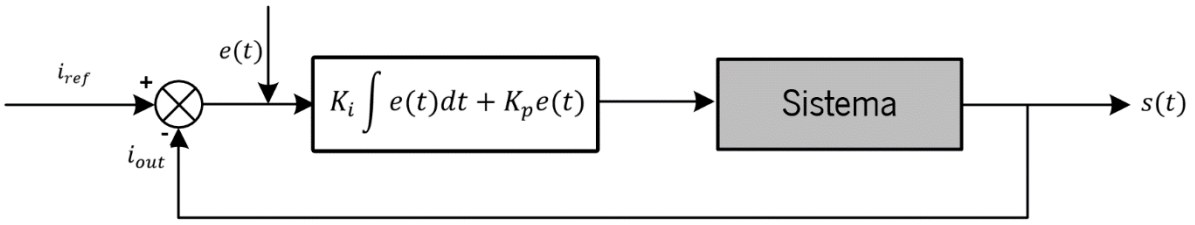


Figura 3.12 – Diagrama de blocos sobre controlo de corrente por proporcional-integral.

As variáveis K_p e K_i são designadas como a constante proporcional e constante integral do controlo PI, respetivamente. A variável K_d não é utilizada neste tipo de sistema, uma vez que é bastante sensível para entradas de alta potência [34]. Esta técnica apresenta um grau de complexidade superior relativamente ao controlo de corrente por histerese e por *periodic sampling*. Contudo, permite que o conversor opere com frequência de comutação fixa.

Com este método, é possível assegurar o erro de estado estacionário zero para referências continuas, mas também, pode apresentar para referências sinusoidais. Este erro aumenta com a frequência da corrente de referência e pode tornar valores inaceitáveis [35].

3.4.4 Controlo de Corrente Preditivo

A técnica de controlo de corrente preditivo é uma solução bastante ampla [36][37]. Este tipo de aplicação apresenta uma resposta dinâmica e rápida. Esta estratégia tem sido utilizada no controlo de corrente em inversores, retificadores e filtros ativos. Este conceito de controlo utiliza o controlo preditivo para determinar a tensão de referência, de forma a otimizar o comportamento da corrente. A tensão de referência é calculada em função de um modelo do circuito.

Em [38] são apresentados os métodos de controlo clássico de corrente preditivo, *Hysteresis Current Control* e *Linear Current Control With PWM*. O método por controlo de corrente por histerese é um método bastante simples de implementação, uma vez que não requer circuitos complexos. Este tipo de controlo apresenta uma resposta dinâmica rápida. Contudo, a frequência de comutação muda de acordo com os parâmetros, ou seja, é variável. Esta característica pode ser apresentada como uma das principais desvantagens deste controlo. O método de controlo de corrente linear gera uma frequência de comutação fixa. Neste caso, o erro entre a corrente de referência e a corrente de carga é processado por um controlador PI, para gerar as tensões de carga de referência. O desempenho deste controlo depende dos parâmetros do controlador e da frequência da corrente de referência. Com o controlador PI, permite o erro do estado estacionário zero para a referência contínua, mas pode apresentar esse erro para referências contínuas. Este erro aumenta com a frequência de corrente de referência, podendo ser uma desvantagem deste controlo.

Para a implementação desta técnica de controlo de corrente é necessário utilizar diferentes variáveis, entre as quais, variável de corrente de referência, i_{ref}, a queda de tensão na saída do conversor, v_{out}, a corrente na saída no conversor, i_{out}, e a queda de tensão nos terminais da bobina de acoplamento, v_L.

Através do modelo representado é possível determinar que a tensão de saída do conversor, v_{out}, é igual à soma da tensão nos terminais da bobina de acoplamento, v_L, mais a queda de tensão da rede elétrica, v_S. Como a tensão nos terminais da bobina de acoplamento é a soma da queda de tensão na indutância, v_L, mais a queda de tensão na resistência interna, v_r, e, uma vez que, a resistência interna é um valor bastante pequeno, torna-se então desprezável esta queda de tensão, e determina-se que a tensão nos terminais da bobina de acoplamento é somente o valor da indutância. Assim sendo, a equação (3.42) representa a tensão de saída do conversor,

$$v_{out} = v_L + v_S. \tag{3.42}$$

Seguidamente, substitui-se a queda de tensão da bobina, v_L, pela equação característica, obtém-se a seguinte equação (3.43):

$$v_{out} = L\frac{di_{out}}{dt} + v_S. \tag{3.43}$$

Como dito anteriormente, a variável de corrente de referência, i_{ref}, e a corrente na saída no conversor, i_{out}, são também importantes variáveis para este tipo de controlo, uma vez que a realimentação do sistema é efetuada pela corrente de saída. Desta forma, o erro da corrente de saída, i_{erro}, é igual à diferença entre a variável de corrente de referência, i_{ref}, e a corrente na saída no conversor, i_{out}. Portanto, resulta a equação (3.44):

$$i_{erro} = i_{ref} - i_{out}. \tag{3.44}$$

Posteriormente, substitui-se na equação (3.43), o erro da corrente de saída, i_{erro}, e obtém-se a equação (3.45):

$$L\frac{di_{erro}}{dt} = L\frac{di_{ref}}{dt} + v_S - v_{out}. \tag{3.45}$$

De seguida, reajusta-se a equação anterior, e é possível obter a equação (3.46):

$$v_{out} = L\frac{di_{erro}}{dt} + L\frac{di_{ref}}{dt} + v_S. \tag{3.46}$$

De forma que este controlo seja aplicado a um microcontrolador, por exemplo um DSP, é necessário transformar as equações anteriores de tempo contínuo em tempo discreto. Assim, aplica-se T_S, como o período de amostragem e a variação da corrente de erro como Δi_{erro}.

A equação (3.47) apresenta a transformação da equação de tempo contínuo para tempo discreto para implementar este tipo de controlo num microcontrolador:

$$v_{out}[k] = v_s[k] + \frac{L}{T_S}(2i_{ref}[k] - \ i_{ref}[k-1] - i_{out}[k]\ ). \tag{3.47}$$

3.5 Teorias de Potência

Nas últimas décadas ocorreu uma forte evolução de conversores de eletrónica de potência. A procura mundial de uma teoria de potência em condições não sinusoidais e/ou desequilibradas surge pelo aumento constante da utilização deste tipo de conversores. Desta forma, desenvolveram-se diversas teorias de potência para descrever a potência adequada e aplicar em condições não sinusoidais e desequilibradas [39], [40], [41] [42].

Ao longo deste subcapítulo são abordadas duas das teorias de potência, a teoria *pq* e a teoria Fryze-Buchholz-Depenbrock (FBD). A teoria *pq* simplifica o cálculo trifásico da potência ativa e reativa. Tipicamente, a potência trifásica é calculada pelas coordenadas *abc*. Com a aplicação desta teoria, a corrente e a tensão da fonte são transformadas em coordenadas $\alpha\beta$, utilizando a transformação de Clarke [43]. A técnica de filtros ativos de potência aplica largamente este tipo de teoria de potência [44]. No entanto, esta teoria apresenta algumas limitações e desvantagens. A utilização deste tipo de teoria impossibilita a aplicação em sistemas monofásicos. Esta técnica só funciona perfeitamente se as tensões de alimentação forem simétricas e sinusoidais [45].

A outra técnica abordada neste item é a teoria FBD. Baseando-se nos trabalhos de Fryze e Buchholz, Depenbrock apresenta esta teoria de potência. Pode ser aplicável a sistemas com diferente número de fases e para qualquer forma de onda de corrente [46].

3.5.1 Teoria *pq*

Em 1983, Hirofumi Akagi introduziu a teoria *pq.* A teoria *pq* surge para compensar a potência harmónica otimizada em sistemas de tensão de alimentação equilibrados ou não equilibrados e sinusoidais [47]. Esta teoria define a potência ativa e reativa instantânea [44], onde pode ser empregue para a mitigação de harmónicos, mas também para a compensação de potência reativa, regulando o fluxo de potência na transmissão. A teoria *pq* aplica a transformação de Clarke para transformar as coordenadas das três fases *abc* em duas coordenadas $\alpha\beta$ [43]. As equações (3.48) e (3.49) representam, cada uma, a matriz de transformação das coordenadas *abc* em $\alpha\beta$ para a tensão e corrente. É importante observar que estas equações não incluem a sequência zero, já que não é relevante para o desenvolvimento.

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{2/3} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.48)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{2/3} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (3.49)$$

A potência real instantânea, p, e a potência imaginária instantânea, q, são calculadas segundo um novo referencial com as variáveis v_α, v_β, i_α e i_β, como demonstra a equação (3.50).

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \cdot \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (3.50)$$

Assim sendo:

$$p = \bar{p} + \tilde{p} = v_\alpha i_\alpha + v_\beta i_\beta \quad (3.51)$$

$$q = \bar{q} + \bar{q} = v_\alpha i_\beta - v_\beta i_\alpha. \quad (3.52)$$

Onde,

$\bar{p}$ = valor médio da potência real instantânea e $\tilde{p}$= valor alternado da potência real instantânea.

$\bar{q}$ = valor médio da potência imaginária instantânea e $\tilde{q}$= valor alternado da potência imaginária instantânea.

A corrente no lado da fonte é calculada com base na inversão da matriz da equação (3.50) como representa a seguinte equação:

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \frac{1}{{v_\alpha}^2 + {v_\beta}^2} \cdot \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \cdot \begin{bmatrix} p \\ q \end{bmatrix}. \quad (3.53)$$

As potências instantâneas p e q das equações (3.50) e (3.53) são constituídas pela componente fundamental (P e Q) e pela componente harmónica da fonte ($\tilde{p}$ e $\tilde{q}$). Para separar a componente harmónica da fonte de corrente, a potência p apenas utiliza a componente $\tilde{p}$. A perda de potência é representada por P_{Loss} [48]. Com o objetivo de eliminar a potência reativa no lado da fonte, o valor de q torna-se negativo. Assim sendo, é possível obter a equação (3.54) [43].

$$\begin{bmatrix} i_{c\alpha} \\ i_{c\beta} \end{bmatrix} = \frac{1}{{v_\alpha}^2 + {v_\beta}^2} \cdot \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \cdot \begin{bmatrix} \tilde{p} - P_{Loss} \\ -q \end{bmatrix} \tag{3.54}$$

A corrente de referência, calculada anteriormente, é novamente transformada nas coordenadas *abc,* equação (3.55):

$$\begin{bmatrix} i_{ca}^* \\ i_{cb}^* \\ i_{cc}^* \end{bmatrix} = \sqrt{2/3} \cdot \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} i_{c\alpha} \\ i_{c\beta} \end{bmatrix}. \tag{3.55}$$

A Figura 3.13 ilustra o diagrama de blocos que representa este tipo de técnica de teoria de potência.

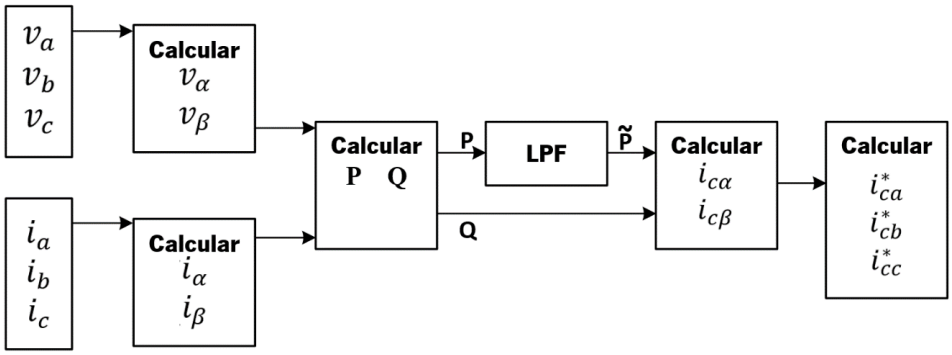


Figura 3.13 – Diagrama de blocos da teoria de potência *pq*.

3.5.2 Teoria FBD

A teoria FBD é uma derivação das teorias de Fryze e Buchholz, onde Depenbrock aplica a decomposição da corrente de Fryze e os valores coletivos instantâneos e eficazes de Buchholz para definir novas decomposições atuais [39], [40], [41]. Este método é aplicável a qualquer sistema multifásico. Segundo Buchholz, o sistema pode ser caracterizado por um circuito homogéneo em que nenhum dos condutores é tratado como um condutor especial, ou seja, o condutor neutro é tratado como um condutor de fase [49]. As tensões nos terminais *m* são representadas por um ponto externo do circuito "*". O método FBD aplica os vetores de tensão e corrente multidimensionais ($\boldsymbol{v}_*$,$\boldsymbol{i}$) e os valores coletivos instantâneos ($\boldsymbol{v}_\Sigma$, $\boldsymbol{i}_\Sigma$), conforme as equações (3.56) e (3.57),

$$\boldsymbol{v}_* = \begin{bmatrix} v_{a*} \\ v_{b*} \\ v_{c*} \\ \vdots \\ v_{m*} \end{bmatrix}, \qquad \boldsymbol{i} = \begin{bmatrix} i_a \\ i_b \\ i_c \\ \vdots \\ i_m \end{bmatrix}, \tag{3.56}$$

$$\boldsymbol{v_\Sigma} = \sqrt{\sum_{\mu=1}^{m} v_{\mu*}^2}\,, \qquad \boldsymbol{i_\Sigma} = \sqrt{\sum_{\mu=1}^{m} i_\mu^2}. \tag{3.57}$$

A potência instantânea, $\boldsymbol{p_\Sigma}$, resulta do produto das variáveis anteriormente descritas, equação (3.58):

$$\boldsymbol{p_\Sigma} = v_* \,.\, i^t. \tag{3.58}$$

Os valores eficazes coletivos de corrente e de tensão podem ser determinados segundo a equação (3.59) e o poder coletivo ativo resulta da equação (3.60):

$$\boldsymbol{I_\Sigma} = \sqrt{\frac{1}{T}\int_0^T i_\Sigma^2\, dt}\,, \qquad \boldsymbol{V_\Sigma} = \sqrt{\frac{1}{T}\int_0^T i_\Sigma^2\, dt}\,, \tag{3.59}$$

$$\boldsymbol{P_\Sigma} = \frac{1}{T}\int_0^T p_\Sigma^2\, dt. \tag{3.60}$$

Este método decompõe a corrente instantânea de cada fase do sistema, i_μ, em diferentes elementos, particularmente, em correntes ativas, $i_{a\mu}$, correntes não ativas, $i_{n\mu}$, correntes de potência, $i_{p\mu}$, correntes "*powerless*", $i_{z\mu}$, e, correntes de variação, $i_{v\mu}$. A corrente ativa é responsável pela transferência da energia média para a carga. Esta corrente foi originada para o desenvolvimento de sistemas monofásicos pelo Fryze. Contudo, Buchholz desenvolveu esta mesma corrente, mas para sistemas multifásicos, onde G_a representa a condutância ativa. Esta corrente é calculada pelo produto desta condutância com a tensão, equação (3.61).

$$i_{a\mu} = \frac{P_\Sigma}{V_\Sigma^2} v_{\mu*} = G_a v_{\mu*} \tag{3.61}$$

A corrente não ativa, $i_{n\mu}$, está relacionada com todas as perturbações e oscilações que podem afetar a potência instantânea. É calculada pela diferença entre a corrente instantânea de cada fase do sistema, i_μ, e a corrente ativa, $i_{a\mu}$, equação (3.62):

$$i_{n\mu} = i_\mu - i_{a\mu}. \tag{3.62}$$

A corrente de potência, $i_{p\mu}$,é responsável pela potência instantânea, onde envolve todas as oscilações referentes a harmónicos e desequilíbrios. A corrente calculada a partir da condutância de potência, G_p define a corrente de potência, que é proporcional à tensão segundo a equação,

$$i_{p\mu} = \frac{p_\Sigma}{v_\Sigma^2} v_{\mu*} = G_p v_{\mu*}. \tag{3.63}$$

A corrente "*powerless*", $i_{z\mu}$, não participa no transporte de energia e é calculada pela seguinte equação:

$$i_{z\mu} = i_\mu - i_{p\mu}. \tag{3.64}$$

Por fim, a corrente de variação, $i_{v\mu}$, é responsável pela oscilação da condutância G_p em torno do seu valor médio G_a, ou também, pelas variações de p_Σ, por parte de P_Σ, equação (3.65):

$$i_{v\mu} = i_{p\mu} - i_{a\mu} = i_{n\mu} - i_{z\mu}. \tag{3.65}$$

Assim, a decomposição das correntes ortogonais propostas pela teoria FBD resulta a equação (3.66):

$$\|i_\mu\|^2 = \|i_{a\mu}\|^2 + \|i_{n\mu}\|^2 = \|i_{a\mu}\|^2 + \|i_{v\mu}\|^2 + \|i_{z\mu}\|^2. \tag{3.66}$$

3.6 Algoritmos de Sincronização com a Rede Elétrica

A técnica *phase locked loop* (PLL) é uma estratégia de controlo utilizada em realizar a sincronização de fases em sistemas ligados à rede elétrica. Esta técnica possibilita a melhoria e a fiabilidade de sistemas eletrónicos e tem contribuído significativamente para o avanço da tecnologia em sistemas de comunicação e sistemas de controlo servo motor [50]. A operação PLL permite a sintonização de componentes de sinal de acordo com um sinal de referência [51]. Esta técnica pode ser implementada de forma analógica, por meio de um circuito eletrónico, ou de forma digital, onde é necessário a utilização de um microcontrolador ou de um circuito digital. Atualmente, no âmbito da eletrónica de potência existem diversos tipos de PPLs, em que podem ser representadas por um diagrama de blocos, presente na Figura 3.14. Este diagrama identifica três blocos diferentes, ou seja, um bloco *phase detector* (PD), um bloco *loop filter* (LP) e um bloco *voltage controlled oscillator* (VCO). No primeiro bloco, PD, o sinal de entrada é comparado com a saída do VCO, em que garante um sinal de erro. De seguida, o bloco LP, remove possíveis ruídos dos sinais. Por fim, um sinal sinusoidal é gerado pelo VCO com as características do sinal de referência de entrada [52]. Esta técnica permite um bom desempenho para sinais afetados por harmónicos, quedas de tensão e ondulações. No entanto, apresenta desvantagens relativamente às condições desequilibradas de funcionamento.

Na literatura, vários métodos foram abordados para resolver este problema, como a EPLL e a SFRPLL. Porém, estes métodos são bastantes diferentes da PLL convencional, uma vez que quando o sinal é distorcido por harmónicos, a largura de banda deve ser reduzida, ou seja, o tempo de resposta é aumentado [53]. Ao longo deste subcapítulo, são abordados alguns algoritmos de sincronização com a rede elétrica entre os quais, EPLL e *alfa-beta* PLL. Existem ainda outras configurações para a construção da técnica PLL, SRF-PLL, SOGI-PLL e QPLL. No entanto, estes tipos de técnicas não são abordados nesta revisão bibliográfica, visto que apresentam menor expressão em aplicações de sistemas de carregamento de veículos elétricos.

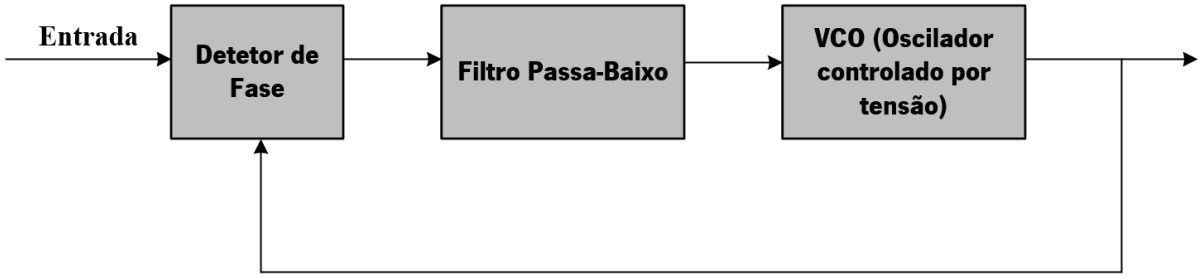


Figura 3.14 – Diagrama de blocos da técnica PLL.

3.6.1 *Enhanced Phase-Locked Loop* (EPLL)

O algoritmo de controlo *enhanced phase-locked loop* (EPLL) é uma das técnicas mais conhecidas para a realização em sistemas monofásicos. O EPLL surge para sincronizar os conversores com a interface de rede, mas também para a deteção e separação de componentes de sinais de potência [54]. Esta técnica remove possíveis erros de dupla frequência através da estimativa de amplitude do sinal de entrada. Assim, este algoritmo funciona como um controlador e um filtro, visto que fornece uma estimativa de magnitude e uma versão filtrada do sinal de entrada [55]. Este método permite detetar a amplitude, a frequência e a fase do sinal de tensão ou corrente desejada [56], [57]. Esta PLL tem como principais vantagens, garantir um maior grau de imunidade e insensibilidade ao ruído, a harmónicos e a desequilíbrios de sinais de entrada [58]. Como dito anteriormente, esta técnica pode ser implementada em sistemas monofásicos, mas alguns autores identificam possíveis casos para a realização deste algoritmo em sistemas trifásicos. Esta técnica apresenta diversas características, sendo classificada como robusta e demostra um simples ajustamento [59]. O diagrama de blocos que representa este algoritmo EPLL é mostrado na Figura 3.15.

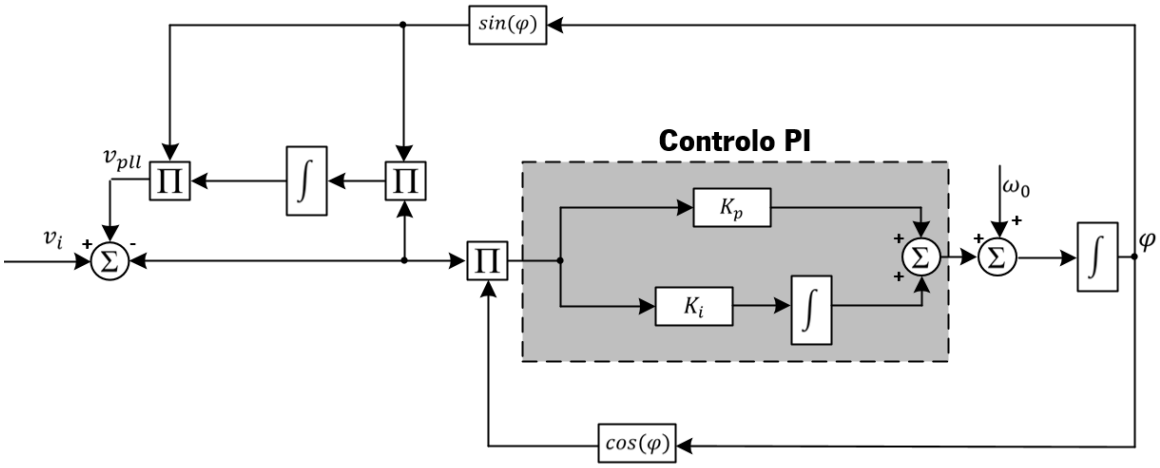


Figura 3.15 – Diagrama de blocos do algoritmo de sincronização EPLL.

3.6.2 *Alfa-Beta* PLL

A técnica $\alpha\beta$PLL pode ser aplicada a sistemas trifásicos tendo como objetivo resolver problemas associados à tensão do sistema durante o arranque, e às oscilações provocadas pela presença de sub-harmónicos [58]. Este algoritmo sincronizador digital é baseado na teoria instantânea de potência real e imaginária, a teoria *pq* [53].

Deste modo, o algoritmo $\alpha\beta$PLL apresenta duas variantes diferentes, uma relativamente à *p*-LL e outra sobre a *q*-PLL. Estas variantes estão diretamente relacionadas com as equações (3.67)e (3.68) das potências definidas pela teoria *pq*:

$$p = \bar{p} + \tilde{p} = v_\alpha i_\alpha + v_\beta i_\beta \tag{3.67}$$

e

$$q = \bar{q} + \bar{q} = v_\alpha i_\beta - v_\beta i_\alpha. \tag{3.68}$$

Neste caso, como se pode visualizar pelo diagrama de blocos da Figura 3.16, a teoria *pq* é aplicada a um sistema trifásico através da transformação de Clarke [60], [61], onde os valores de tensão das três fases *abc* (v_{ia}, v_{ib} e v_{ic}) são transformados em apenas dois valores de tensão $\alpha\beta$ (v_α e v_β). De seguida, estes dois valores são multiplicados pela saída das funções cosseno e seno. Os resultados desta multiplicação são somados e a solução obtida corresponde à variável de entrada do controlo PI. Na saída do controlo PI é gerado um ângulo de saída, *wt*. Este algoritmo, comparativamente aos restantes, apresenta um grau de simplicidade maior, dado que envolve um número reduzido de operações matemáticas. No entanto, demonstra um baixo desempenho durante o arranque, sendo considerado a principal desvantagem.

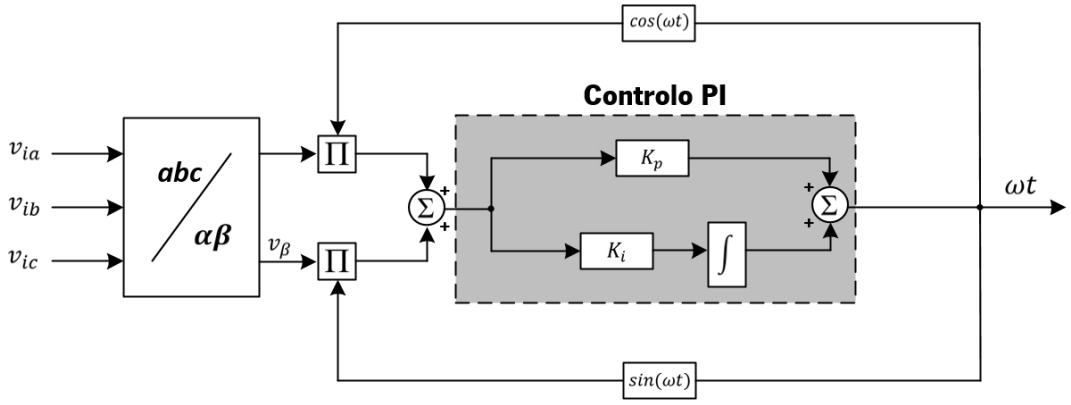


Figura 3.16 – Diagrama de blocos do algoritmo de sincronização $\alpha\beta$LL.

3.7 Filtro LCL

Apesar dos retificadores PWM possibilitarem o controlo de fator de potência, a operação de alta frequência dos interruptores permite o aparecimento de harmónicos [62]. A fim de resolver este entrave, surge a necessidade de inserir um filtro LCL. Este filtro de terceira ordem tem sido amplamente utilizado, em vez de um filtro L, visto que obtém uma suavização das correntes de saída em conversores ligados à rede [63]. É geralmente composto por bobinas e condensadores.

O esquema que representa o filtro ideal LCL é apresentado na Figura 3.17, sendo L_c a indutância do lado do conversor e L_g a indutância do lado da rede. Dado que, L_c, L_g e C_f estão em paralelo, a frequência de ressonância, ω_r, é:

$$\omega_r = \sqrt{\frac{L_c+L_g}{L_c C_f L_g}}. \tag{3.69}$$

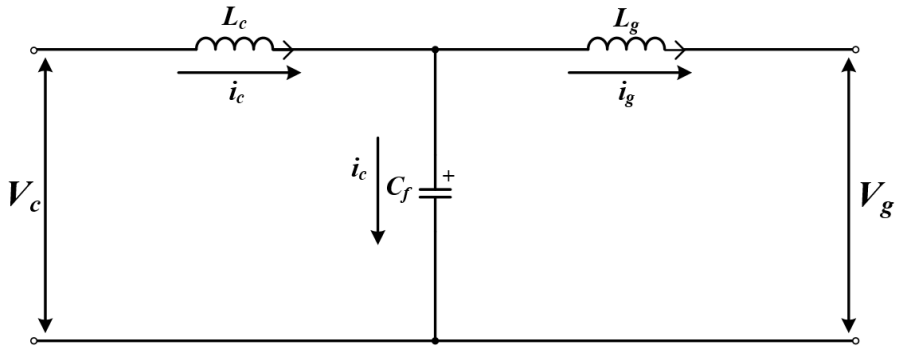


Figura 3.17 – Topologia LCL.

3.8 Conclusão

Ao longo deste capítulo foram apresentadas diferentes teorias de controlo para aplicação aos conversores de eletrónica de potência. Inicialmente, foi demonstrada uma revisão de literatura sobre as principais modulações PWM, sendo que o principal foco recaiu na técnica SVPWM, uma vez que é a abordagem mais promissora para o conversor em desenvolvimento. De seguida, foi realizada uma revisão das técnicas de controlo por corrente, onde se conclui que o algoritmo preditivo apresenta características mais complexas e interessantes relativamente aos restantes algoritmos de controlo de corrente. Posteriormente, teorias de potência foram apresentadas no tópico seguinte em que a teoria *pq* e a teria FBD são seguramente as teorias de potência mais utilizadas para identificar a potência adequada e aplicar em condições não sinusoidais e desequilibradas aos conversores. Por fim, foi apresentado um levantamento do estado de arte de duas topologias da técnica PLL, EPLL e $\alpha\beta$PLL, que permitem manter o sincronismo das fases em aplicações conectadas à rede elétrica.

Capítulo 4

Simulação e Análise do Conversor ANPC

4.1 Introdução

Neste capítulo são apresentadas as diferentes simulações realizadas e os respetivos resultados obtidos do conversor em desenvolvimento. Para a realização das mesmas é utilizada a ferramenta PLECS *(Piecewise Linear Electrical Circuit Simulation)* desenvolvido pela Plexim para simulações de eletrónica de potência, embora possa ser utilizado para outro tipo de simulações relacionadas com a rede elétrica ou circuitos elétricos. Deste modo, primeiramente, é modelizado o conversor ANPC com a modulação SVPWM convencional. De seguida, com as mesmas condições de simulação, é realizado com a modulação SVPWM híbrida. Para demonstrar as perdas de comutação e condução resultantes de cada modulação e as diferentes temperaturas que cada componente está sujeito, são realizadas três diferentes simulações com as características de módulos da *Infineon* para componentes IGBTs e da *Wolfspeed* para componentes MOSFETs. Ou seja, é realizada numa primeira simulação, o conversor ANPC com a modulação convencional. Seguidamente, realiza-se o mesmo modelo de simulação, mas com a troca de dois semicondutores de potência para componentes MOSFETs. A última simulação realizada representa o modelo de simulação do conversor ANPC híbrido com a modulação SVPWM híbrida. Assim, é possível identificar qual modulação e modelo apresenta um melhor desempenho e menores perdas, sendo que os resultados obtidos são extraídos para um ficheiro Excel onde são gerados diversos gráficos.

4.2 Conversor ANPC com SVPWM Convencional

Nesta secção, simulações e resultados experimentais são apresentados para demonstrar o desempenho do conversor 3L- ANPC com a técnica de modulação SVPWM convencional. Os parâmetros de simulação são dados pela Tabela 4.1 e a Figura 4.1 representa o esquemático do conversor no software PLECS. Para além desta técnica de modulação, são implementados dois tipos de controlos, o controlo de tensão e o controlo de corrente.

Tabela 4.1 — Dados da simulação.

v_{dc}	i_q	L_{ac}	V_{grid_rms}	F_{grid}	F_{sw}	R_1, R_2	C_1, C_2
1000 V	0 A	0,001 H	230 V	50 Hz	5 kHz	2,5 Ω	50 mF

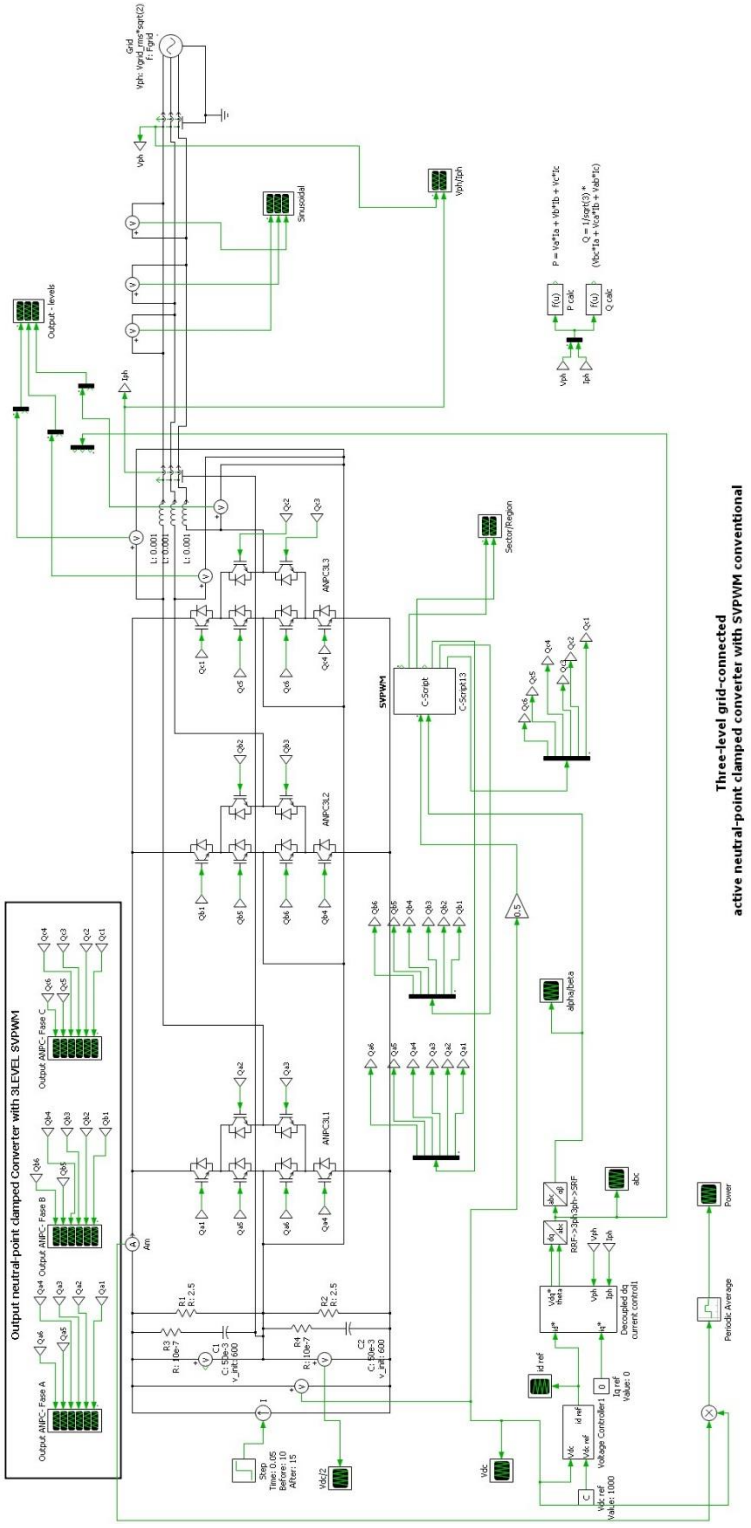


Figura 4.1 – Modelo de simulação em PLECS do conversor ANPC com SVPWM convencional.

4.2.1 Controlo de Tensão

Para controlar a tensão e obter o valor de corrente *id* referência, que serve de parâmetro de entrada para o controlo de corrente, é utilizado um controlo PI, Figura 4.2. Este controlo reduz o erro ajustando os valores das variáveis de processamento K_i e K_p do controlador. As variáveis K_p e K_i são designadas como a constante proporcional e constante integral, respetivamente. Para esta simulação, a variável K_p tem um ganho 0,2 e a variável K_i tem um ganho de 25.

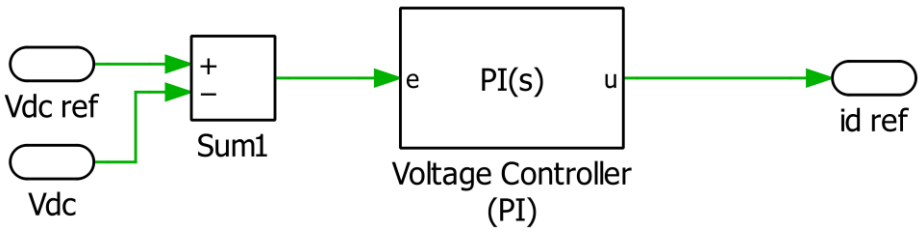


Figura 4.2 – Detalhe do modelo de simulação em PLECS relativo ao controlo de tensão.

4.2.2 Controlo de Corrente

O valor de tensão *dq*, V_{dq}, e o ângulo φ são obtidos através do controlo de corrente. A partir destes valores, são gerados os parâmetros de tensão, v_α e v_β, segundo a aplicação das transformadas RRF (*rotating reference frame*) →3ph e 3ph→SRF (*stationary reference frame*). Estes parâmetros servem de variáveis de entrada para a técnica de modulação SVPWM. O ângulo φ é adquirido com base na técnica PLL, sendo utilizado o tipo *double synchronous reference frame* PLL, DSRF-PLL. Para este bloco é utilizado como padrão o valor da bobina do filtro de saída de 0,001 H e as variáveis de entrada presentes são: i_d, i_q, v_{ph} e i_{ph}, Figura 4.4.

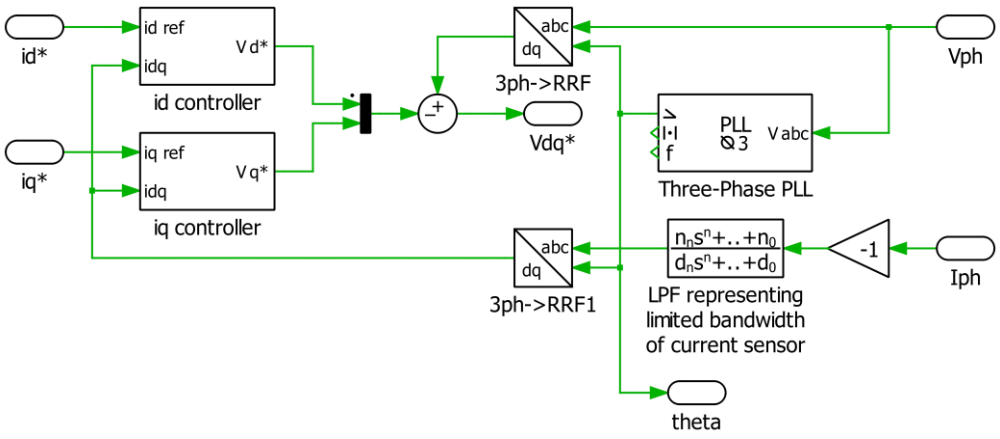


Figura 4.3 – Detalhe do modelo de simulação em PLECS relativo ao controlo de corrente.

4.2.3 Resultados Experimentais

Este conversor contém três estados de comutação, P, N e O, como é dito anteriormente. Sendo que, o estado P é obtido quando os IGBTs S_1 e S_2 estão ligados. Se os IGBTs S_3 e S_4 estão *on*, o estado é igual a N. O estado O é obtido quando os IGBTs S_2, S_3, S_5 e S_6 estão ligados. Uma vez que a tensão de referência CC aplicada é 1000 V, a tensão média, $v_{dc}/2$, do conversor é igual a 500 V, Tabela 4.2.

Tabela 4.2 – Estados de comutação do ANPC com SVPWM convencional.

Tensão de Saída	Estados	S_1	S_2	S_3	S_4	S_5	S_6
$+v_{dc}/2$	P	1	1	0	0	0	0
0	O	0	1	1	0	1	1
$-v_{dc}/2$	N	0	0	1	1	0	0

Desta forma, como é demonstrado na Figura 4.4, é possível visualizar os três níveis de comutação, +500 V, 0 V e -500 V para as três fases existentes, estando estas desfasadas 120°.

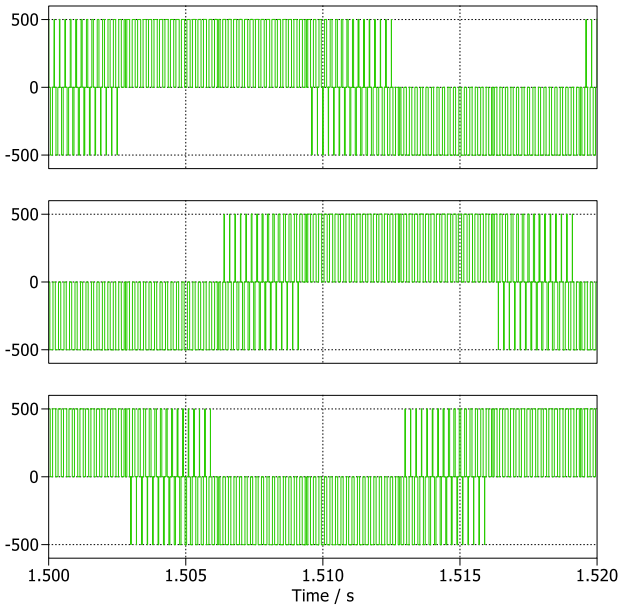


Figura 4.4 – Estados de comutação do conversor ANPC com SVPWM convencional.

Relativamente à técnica de modulação SVPWM convencional, para identificar o setor e a região, é necessário gerar os valores de tensão v_α e v_β a partir do controlo de corrente *dq*, no sentido de determinar o valor de magnitude, V_{mag}, e o ângulo de fase, θ. O espaço vetorial está dividido em seis setores (I a VI), sendo que cada setor está dividido em quatro regiões numeradas de 1 a 4. Assim, dependendo dos valores de v_α e v_β, é possível obter diferentes padrões no que diz respeito às regiões do SV. Na Figura 4.5 está representado os valores de tensão de v_α e v_β e, na Figura 4.6, os setores e as regiões

correspondentes. Os elementos apresentados estão a ser visualizados num intervalo de tempo 1,50 s a 1,55 s com uma frequência de 50 Hz.

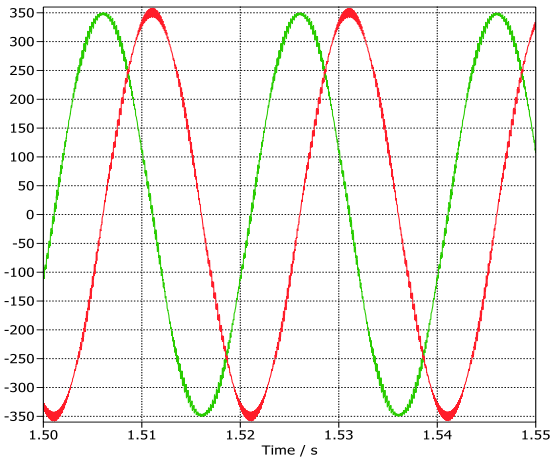


Figura 4.5 – V_α e V_β.

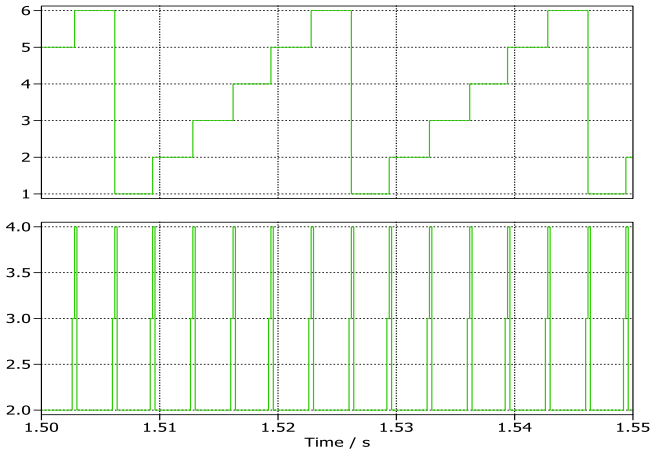


Figura 4.6 – Setor e região, respetivamente.

A Figura 4.7 mostra as formas de onda de sinais de cada IGBT da fase. Deste modo, é possível visualizar que os sinais dos IGBTs S_1/S_3 e S_2/S_4 são complementares e os sinais S_5/S_6 são iguais, conforme Tabela 4.2. Na Figura 4.8 são apresentados os resultados das formas de onda do lado CA, sendo que o gráfico (a) corresponde à forma de onda de tensão e o gráfico (b) é referente à corrente da rede elétrica. A tensão e a corrente estão desfasadas 180°, visto que a constante de corrente i_q é igual a zero e o conversor apresenta um regime de operação de inversor.

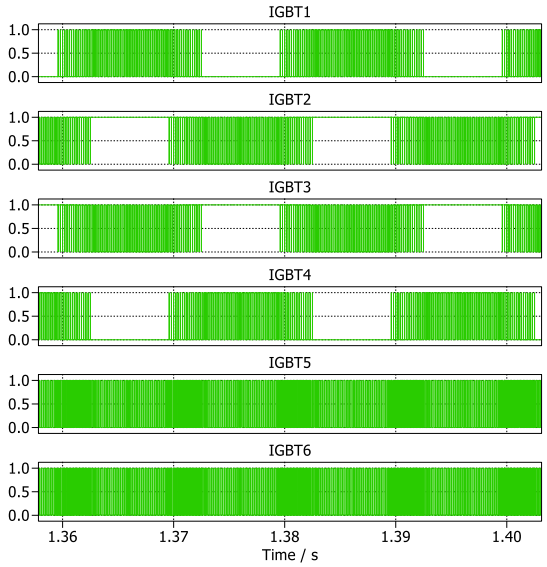


Figura 4.7 – Onda de sinal dos respetivos IGBTs para a modulação SVPWM convencional.

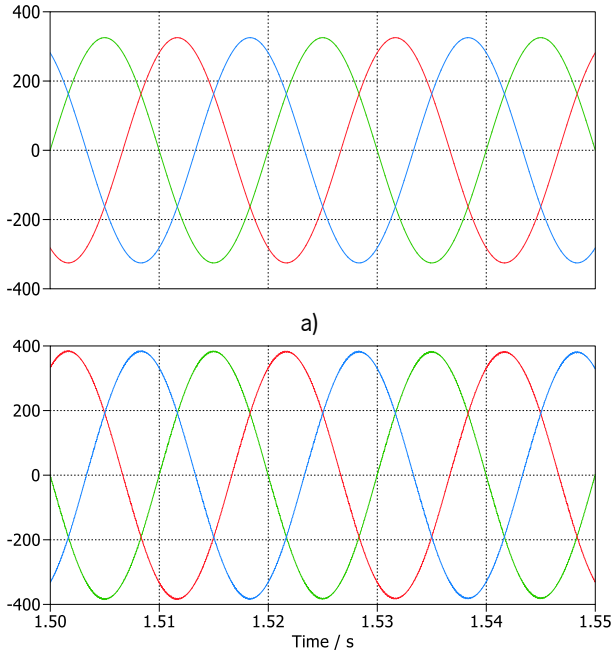


Figura 4.8 – Tensão (a) e corrente (b) da rede elétrica.

A potência ativa e reativa do sistema são calculadas de acordo com as fórmulas da Figura 4.9. Assumindo que as tensões da rede elétrica são sinusoidais e que as correntes do sistema em desenvolvimento estão desfasadas 180° com as respetivas tensões, pode-se concluir que o valor da potência ativa é negativo. Este sistema inclui uma potência de operação aproximadamente 190 kW. Na Figura 4.10 é possível visualizar os principais resultados das duas potências presentes no conversor ANPC através de um *Scope*, sendo a verde, a potência ativa, *P*, e a vermelho, a potência reativa, *Q*. É importante referir que

a produção de potência reativa depende exclusivamente da constante de corrente i_q. Como este parâmetro permanece a 0 A, o valor da potência reativa mantém-se praticamente a 0 kvar. De seguida, eleva-se o mesmo parâmetro para 200 A, podendo concluir que, quanto maior a constante de corrente i_q, maior será a potência reativa do sistema.

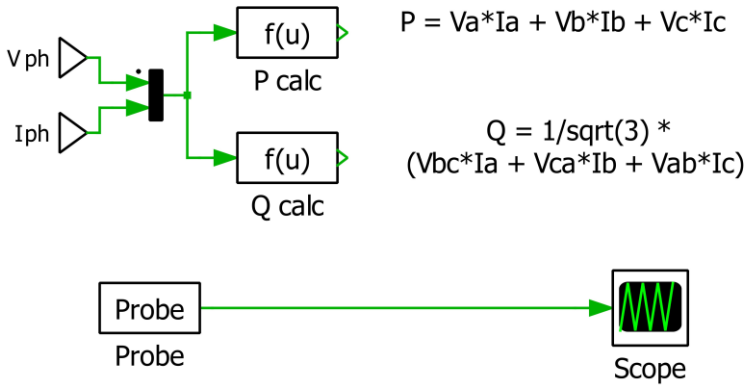


Figura 4.9 – Detalhe do modelo de simulação em PLECS relativo ao cálculo da potência ativa e reativa.

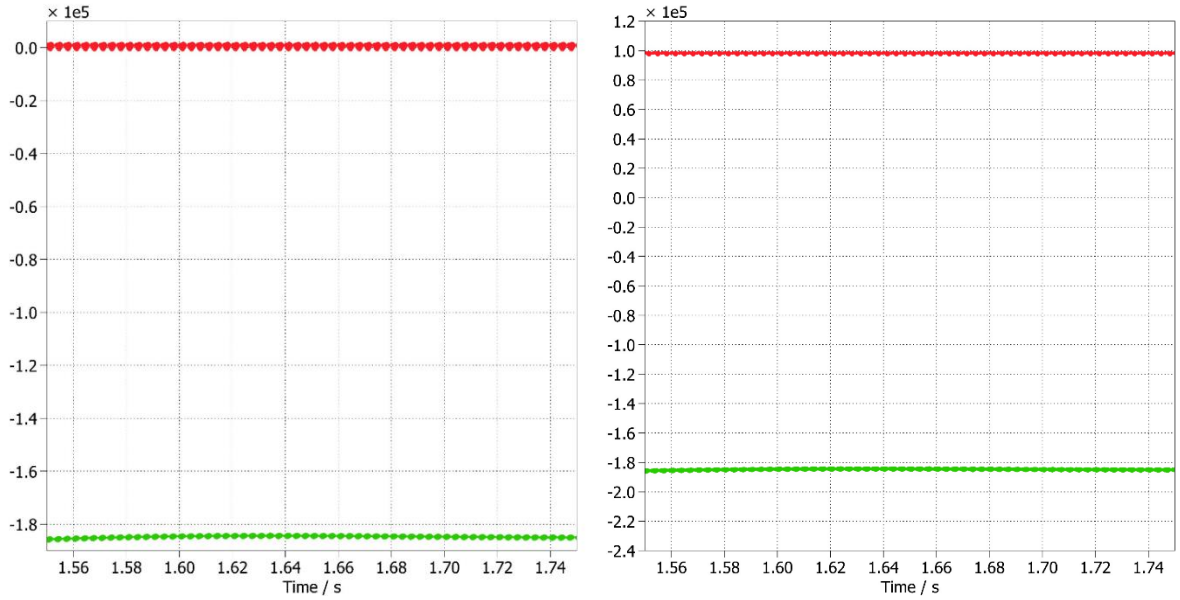


Figura 4.10 – Visualização dos resultados da potência ativa (verde)/reativa (vermelho) presentes no conversor ANPC para uma constante i_q de 0 A e 200 A, respetivamente.

Para implementação da técnica de modulação SVPWM convencional é realizado um excerto de código no bloco C-SCRIPT SVPWM, destacado no modelo de simulação. Na Figura 4.11 é demonstrada uma parte do código que representa as matrizes correspondentes aos vetores de comutação do setor 1 das quatro regiões. Os três estados de comutação P, N e O são definidos como 1, -1 e 0, respetivamente. Cada transição para o vetor seguinte é realizada apenas com a mudança de um estado de comutação.

O cálculo temporal das sequências vetoriais apresentadas na secção 3.3.1.4 é obtido pela soma dos tempos T_a, T_b e T_c. Na Figura 4.12 é ilustrado o código implementado para o cálculo temporal da sequência de nove segmentos da região 1 dos seis setores.

```
static const int sw_matrix_sym[6][4][5][3] = //[sector idx][region idx][sequence idx][arm_idx]
{
 //sector 0
 {
  //Region 0
  {
   {1,1,0},    //Vc1
   {1,0,0},    //Va1
   {0,0,0},    //Vb
      {0,0,-1},  //Vc2
   {0,-1,-1}  //Va2
  },
  {
   {1,1,0},    //Vc1
   {1,0,0},    //Va1
   {1,0,-1},   //Vb
      {0,0,-1},  //Vc2
   {0,-1,-1}  //Va2
  },
  {
   {1,1,0},    //Vc1
   {1,1,-1},   //Va1
   {1,0,-1},   //Vb
      {0,0,-1},  //Vc2
   {0,0,0}     //disabled
  },
  {
   {1,0,0},    //Va1
   {1,0,-1},   //Vb
   {1,-1,-1}, //Vc1
      {0,-1,-1}, //Va2
   {-1,-1,-1} //disabled
  }
```

Figura 4.11 – Código implementado para as diferentes matrizes do setor 1 das quatro regiões para o sistema convencional.

```
   switch (region)
   {
      case 0:
      {
         sw_sequ[0] = 0;
         sw_time[0] = CurrentTime + TS*tau_c/4.;
         sw_sequ[1] = 1;
         sw_time[1] = CurrentTime + TS*(tau_c + tau_a)/4.;
         sw_sequ[2] = 2;
         sw_time[2] = CurrentTime + TS*(tau_c + tau_a + tau_b*2.)/4.;
         sw_sequ[3] = 3;
         sw_time[3] = CurrentTime + TS*(tau_c + tau_a + tau_b*2. + tau_c)/4.;
         sw_sequ[4] = 4;
         sw_time[4] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2. + tau_c)/4.);
         sw_sequ[5] = 3;
         sw_time[5] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2.)/4.);
         sw_sequ[6] = 2;
         sw_time[6] = CurrentTime + TS*(1 - (tau_c + tau_a)/4.);
         sw_sequ[7] = 1;
         sw_time[7] = CurrentTime + TS*(1 - tau_c/4.);
         sw_sequ[8] = 0;
         sw_time[8] = DBL_MAX;
         break;
      }
```

Figura 4.12 – Código implementado para o cálculo temporal da sequência de nove segmentos da região 1.

4.3 Conversor ANPC com SVPWM Híbrido

Nesta secção, resultados experimentais são apresentados para demonstrar o desempenho do conversor 3L- ANPC com a técnica de modulação SVPWM híbrida. Os parâmetros de simulação são dados pela Tabela 4.1, sendo que o esquemático do conversor no software PLECS é igual ao da técnica de modulação SVPWM convencional. Para além desta técnica de modulação, são aplicados novamente um

controlo de tensão e um controlo de corrente demonstrados anteriormente. Conforme o ponto 3.3.2.2, para este tipo de modulação, existem quatro estados de comutação, sendo que o estado zero apresenta dois níveis de tensão, designados por L e U. No entanto, esta técnica de modulação é aplicada especialmente ao conversor ANPC híbrido. Contudo, como o conversor ANPC híbrido vai ser explorado para diversas simulações de perdas/térmicas e neste caso em específico, apenas se deseja visualizar as formas de onda de sinais de cada semicondutor das respetivas fases e perceber se o comportamento do conversor é o desejado, não ocorrendo qualquer tipo de modificação nos semicondutores de eletrónica de potência.

Como já foi referido esta simulação não apresenta alterações no esquemático do conversor ANPC. No entanto, a única modificação não é visível, uma vez que apenas está introduzida na C-Script SVPWM, tendo em vista uma futura implementação prática, num DSP, por exemplo. Novo código é implementado para os estados de comutação presentes na Tabela 3.7. Na Figura 4.13 é demonstrado uma parte do código que representa os vetores correspondentes do setor 1 das quatro regiões. Como existem dois estados zeros nesta configuração, o estado U e L, para as diferentes matrizes implementadas, apenas um é caracterizado como estado zero. Assim, esta implementação permite a inexistência de sobreposição dos dois estados zeros. Desta forma, o estado U é definido como o estado 0 e o estado L como o estado 2.

```
31 //sector 1
32 {
33  //Region 0        N -> -1     P  -> +1      U-> 0       L -> 2
34  {
35   {1,0,0},   //Va1 - PUU
36   {2,0,0},   //Vb1 - LUU
37   {2,0,-1},  //Vc1 - LUN
38   {2,-1,-1}  //Va2 - LNN
39  },
40  {
41   {1,0,0},   //Va1 - PUU
42   {1,0,-1},  //Vb1 - PUN
43   {2,0,-1},  //Vb1 - LUN
44   {2,-1,-1}  //Va2 - LNN
45  },
46  {
47   {1,1,0},   //Vc1 - PPU
48   {1,1,-1},  //Vb1 - PPN
49   {1,2,-1},  //Va1 - PLN
50   {2,2,-1}    //Vc2 - LLN
51
52  },
53  {
54   {1,0,0},   //Va1 - PUU
55   {1,0,-1},  //Vb1 - PUN
56   {1,-1,-1}, //Vc1 - PNN
57   {2,-1,-1}  //Va1 - LNN
58  }
```

Figura 4.13 – Código implementado para as diferentes matrizes do setor 1 das quatro regiões para o sistema híbrido.

O conversor ANPC com a modulação SVPWM híbrida engloba então quatro estados de comutação, P, N, L e U, sendo que apresenta três níveis de tensão. A tensão de referência CC aplicada é os 1000 V, ou

seja, a tensão média, $v_{dc}/2$ é igual a 500 V. Desta forma, como é demonstrado na Figura 4.14, é possível visualizar os três níveis de comutação, +500 V, 0 V e -500 V de cada fase.

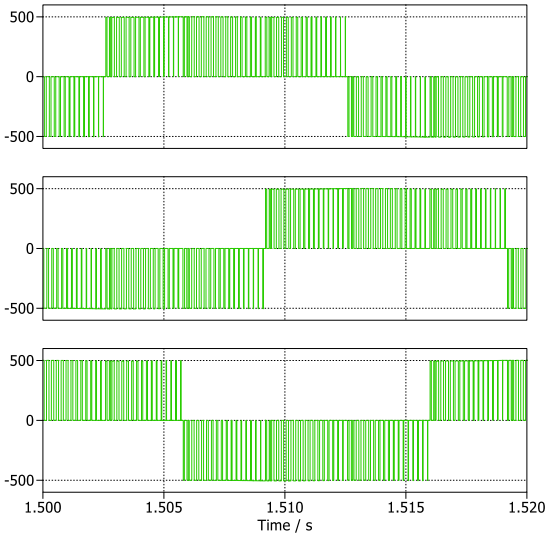


Figura 4.14 – Estados de comutação do conversor ANPC com SVPWM híbrido.

Na Figura 4.15 está representado as forma de onda de tensão v_α e v_β, que comparando com os da Figura 4.5, é possível identificar uma pequena distorção particularmente nos valores máximos e mínimos de tensão. Esta distorção altera o padrão das regiões dos diferentes setores, Figura 4.16. Os elementos apresentados estão a ser de novo visualizados num intervalo de tempo 1,50 s a 1,55 s com uma frequência de 50 Hz.

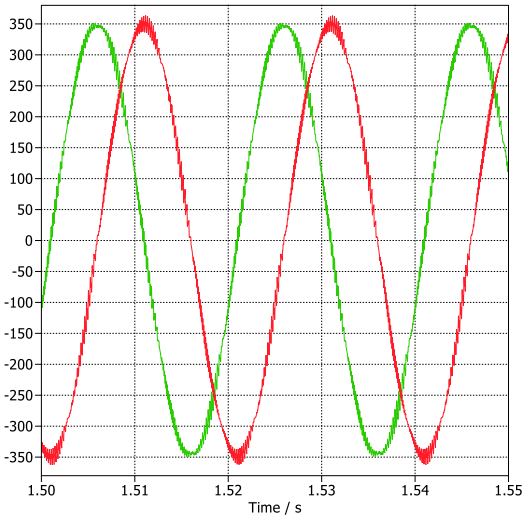


Figura 4.15 – V_α e V_β.

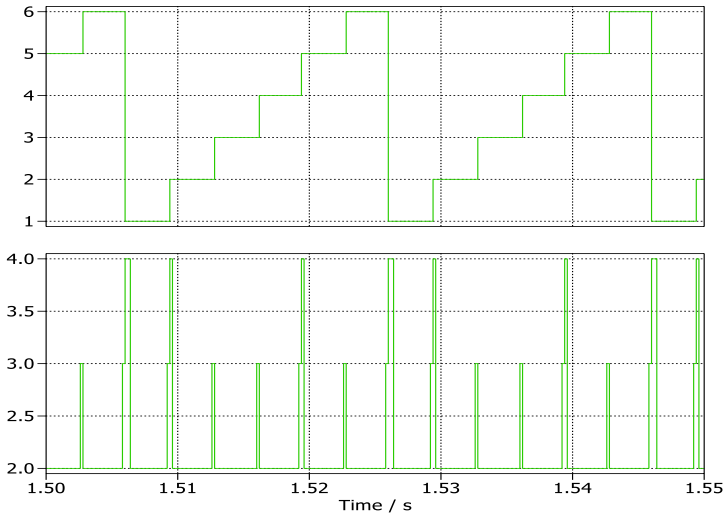


Figura 4.16 – Setor e região, respetivamente.

As formas de ondas dos sinais das gates da fase a são representadas na Figura 4.17. Das formas de onda, pode-se verificar que os IGBTs S_1, S_4, S_5 e S_6 são comutados à frequência fundamental da rede elétrica, ou seja, a uma frequência de 50 Hz. Em contrapartida, os IGBTs S_2 e S_3 são comutados a alta frequência. Assim, ao garantir que os semicondutores S_2 e S_3 também possuam as propriedades do SiC, esta operação contribui para uma eficiência aprimorada, resultando num melhor desempenho e redução das perdas durante as comutações. As perdas de condução e comutação são observadas e analisadas no tópico 4.4.

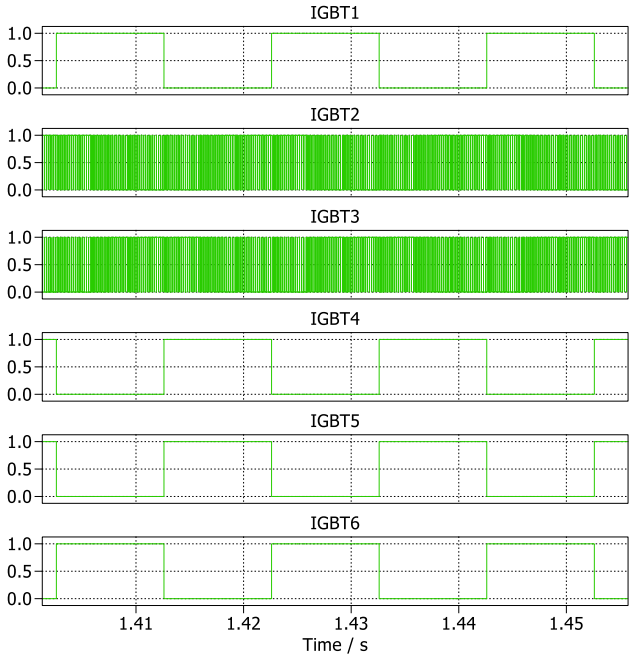


Figura 4.17 – Onda de sinal dos respetivos transístores para a modulação SVPWM híbrida.

4.4 Simulação de Perdas/Térmicas

Para verificar o desempenho do conversor em desenvolvimento e analisar as perdas de comutação/condução e as temperaturas são realizadas várias simulações com diferentes parâmetros, em que são utilizados módulos da *Infineon* para os IGBTs e módulos da *Wolfspeed* para os componentes MOSFETs. A Tabela 4.3 apresenta as principais características de cada módulo *half-bridge* de 62 mm.

Tabela 4.3 – Dados dos módulos.

Características	**Módulo IGBT**			**Módulo MOSFET**		
Package						
Referência	FF600R12KE4			CAS530M12BM3		
Valor de Tensão (V)	1200					
Valor de Corrente (A)	600			530		
$T_{VJ(max)}$	175°C					
$E_{(ON)}$ (mJ)	16,0 T_{VJ}=25°C	29,5 T_{VJ}=125°C	35,5 T_{VJ}=150°C	6,6 T_{VJ}=25°C	6,0 T_{VJ}=125°C	6,0 T_{VJ}=150°C
$E_{(OFF)}$ (mJ)	45,5 T_{VJ}=25°C	70,0 T_{VJ}=125°C	78,0 T_{VJ}=150°C	8,9 T_{VJ}=25°C	9,0 T_{VJ}=125°C	9,0 T_{VJ}=150°C
Díodo – $E_{(rec)}/E_{(rr)}$	27,0 T_{VJ}=25°C	48,5 T_{VJ}=125°C	54,5 T_{VJ}=150°C	1,9 T_{VJ}=25°C	2,2 T_{VJ}=125°C	2,2 T_{VJ}=150°C
Díodo – Q_{rr} (µC)	110 para T_{VJ}=150°C			4,8 para T_{VJ}=150°C		
Díodo – R_{thJC}	0,0929 K/W			0,078 °C/W		
IGBT/MOSFET – R_{thJC}	0,0460 K/W			0,075°C/W		
$R_{DS(on)}$ (mΩ)	————			4,30 para T_{VJ}=150°C		
$V_{CE\ sat}$ (V)	2,05 para T_{VJ}=150°C			————		

Após o estudo dos módulos, insere-se as características no software PLECS em cada componente, sendo que todos os semicondutores têm de estar equipados por um *heat sink*. Este elemento é um dissipador de calor, com a função de evitar o sobreaquecimento dos dispositivos eletrónicos. Neste caso de estudo, é utilizado de alumínio, ou seja, o valor de resistência térmica é de 0,05 K/W e o valor da capacidade térmica é de 0,9 J/K, Figura 4.18.

No que diz respeito à inserção das caraterísticas dos módulos no software, quando o fabricante já disponibilizou o modelo térmico em formato XML, o processo torna-se simplificado. Ou seja, é apenas necessário fazer o download do modelo e inseri-lo no PLECS, mais concretamente na secção de descrição térmica, *thermal description*, para incorporar as propriedades térmicas no projeto.

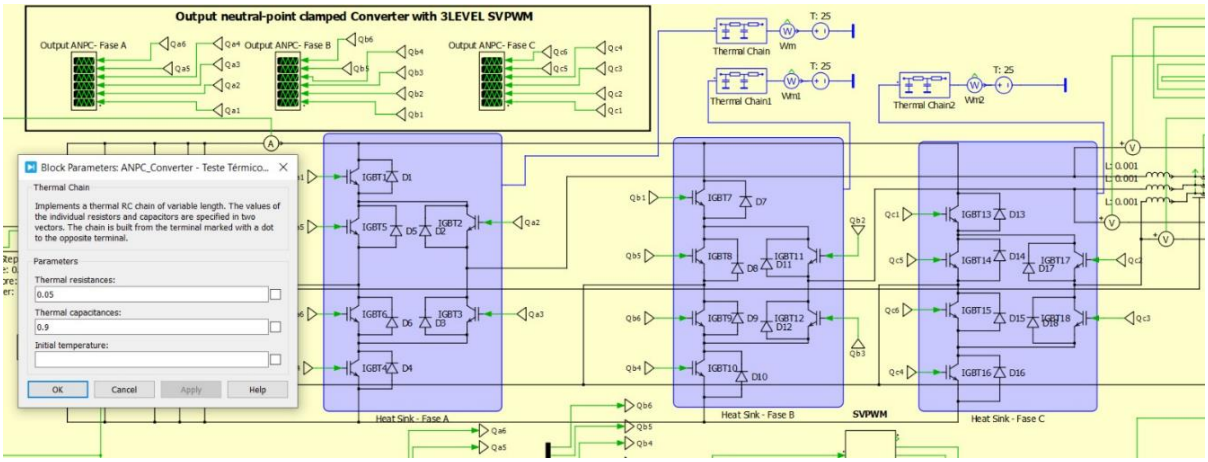


Figura 4.18 – Modelo térmico em PLECS.

O método utilizado para determinar as perdas totais dos semicondutores de eletrónica de potência baseia-se no bloco da Figura 4.19. As perdas totais são o resultado da soma de perdas de condução e comutação de todos os semicondutores existentes. Para calcular as perdas de condução é utilizado um integral, em que se calcula o valor médio contínuo de um sinal de entrada num período t_s. Já para calcular as perdas de comutação, é utilizado um somatório, em que se calcula o valor médio de impulsos *dirac* num período t_s [64].

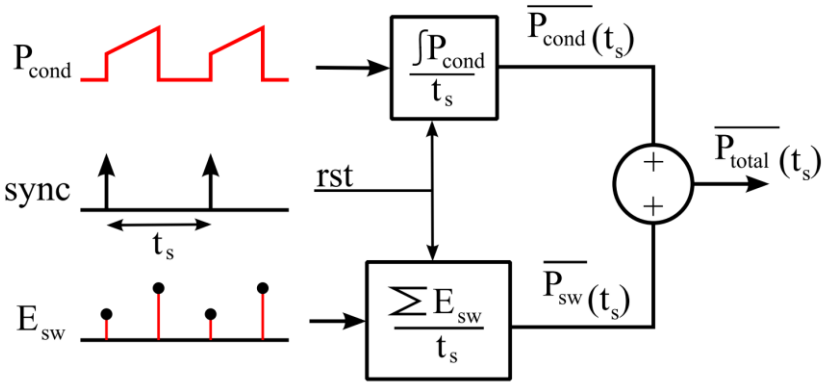


Figura 4.19 – Bloco referente às perdas de condução e comutação [65].

Na ferramenta PLECS, os valores de perdas de condução de cada componente são calculados através do bloco *period average* e as perdas de comutação a partir do bloco *period impulse average* [65] com

um tempo t_s de 0,02 segundos, Figura 4.20. Para calcular as perdas totais do conversor ANPC são somadas todas as perdas de comutação e condução de cada díodo e IGBT/MOSFET através do bloco *SUM*.

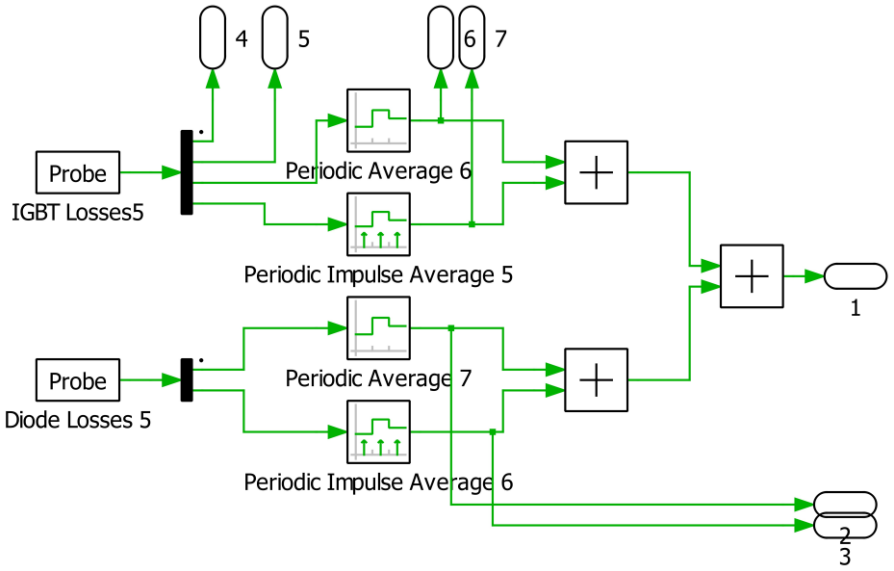


Figura 4.20 – Perdas de condução e comutação em ambiente PLECS.

De forma, a automatizar a simulação para obter resultados, em vários regimes de operação, de uma forma agilizada, com a variação de diferentes valores para as mesmas variáveis, implementou-se um código na *Simulation Scripts* no software PLECS, onde é gerada uma matriz que serve de armazenamento para os resultados obtidos. As quatro variáveis alteradas são os parâmetros i_q, fsw,*res1* e *control* . A constante *res1* é aplicada às resistências R_1 *e* R_2 e o parâmetro *control* permite que o sistema opere com as duas modulações. Para analisar estes resultados, é criado um ficheiro Excel automático, em que se gera diferentes gráficos sobre as perdas, máximas temperaturas atingidas, rendimentos, entre outros.

Na Figura 4.21 é apresentado um pedaço de código na *Simulation Scripts* que permite retirar o último valor da simulação das perdas de condução e comutação de cada semicondutor de potência, visto que neste tempo o conversor apresenta maior estabilidade.

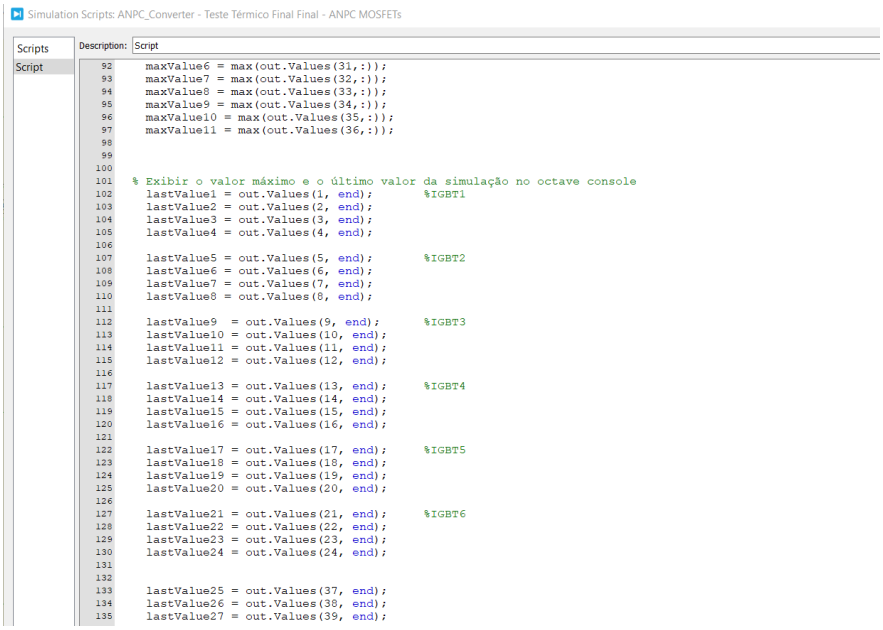


Figura 4.21 – Código implementado para a extração dos valores de perdas de comutação e condução dos semicondutores.

As primeiras simulações analisadas da Figura 4.22 têm como parâmetros, a corrente i_q a 0 A, a frequência de comutação fsw a 3 kHz e resistências a 2,5 Ω. Os gráficos apresentados demonstram as perdas de condução e comutação de cada semicondutor de eletrónica de potência para as três simulações estudadas. As perdas de condução estão representadas a azul e as perdas de comutação a laranja. A simulação ANPC refere-se ao conversor ANPC com a modulação SVPWM convencional. Já a simulação ANPC MOSFETS, apresenta as mesmas características da simulação ANPC, mas com a alteração dos IGBTs S_2 e S_3 para componentes MOSFETs, mantendo S_1, S_4, S_5 e S_6 IGBTs. Para a simulação ANPC Hybrid MOSFETs é considerada a modulação SVPWM híbrida com os semicondutores S_2 e S_3 MOSFETS e S_1, S_4, S_5 e S_6 IGBTs.

Com base nos resultados apresentados, é possível visualizar mais perdas de condução no sistema. Existem três pares de semicondutores que apresentam o mesmo comportamento. Observa-se que os díodos D_2 e D_3 não mostram quaisquer tipos de perdas quando estão em conjunto com componentes MOSFETS. Em relação ao conversor ANPC com a primeira modulação estudada, os semicondutores S_5 e S_6 estão a operar a frequências maiores, sendo que não apontam perdas de comutação e condução. Relativamente à modulação híbrida, existe uma redução significativa de perdas de comutação, de modo que esta conclusão, é um dos propósitos desta dissertação. Para se concluir melhor o resultado anterior, é realizado um somatório de todas as perdas de cada braço ANPC. Assim, mais simulações são analisadas, sendo que agora o parâmetro da frequência de comutação é variado e os restantes mantêm-se constantes.



Figura 4.22 – Perdas de condução e comutação de cada semicondutor de potência das três simulações realizadas com parâmetros i_{qref} = 0 A fsw = 3 kHz e R = 2,5 Ω.

A Figura 4.23 e Figura 4.24 mostram o comportamento do conversor perante a variação deste parâmetro. Pode-se concluir que, aumentado o valor da frequência de comutação, o valor de perdas de condução é praticamente semelhante e as perdas de comutação são cada vez mais visíveis nas duas primeiras simulações dos gráficos apresentados, mostrando que a modulação híbrida tem claramente um forte impacto na redução de perdas de comutação.

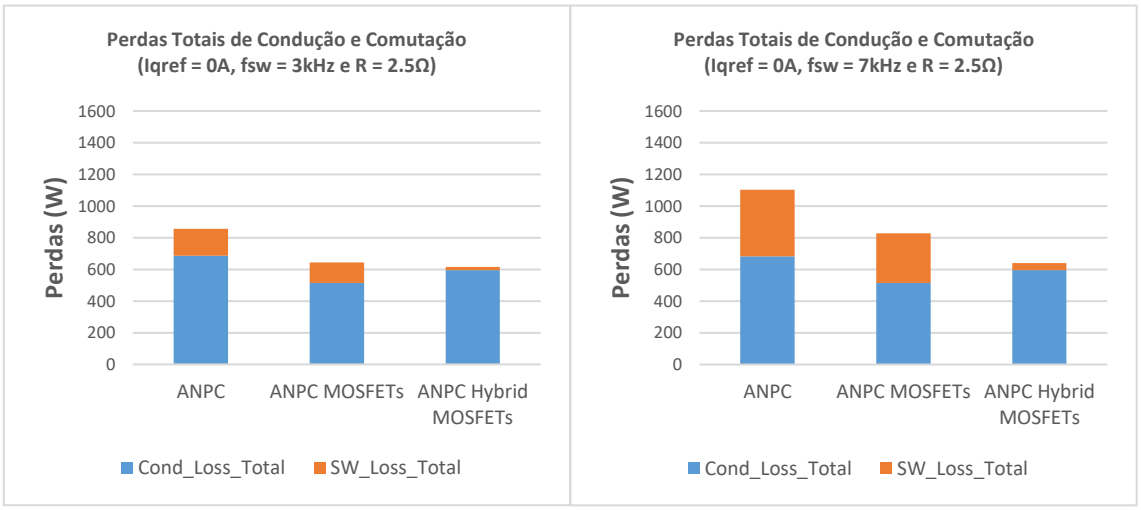


Figura 4.23 – Perdas totais para uma frequência de comutação de 3 kHz e 7 kHz, respetivamente.

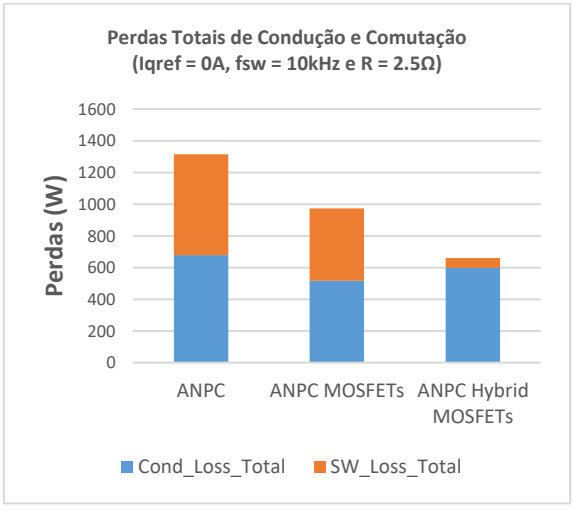


Figura 4.24 – Perdas totais para uma frequência de comutação de 10 kHz.

Seguidamente, visto que o parâmetro da frequência de comutação fsw já foi avaliado, é analisado o parâmetro da corrente i_q, em que é incluído valores de 0 A, 200 A e 400 A, mantendo a frequência de comutação a 7 kHz e as resistências a 2,5 Ω. As Figura 4.25 e Figura 4.26 mostram o comportamento do conversor perante a variação desta variável. Pode-se concluir que, aumentado o valor de corrente, existe um aumento de perdas totais proporcional aos valores definidos. As perdas de condução agravam-

-se conforme esta variável, de maneira que é visível um aumento pouco significativo na modulação híbrida relativamente à modulação convencional com semicondutores MOSFETs. No entanto, como o objetivo deste projeto é reduzir as perdas de comutação no conversor híbrido, sendo que o sistema apresente no total valores de perdas mais pequenas, é possível visualizar que existe uma redução muito considerável deste tipo de perdas em comparação com as duas primeiras simulações.

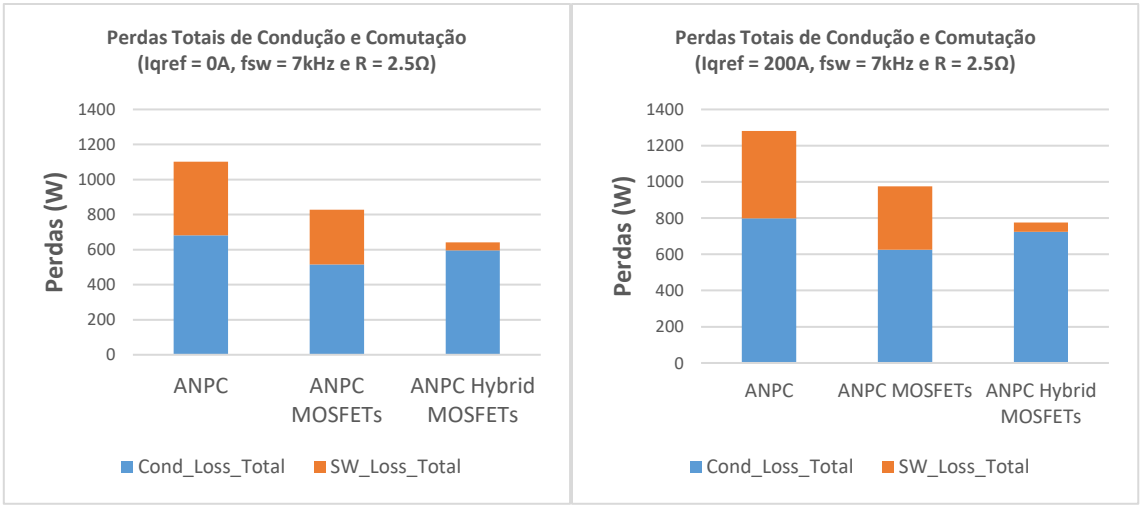


Figura 4.25 – Perdas totais para uma corrente i_q de 0 A e 200 A, respetivamente.

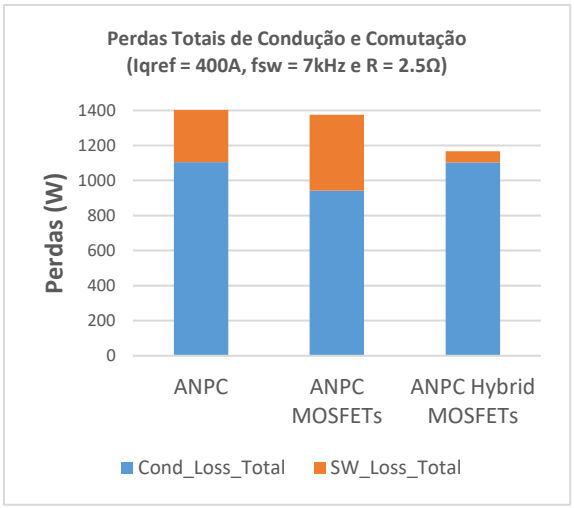


Figura 4.26 – Perdas totais para uma corrente i_q de 400 A.

É de salientar que as perdas só podem ser consideradas, se a temperatura dos semicondutores for aceitável, ou seja, dentro da gama de trabalho recomendada. Caso contrário, a simulação não é válida. A Figura 4.27 e Figura 4.28 demonstram as temperaturas alcançadas, segundo uma variação de frequência de comutação. Pode-se concluir que, os semicondutores nunca atingem uma temperatura de 175°C, uma vez que é o valor máximo de temperatura admissível nos módulos da *Infineon* e da

Wolfspeed. Contudo, apesar de ser o limite máximo, a validação da simulação do conversor apenas será garantida se os valores apresentarem um fator de segurança de pelo menos 30°C a menos. Como também se pode visualizar, aumentando o valor de frequência de comutação, revela-se um aumento das temperaturas alcançadas, em que o menor resultado atingido está quase sempre salientado na simulação do conversor híbrido. Assim, quanto menores forem as temperaturas e perdas, o conversor ANPC apresenta uma eficiência maior.

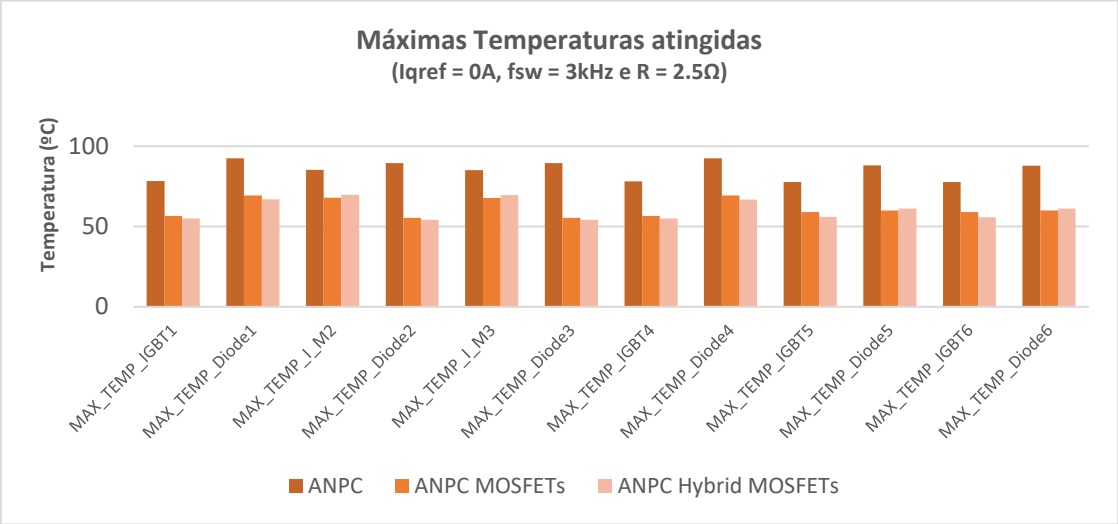


Figura 4.27 – Máximas temperaturas para uma frequência de comutação de 3 kHz.

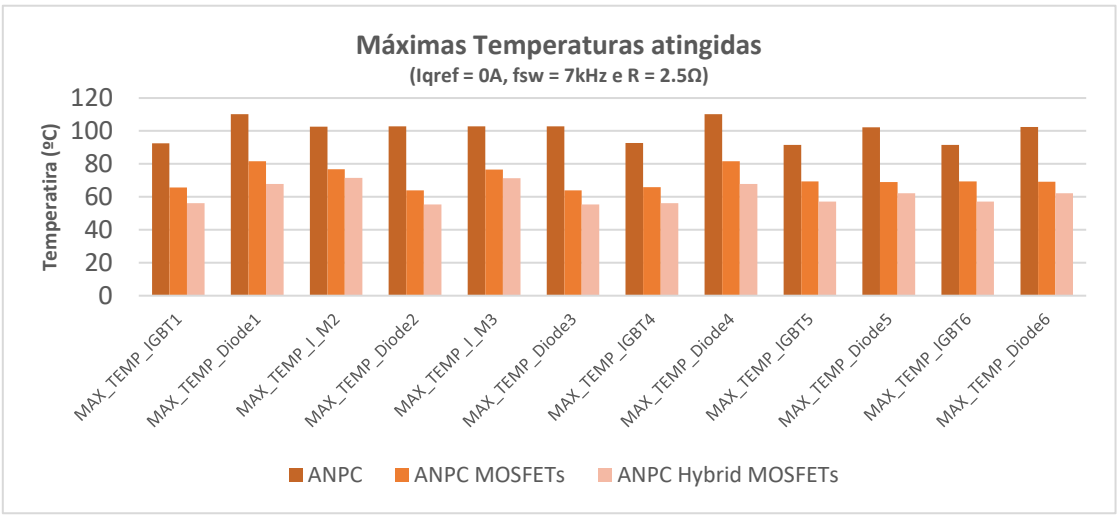


Figura 4.28 – Máximas temperaturas para uma frequência de comutação de 7 kHz.

Na Figura 4.29 é apresentada em detalhe a percentagem de perdas do conversor ANPC nas três aplicações. Concluindo que, a modulação SVPWM híbrida no conversor ANPC híbrido, exibe melhores resultados. O rendimento é satisfatoriamente maior, uma vez que nesse sistema a percentagem de perdas é parcialmente mais baixa.

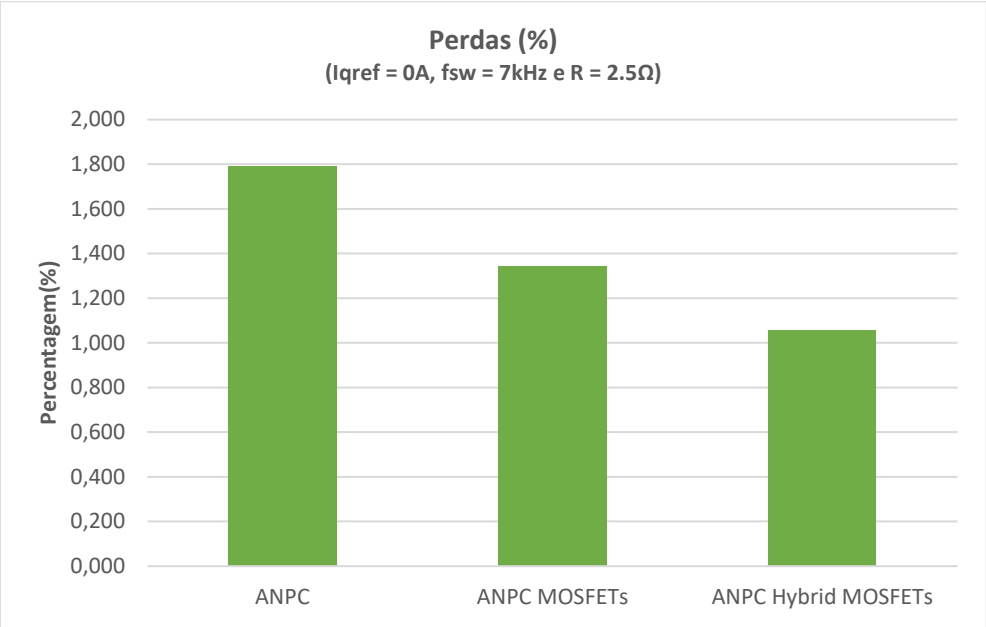


Figura 4.29 – Perdas (%) para as três aplicações estudadas.

A potência que o conversor consegue atingir com os parâmetros anteriores é aproximadamente 185 kW, Figura 4.30. Caso o valor de resistências no lado CC diminua, este alcança potências mais altas, mantendo-se sempre dentro das faixas de operação recomendadas. A Figura 4.31 demostra que o conversor obtém uma potência de 250 kW com uma resistência *res1* de 1,9 Ω.

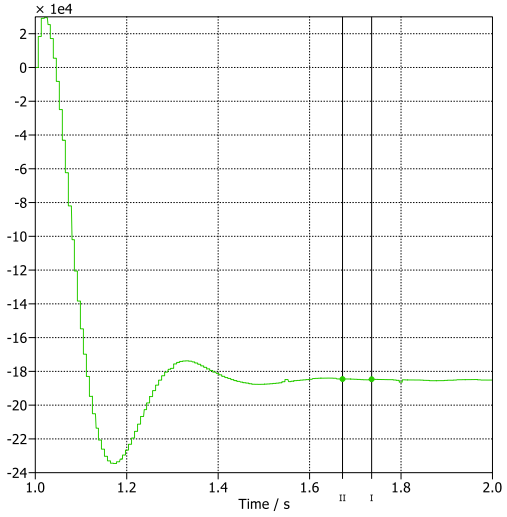


Figura 4.30 – Potência atingida com *res1* de 2,5 Ω.

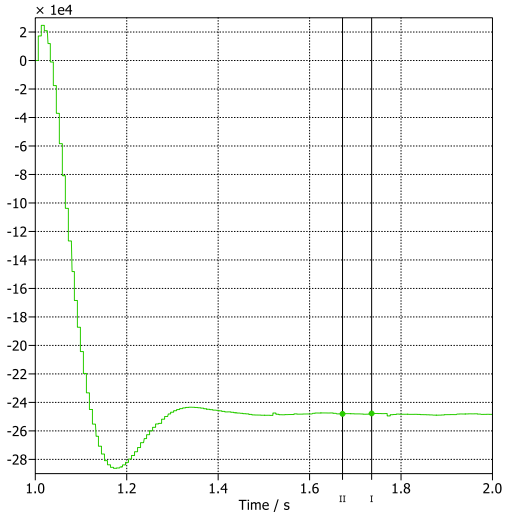


Figura 4.31 – Potência atingida com *res1* de 1,9 Ω.

4.5 Conclusão

Neste capítulo estão apresentadas as simulações e a análise relativa ao conversor em estudo no software PLECS. Primeiramente, é analisado o desempenho da modulação convencional e de seguida, são observados os resultados experimentais sobre a modulação híbrida. De modo, a estudar as perdas de comutação/condução e as máximas temperaturas atingidas de cada semicondutor, são realizadas simulações com diferentes regimes de operações utilizando diferentes semicondutores. Podendo-se concluir que, independente dos parâmetros aplicados, o conversor com a simulação ANPC *Hybrid* MOSFETs é o que demonstra melhores resultados. Desta forma, é de reforçar que utilizando apenas dois SiCs, em substituição com dois IGBTs, se consegue um desempenho muito superior, permitindo a redução de perdas e a operação numa gama de frequência mais alargada.

Capítulo 5

Implementação de um Modelo Discreto de Simulação com o Controlo Preparado para o DSP

5.1 Introdução

Neste capítulo é realizada uma simulação *offline* com a adaptação do modelo para separar o controlo e a planta do conversor. Implementa-se um modelo discreto para torná-lo passível de ser transferido para um DSP, uma etapa preparatória para os subsequentes testes com a RTBOX, embora se destaque que esta simulação, não é validada com a RTBOX. A RTBOX é um simulador em tempo real particularmente utilizado para aplicações de eletrónica de potência, apresentando várias entradas e saídas analógicas/digitais e CPUs integrados em FPGA. É especialmente aplicado para testes de hardware *in the loop* e controlo rápido. Para ilustrar o desenvolvimento, é demonstrado primeiramente o esquemático do conversor desenvolvido em PLECS e, em seguida, são detalhados os resultados conseguidos através do bloco de observação (*scope*).

5.2 Arquitetura do Sistema

Na Figura 5.1 destaca o esquema que exemplifica o modelo discreto implementado no software PLECS. Este modelo oferece a flexibilidade necessária para a transferência do controlador do conversor para um DSP, utilizando os blocos especializados da *Texas Instruments* para os sinais de ADC e PWM. Simultaneamente, permite a migração do conversor e da planta para o simulador RTBOX 1.

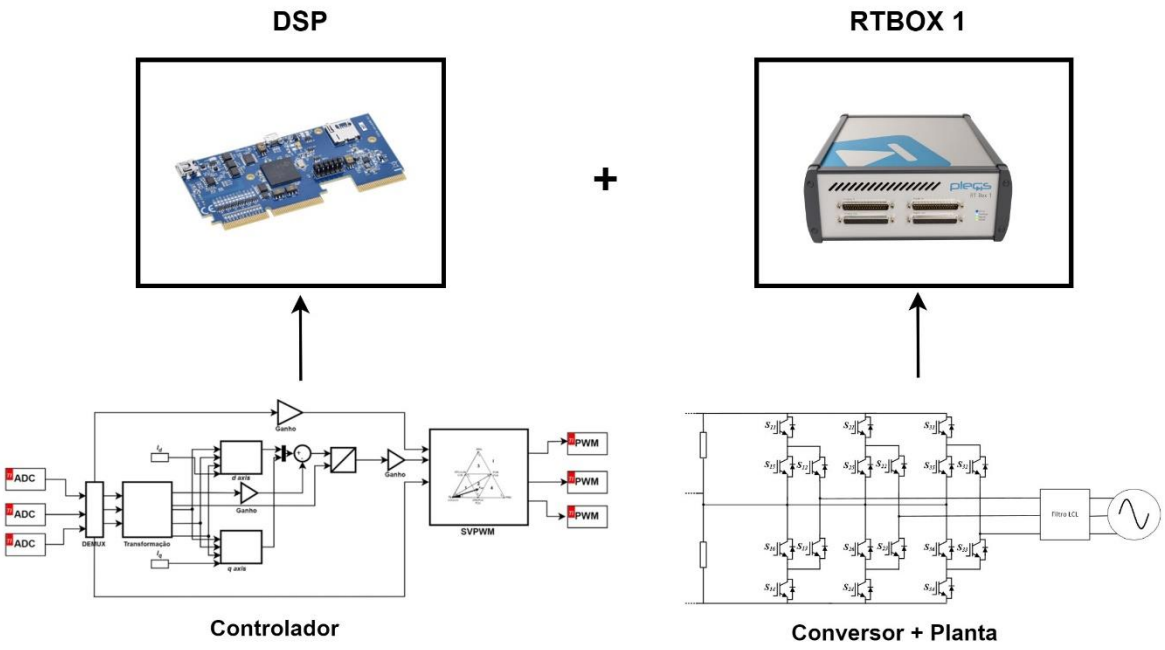


Figura 5.1 – Arquitetura do sistema.

5.3 Esquemático e resultados em PLECS

Nesta secção, simulações e resultados experimentais são apresentados para demonstrar o desempenho do conversor 3L- ANPC com a modulação SVPWM híbrida e o filtro LCL. Os parâmetros de simulação são dados pela Tabela 5.1 e a Figura 5.2 representa o esquema implementado em PLECS. Este esquemático está divido em dois sistemas distintos. O primeiro sistema representa o controlador do conversor e o segundo a respetiva planta. O subsistema *Plant* inclui o circuito de potência e o subsistema *Controller* inclui a malha de controlo e a respetiva modulação.

Tabela 5.1 — Dados da simulação.

F_{sw}	V_{grid_rms}	F_{grid}	P_n	R_{11}, R_{12}
5 kHz	130 V	50 Hz	50 kHz	0,001 Ω

i_d	i_q	*Gain*	L_{ac}	V_{dc}
200 A	0 A	1,67	0,0005 H	275 V

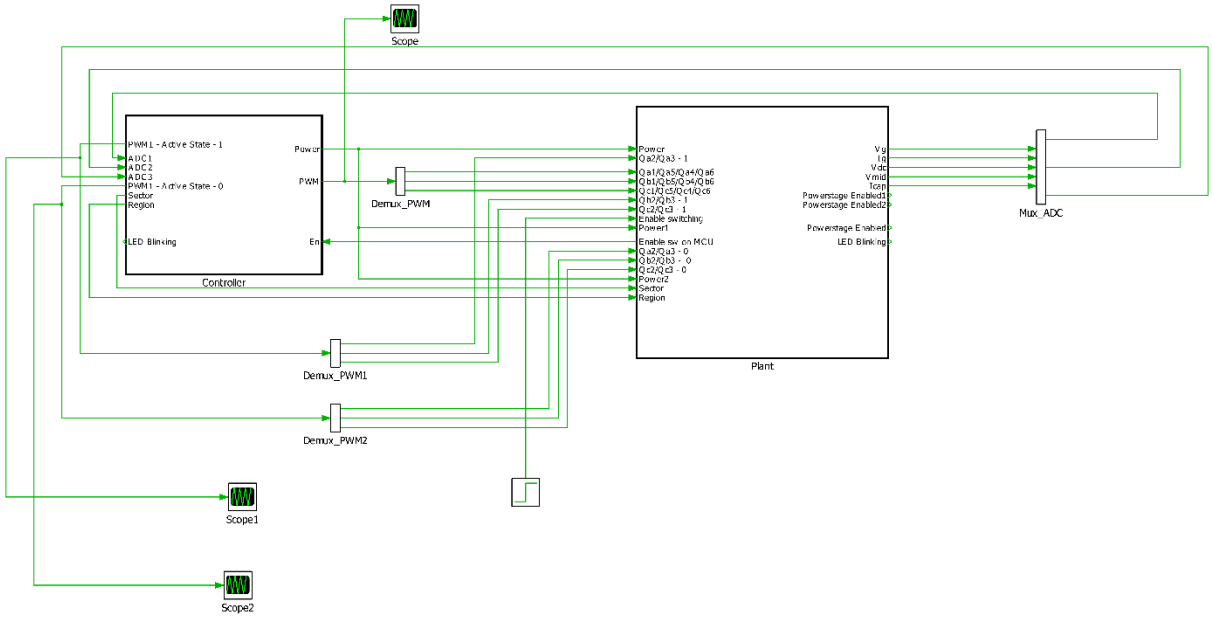


Figura 5.2 – Controlador e planta do conversor em PLECS.

5.3.1 Controlador do Conversor

O controlador do conversor ANPC, Figura 5.3, é responsável por gerar pares de sinais PWM complementares através do bloco PWM, que servem de entrada ao bloco *PWM Capture* para gerar os respetivos sinais de cada gate dos três braços. Neste bloco PWM, a portadora inicia o valor a 0, variando entre 0 e 1. A saída PWM é ativada quando a entrada é maior que a portadora.

Este bloco contém uma pequena particularidade, é possível alterar a polaridade na saída. Desta forma, para gerar os sinais referentes aos IGBTs S_1, S_4, S_5 e S_6 é implementada uma C-Script1 no bloco 3-level SVPWM, onde são determinados todos os tempos necessários, de modo que quando comparados com onda triangular (portadora), o resultado da forma de onda das gates seja igual ao da modulação híbrida estudada no Capítulo 4. O estado ativo da saída do bloco PWM para estes IGBTs é igual a 1. Assim, dada a possibilidade de alteração da polaridade do sinal PWM, é possível também obter os sinais referentes aos IGBTs S_2 e S_3, uma vez que a forma de onda destes semicondutores só pode ser conseguida pela adição de dois sinais distintos. Ou seja, o primeiro sinal é adquirido quando conectado com a C–Script1 do bloco 3-level SVPWM, em que o bloco PWM possui um estado ativo de saída 1. O segundo sinal é obtido quando o bloco PWM possui um estado ativo de saída 0. Este bloco está conectado com a segunda C-Script igualmente presente no bloco 3-level SVPWM. Deste modo, após a aquisição dos dois sinais, os sinais referentes aos IGBTs S_2 e S_3 são obtidos pela operação analógica *OR* presente na planta.

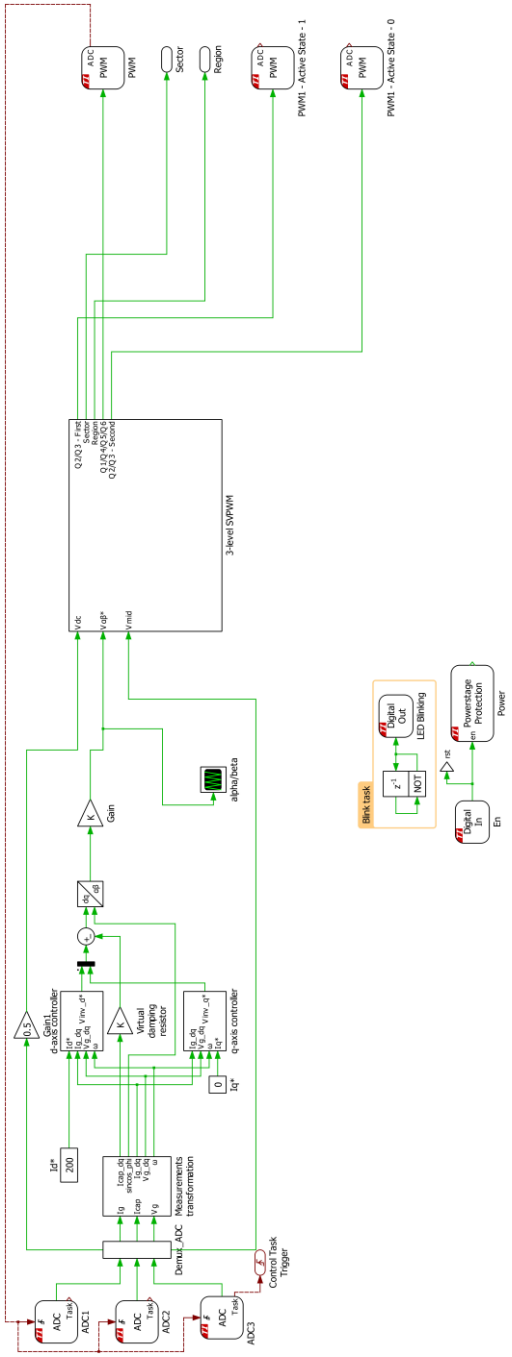


Figura 5.3 – Controlador do conversor em PLECS.

Os valores de tensão v_α e v_β são obtidos a partir de um controlo de corrente *dq*. As variáveis responsáveis por este controlo são modificadas para coordenadas *d* e *q*, segundo a transformação 3ph→RRF. O ângulo ω é obtido pela estratégia de controlo PLL, sendo a tensão da rede elétrica, v_g, o parâmetro de entrada. Nesta estratégia de controlo é utilizado como variáveis de processamento ganhos K_i e K_p. Para esta simulação em específico, a variável K_p tem um ganho 5 e a variável K_i tem um ganho de 10, Figura 5.4.

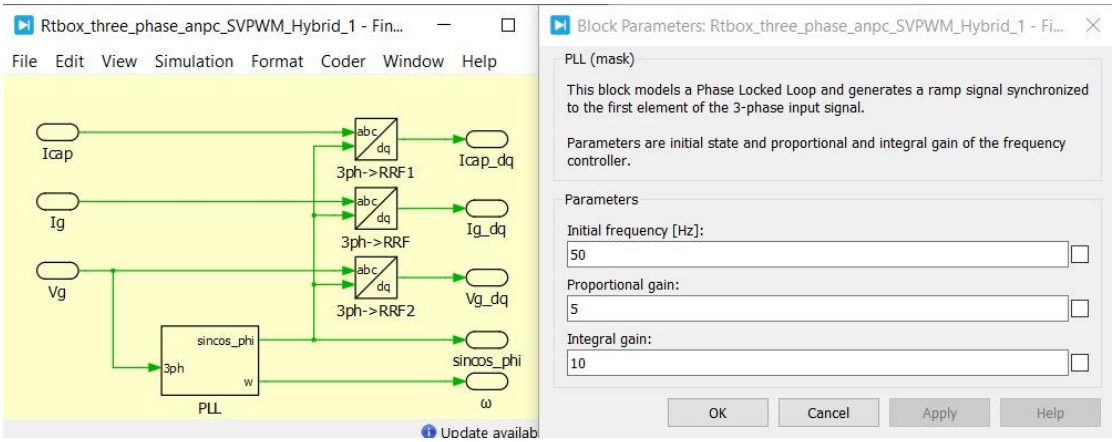


Figura 5.4 – Ganhos K_i e K_p.

Em relação ao bloco 3-*level* SVPWM, as variáveis de entrada são v_{dc}, v_α ,v_β e v_{mid}, visto que permitem a obtenção do setor e da região da modulação híbrida e os respetivos sinais de entrada para o bloco PWM. O conversor desenvolvido está em malha fechada, sendo que as variáveis v_{dc}, v_{mid}, I_g, I_{cap} e v_g são obtidas a partir da planta. Neste subsistema existe ainda um ganho *virtual damping resistor*, proveniente do filtro LCL. O bloco *Powerstage Protection Unit* permite que as saídas PWM sejam comutadas em segurança. O bloco *Control Task Trigger* define quando as tarefas do controlador devem ser realizadas, sendo utilizado para especificar a frequência com que o controlador é atualizado. Este bloco é meramente importante para garantir o correto funcionamento do controlador e produzir resultados válidos nas diversas simulações, encontrando-se disponível na biblioteca de componentes *TI C2000 Target*. Na Figura 5.5 é apresentado o bloco *Control Task Trigger*, sendo que para este sistema, é definido um intervalo de tempo de 0,0002 s.

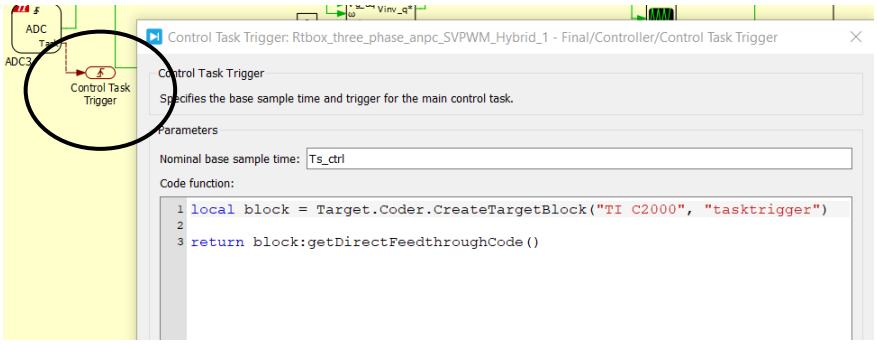


Figura 5.5 – Bloco *Control Task Trigger*.

O DSP TI TMS32028379D possui quatro módulos ADC, sendo utilizados os módulos ADC A, B e C. Desta forma, as várias medições obtidas na planta, como tensões CC, correntes e tensões CA e correntes do filtro LCL, são inseridas no sistema do modelo através de blocos ADC. Neste subsistema, a tarefa de

controlo é realizada segundo a última conversão no módulo ADC C. Assim, este último bloco ADC é conectado com o bloco *Control Task Trigger* através de um fio tracejado a vermelho.

Relativamente à técnica de modulação empregue neste sistema, para identificar o setor e a região, é necessário utilizar os valores de tensão v_α e v_β, como dito anteriormente. O espaço vetorial está dividido em seis setores (I a VI), sendo que cada setor está dividido em quatro regiões numeradas de 1 a 4. Na Figura 5.6 está representado os valores de tensão de v_α e v_β e os setores e as regiões correspondentes, respetivamente.

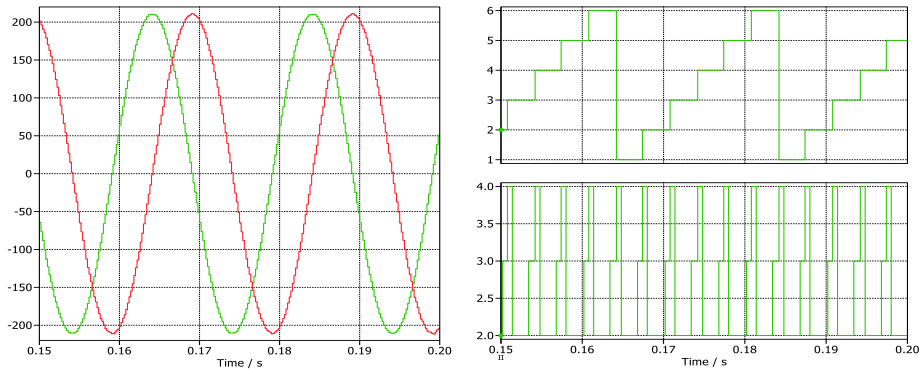


Figura 5.6 – Valores de tensão de v_α e v_β e os setores/regiões correspondentes, respetivamente.

5.3.2 Planta do Conversor

A planta e o conversor implementados, descritos na Figura 5.7, são responsáveis por gerar os respetivos sinais de cada gate dos três braços ANPC. O bloco *PWM Capture* produz esses sinais, sendo aplicado quando se deseja analisar a forma de onda do sinal PWM. Assim, a saída deste bloco representa a percentagem de tempo durante o qual o sinal de entrada digital está ativo durante um período. As medições das tensões CC, correntes e tensões CA e as correntes do condensador são enviadas para fora do subsistema através do bloco *Analog Out*. O bloco *Digital Out Enable sw on MCU* dirige o sinal de entrada digital externo para um pino da saída da RTBOX. Este pino é conectado ao GPIO da MCU para ativar e desativar as saídas PWM.

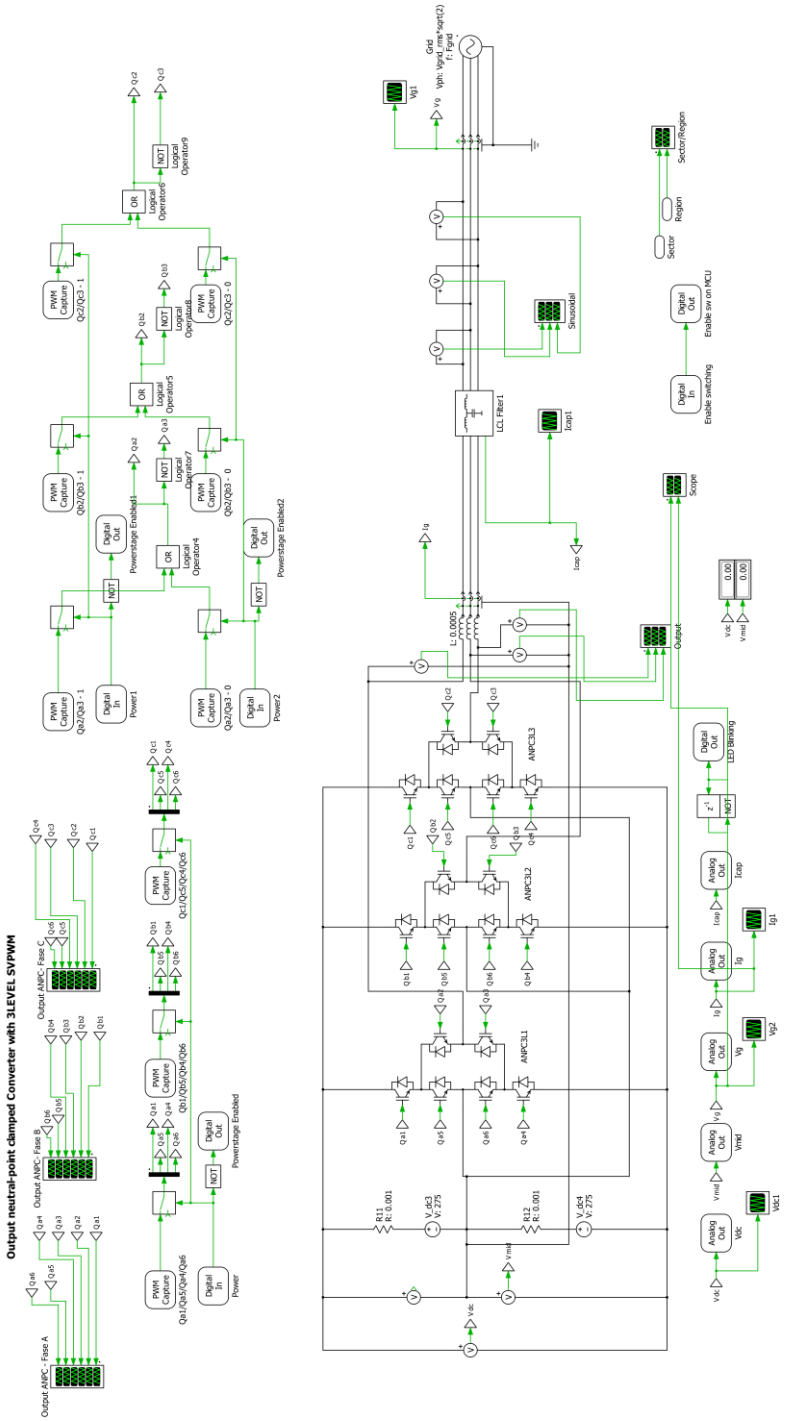


Figura 5.7 – Planta do conversor em PLECs.

Como se pode visualizar pela Figura 5.8, o valor de tensão CC é igual a 550 V, uma vez que neste sistema aplicam-se duas fontes de tensão de 275 V. Cada fonte de tensão necessita de uma resistência de valor extremamente, dado que os componentes existentes no software PLECS apresentam um comportamento ideal.

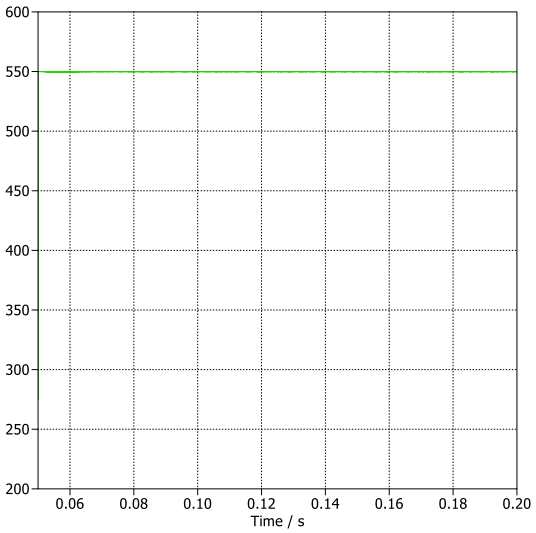


Figura 5.8 – Tensão v_{dc}.

Na Figura 5.9 são apresentados os resultados das formas de onda no lado CA, sendo que a de cima representa a forma de onda de tensão e a de baixo é referente à corrente da rede elétrica. Observa-se que, a tensão e a corrente estão desfasadas 0°, uma vez que a constante de corrente i_q é igual a zero. O valor máximo da corrente da rede elétrica é igual a 200 A, pois é controlado pela constante I_d, presente no subsistema controlador. Já o valor máximo da tensão da rede elétrica, é obtido pelo valor eficaz V_{grid_rms} de 130 V.

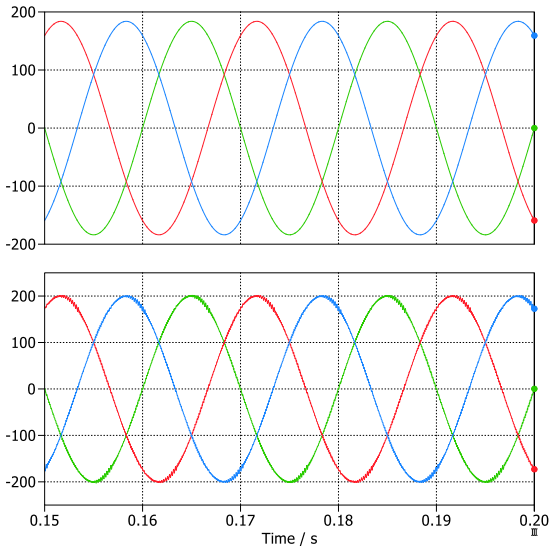


Figura 5.9 – Tensão e corrente da rede elétrica.

As correntes do condensador do filtro LCL são demonstradas na Figura 5.10.

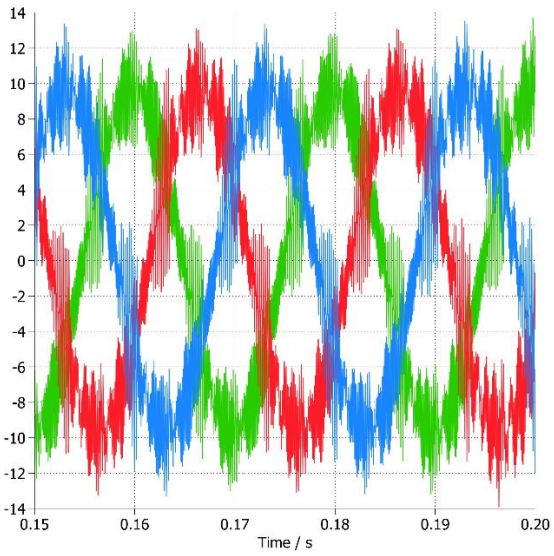


Figura 5.10 – Correntes I_{cap}.

As formas de ondas dos sinais das gates da fase a são representadas na Figura 5.11. Assim, é possível visualizar que os IGBTs S_1, S_4, S_5 e S_6 são comutados à frequência fundamental da rede elétrica de 50 Hz. Os semicondutores S_2 e S_3 são comutados a alta frequência.

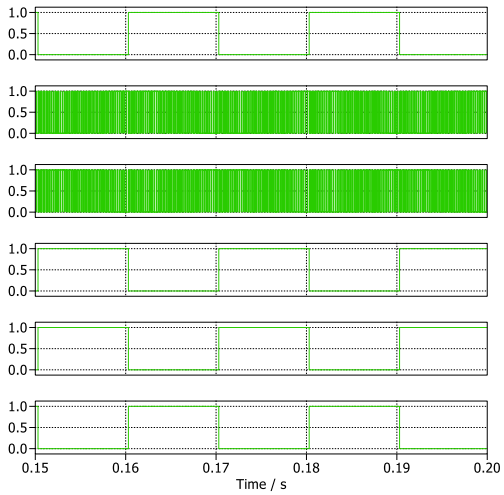


Figura 5.11 – Onda de sinal dos respetivos IGBTs para a modulação aplicada.

5.4 Conclusão

Neste capítulo apresentaram-se os resultados experimentais obtidos na simulação no software PLECS da aplicação do modelo discreto do conversor ANPC com a modulação híbrida, implementado de forma a ser integrado num DSP. Primeiramente, é demonstrado os parâmetros de simulação utilizados para o correto funcionamento do conversor. Seguidamente, é explicitado todo o sistema aplicado, partindo em

dois subsistemas diferentes, a planta e o controlador. Após esta explicação, são apresentados os resultados obtidos. As conclusões confirmam as expectativas, visto que os resultados são semelhantes aos alcançados com o modelo anterior. No entanto, é importante salientar que este modelo não foi incorporado à RTBOX, pois a intenção era desenvolver um modelo de simulação com o controlo preparado para o DSP, sendo validado *offline* no PLECS.

Capítulo 6

Implementação Laboratorial do Conversor

6.1 Introdução

Neste capítulo é apresentado o desenvolvimento prático do conversor estudado. Para avaliar o correto funcionamento e estudar as perdas e as características de comutação, é apenas utilizado um braço do conversor. Esta escolha é feita, devido à vasta complexidade de implementação do protótipo em PCB. O software *Altium Designer* é a ferramenta utilizada para a realização desta etapa. O conversor é dividido em dois sistemas distintos: o sistema de potência e o sistema de controlo. Relativamente ao circuito de potência, é apresentado todos os elementos que o constituem, como os semicondutores de potência e os condensadores e as resistências do lado do barramento CC. Em relação ao sistema de controlo, é apresentado a carta de controlo, bem como, os sensores de tensão e de corrente. Também é apresentado ainda o circuito de *drivers* e os respetivos conversores CC/CC que servem de alimentação para estes componentes.

6.2 Esquemático

Na Figura 6.1 encontra-se apresentado o esquemático com os diferentes elementos constituintes do conversor em *Altium Designer*. Assim sendo, somente seis semicondutores de potência são utilizados para este estudo. Considerando a presença destes semicondutores no sistema, torna-se crucial a integração de seis *drivers* conectados à placa desenvolvida. Para além destes componentes anteriormente mencionados, a placa também engloba dois sensores de corrente e dois sensores de tensão. Esta placa é ligada eletronicamente à placa de controlo contendo o DSP referido no Capítulo 5.

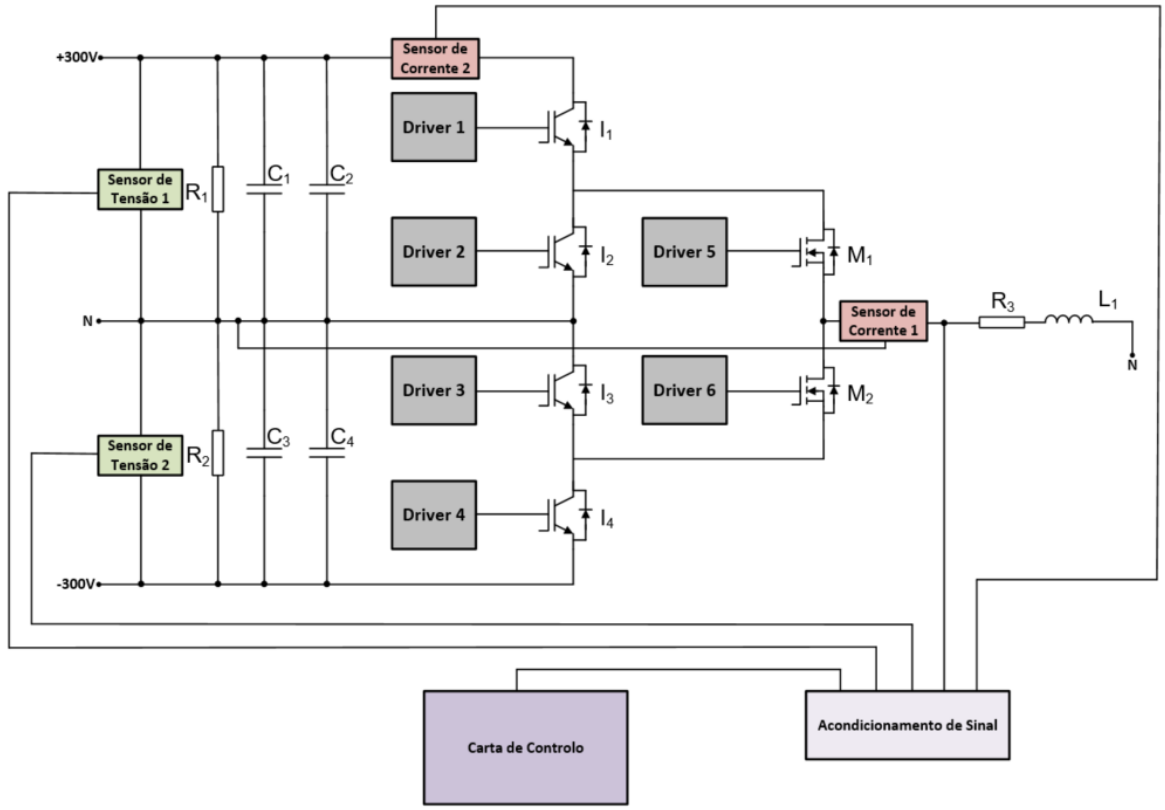


Figura 6.1 – Esquemático simplificado do protótipo.

6.2.1 Carta de Controlo

Como carta de controlo é utilizada a placa de desenvolvimento *Delfino* F28379D (TMDSCNCD28379D) da *Texas Instruments*, Figura 6.2. Esta placa possui 180 pinos de interface, com capacidade para o controlo de conversores de potência em aplicações exigentes.

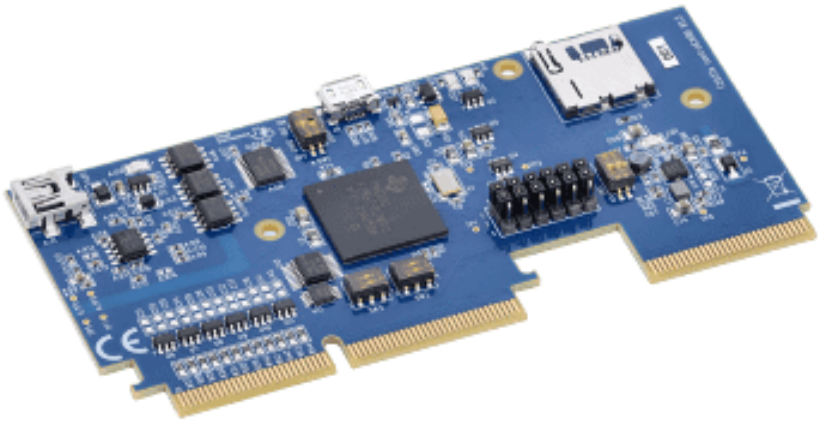


Figura 6.2 – Carta de Controlo TMDSCNCD28379D.

6.2.2 Sensor de Tensão

Para medir as diferentes tensões apresentadas no diagrama de blocos anterior, são utilizados dois amplificadores de isolamento AMC3301DWER da *Texas Instruments*. Este componente contém um conversor CC/CC integrado, implementado com isolamento galvânico entre o circuito de entrada e de saída. É especialmente utilizado em aplicações industriais, visto que minimiza anomalias provocadas pelo ruído originado na montagem de potência. De acordo com as informações analisadas, este amplificador apresenta um package SOIC-16. Conforme o *datasheet*, para além da adição de componentes nos diversos pinos, é também necessário a utilização de um circuito de entrada com um divisor de tensão nos terminais INP e INN, dado que nesses terminais apenas suportam tensões muito reduzidas, na ordem dos mV e, no conversor ANPC, são aplicadas tensões de centenas de volts.

Na Figura 6.3 está apresentado o esquema de ligação do amplificador de isolamento que serve de medição para os valores de tensão, sendo que a vermelho é demonstrado os terminais responsáveis pela medição dos mesmos.

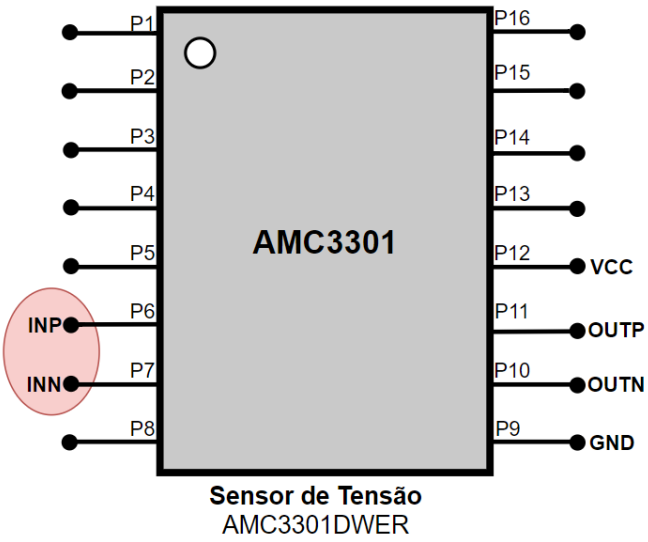


Figura 6.3 – Amplificador de isolamento para medição de tensão.

Neste amplificador, os pinos 10 e 11, terminal OUTN e OUTP, respetivamente, são conectados com os ADCs da carta de controlo. Para evitar a ligação destes dois sinais separadamente na carta, é utilizado o método *Single-Ended*, onde estes dois sinais são convertidos apenas num sinal, através de um circuito de um amplificador diferencial, Figura 6.6.

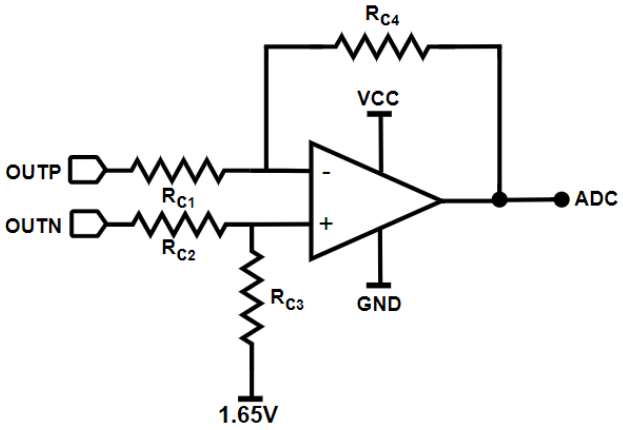


Figura 6.4 – Amplificador diferencial.

6.2.3 Sensor de Corrente

Para medir as diferentes correntes apresentadas no esquemático do conversor, são utilizados dois sensores de corrente ACS723LLCTR-40AB-T da *Allegro MicroSystems.* Este sensor de corrente é um sensor de efeito *hall* de corrente bidirecional. É adequado para medir correntes até 40 A com uma sensibilidade de 50 mV/A. De acordo com as informações *datasheet*, apresenta um package SOIC-8. Adicionalmente, é necessário colocar um circuito divisor de tensão na saída do pino 7, uma vez que é conectado com um pino ADC da carta de controlo. O valor de tensão de saída deste pino é de 4,5 V, sendo impossível a ligação direta com o pino ADC de 3,3 V. Assim, o objetivo deste circuito passa por evitar possíveis falhas em diversos componentes, reduzindo a tensão de saída para um menor valor, utilizando apenas duas resistências em série e um seguidor, já que os pinos ADCs apenas suportam tensões de operação de 3,3 V. Na Figura 6.5 está apresentado o esquema de ligação do sensor de corrente, sendo que este sensor é ligado em série pelos terminais identificados a vermelho ao conversor desenvolvido.

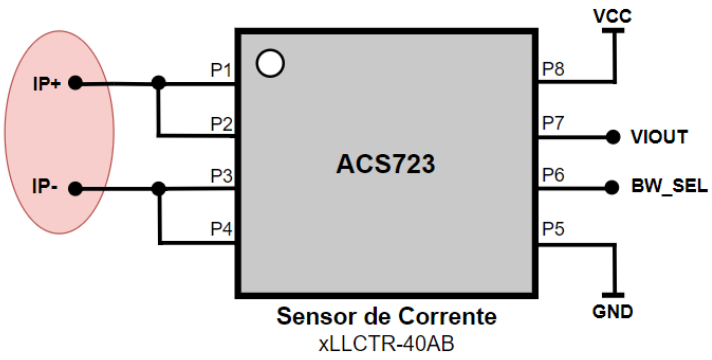


Figura 6.5 – Sensor de corrente.

6.2.4 Driver

Para a operação e controlo dos semicondutores de potência do conversor em desenvolvimento são utilizados seis *drivers* SECO-NCD57000-GEVB da *Onsemi*. Este componente é conectado com o protótipo da PCB através de três conectores, devidamente distanciados e espaçados. Apresenta isolamento galvânico interno de 1,2 kV, sendo amplamente utilizado em aplicações industriais.

Na Figura 6.6 está apresentado o esquema de ligação do *driver*, demonstrando a designação dos treze pinos associados. Como é possível visualizar pela mesma figura, existem 6 pinos do lado do controlo, em que os pinos IN+, IN- e RST são denominados como pinos de entrada. Estes terminais são os pinos responsáveis pela ligação à carta de controlo. A técnica *pull-up* é adicionada aos pinos IN+ e RST e a técnica *pull-down* ao pino IN- com valores de resistências muito baixos, para garantir o correto funcionamento dos mesmos. Os pinos de saída no lado primário são os pinos designados como FLT e RDY. É de realçar que entre o Vcc e o Gnd existe ainda uma ligação de dois condensadores em paralelo, um condensador eletrolítico e um condensador de cerâmica. Esta ligação é uma boa prática, uma vez que estes dois tipos de condensadores apresentam características muito diferentes, funcionando, assim, de forma complementar. Por fim, para evitar possíveis falhas entre as saídas dos terminais G(G), C(D) e E(S) do *driver* com os respetivos semicondutores de potência, é utilizado um circuito com uma resistência em série no meio dos dois terminais e um condensador ligado em paralelo entre os terminais G(G) e E(S). Na Figura 6.7 está apresentado a placa equivalente ao *driver* explicado anteriormente.

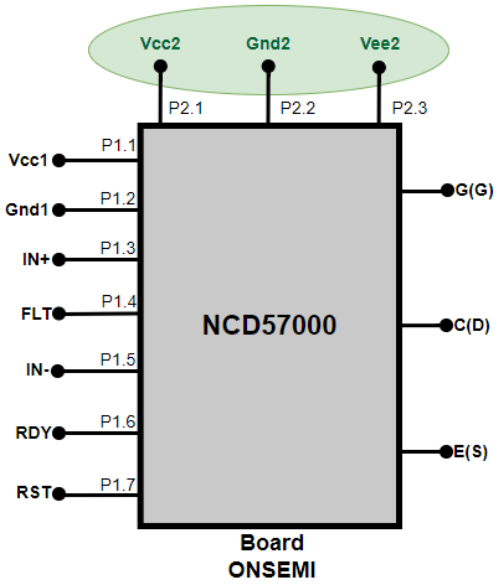


Figura 6.6 – Esquema de ligação do *driver*.

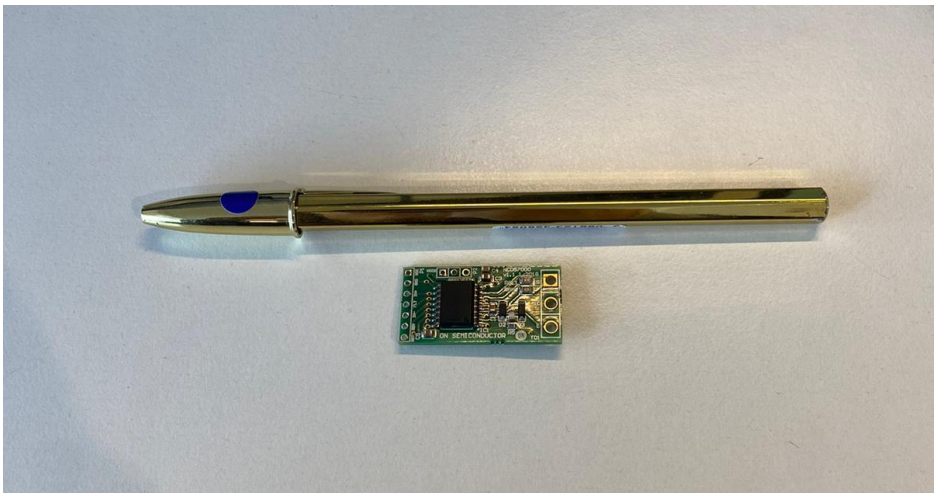


Figura 6.7 – *Driver*.

Para fonte de alimentação do secundário dos *drivers* (pinos: P2.1, P2.2 e P2.3) é necessário a utilização de um conversor CC/CC, conforme apresentado na Figura 6.8. Este conversor varia consoante as características do semicondutor de potência, ou seja, para cada IGBT é aplicado um conversor da *CUI Inc*. com uma tensão de saída de ± 24 V e para cada componente MOSFET é aplicado um conversor da *Murata Power Solutions* com uma tensão de saída entre -5 V a +20 V. Todos os conversores aplicados na PCB desenvolvida são alimentados por uma tensão externa de 15 V.

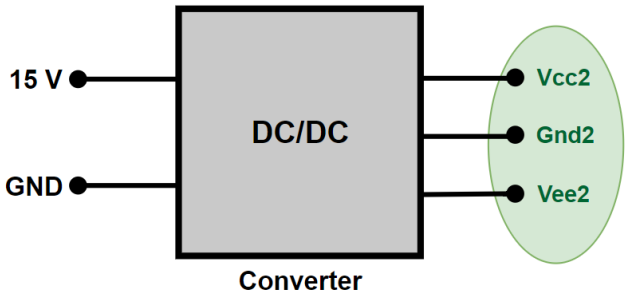


Figura 6.8 – Conversor CC/CC para alimentação do *driver*.

6.2.5 Altium Designer

Para o desenvolvimento do conversor em placa PCB foi utilizado o software *Altium Designer*. Concluído o desenho do diagrama de blocos para um braço ANPC, foram criados todos os esquemáticos necessários para a realização do mesmo. Os desenhos desenvolvidos estão apresentados em Anexo. É importante referir que a placa foi projetada com a devida atenção, visto que todos os circuitos foram

adequadamente estudados e desenhados, de forma a respeitar as especificidades da sua operação e dessa forma, para garantir a confiabilidade e segurança do sistema. Assim, como se pode visualizar, pela Figura 6.9, o circuito de potência está separado dos restantes circuitos. A corrente que passa nestes pontos é mais elevada, sendo que as pistas desenhadas têm de ter uma largura maior em comparação com as restantes.

A placa implementada apenas utiliza dois *layers*. As ligações a vermelho são referentes ao *top layer* e as ligações a azul são referentes ao *bottom layer*. A maioria dos componentes apresentados possuem a característica *Surface Mount Device* (SMD), para garantir um *layout* mais compacto, dado que normalmente os componentes SMD ocupam menos espaço na superfície da PCB e são mais leves.

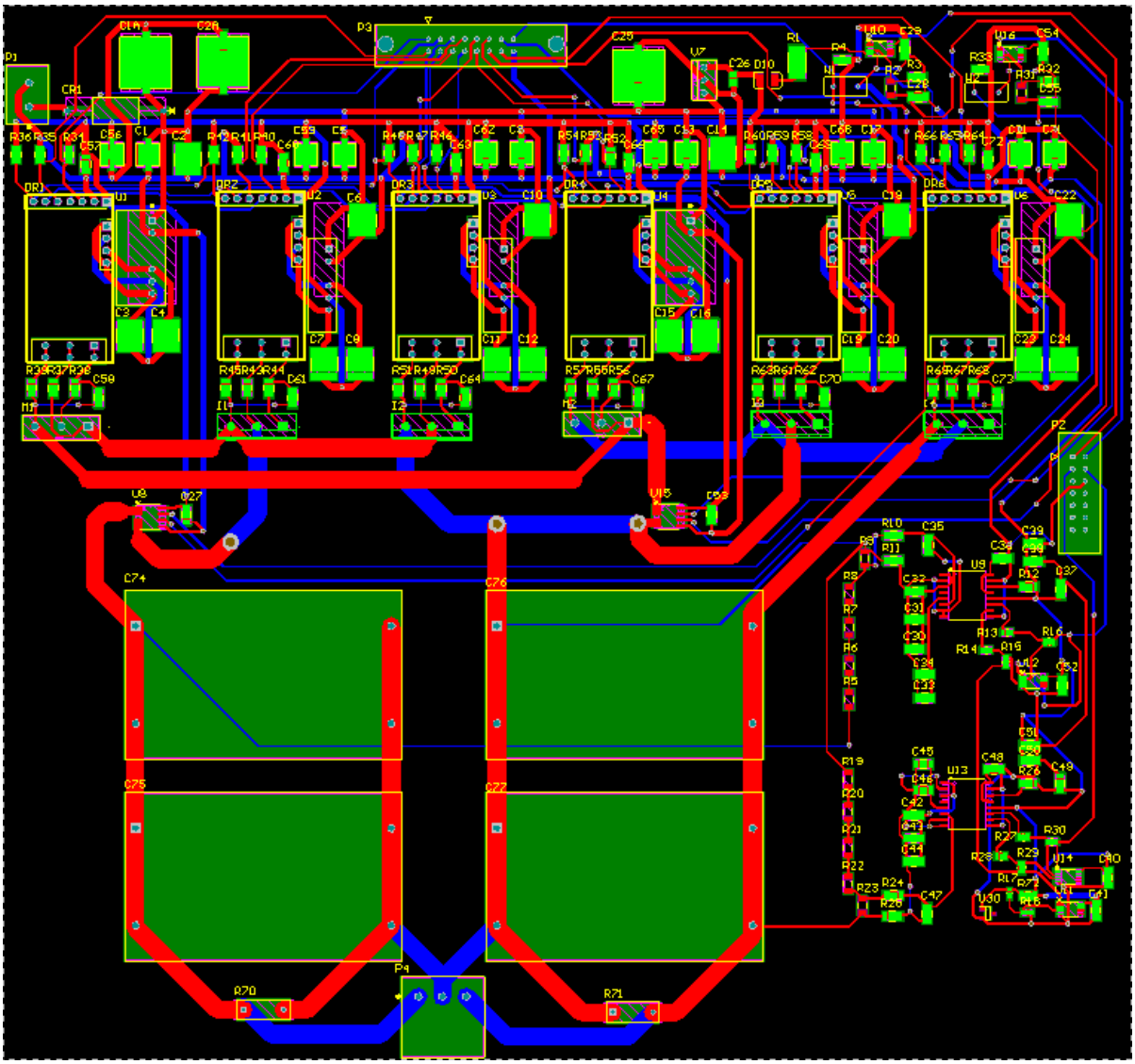


Figura 6.9 – Placa PCB desenvolvida em *Altium Designer*.

6.3 Conclusão

Neste capítulo apresentaram-se todas as etapas realizadas para o desenvolvimento do protótipo do conversor. Numa fase inicial, foi efetuado uma análise pormenorizada dos vários componentes para esta aplicação, nomeadamente, a carta de controlo, sensores de tensão/corrente e a placa *driver*. Após esse estudo detalhado, foram elaborados os esquemas que traduzem o conversor. De seguida, é gerado um documento PCB com todas as ligações estabelecidas para construir a respetiva placa.

Capítulo 7

Conclusão

7.1 Conclusões

Nesta dissertação foi apresentado todo o projeto do conversor CA/CC trifásico ANPC desde o estado da arte de diferentes topologias e teorias de controlo de conversores trifásicos até ao trabalho prático implementado nos softwares PLECS e *Altium Designer*. Ao longo destes capítulos é demonstrado todas as etapas do projeto, sendo que os objetivos apresentados foram atingidos com sucesso.

Assim sendo, em primeiro lugar, realizou-se o estudo sobre a origem e os diferentes métodos de carregamento de veículos elétricos. Posto isto, foi apresentada uma revisão bibliográfica referente aos conversores trifásicos CA/CC aplicados aos sistemas de carregamento de VEs, entre os quais, conversor a díodos, conversor *full-bridge*, conversor NPC e conversor ANPC. Relativamente às topologias mencionadas anteriormente, o conversor a díodos é o menos complexo, sendo utilizado especialmente para aplicações de baixa potência. A escolha dos conversores é influenciada particularmente pelas exigências de cada aplicação, sendo que os fatores a considerar são a eficiência, o custo e a complexidade. O conversor NPC e o conversor ANPC oferecem um equilíbrio entre eficiência e complexidade para aplicações de média a alta potência. Conforme mencionado anteriormente, o conversor NPC surgiu como uma opção promissora para aplicações de baixa tensão nos últimos anos. No entanto, enfrenta um entrave substancial relacionado com o desequilíbrio na distribuição de perdas entre os semicondutores de potência. O conversor ANPC é então uma derivação do conversor NPC, em que surge principalmente para eliminar a grande desvantagem do conversor NPC. Desta forma, utiliza--se dispositivos de comutação para substituir os díodos do 3L-NPC, ligados ao ponto médio.

Seguidamente, no mesmo capítulo, realizou-se um estudo sobre os diferentes semicondutores de potência. Podendo concluir que, ao longo das últimas décadas, a indústria de semicondutores realizou avanços significativos, concentrando-se sobretudo em aumentar a densidade e a eficiência dos

componentes. Os semicondutores de SiC e o GaN têm atraído particularmente atenção. Estes oferecem melhorias substanciais de desempenho relativamente ao silício convencional (Si).

De forma a controlar os diferentes conversores, foi apresentado o estado de arte sobre as estratégias de controlo para os conversores de eletrónica de potência. Assim sendo, primeiramente, foi analisado as técnicas de modulação PWM, nomeadamente, a estratégia PWM sinusoidal e a técnica SVPWM. No entanto, a técnica mais estudada foi a SVPWM, uma vez que apresenta melhores resultados a nível de eficiência e desempenho. Esta técnica também permite reduzir a distorção harmónica na saída do conversor, resultando em formas de onda mais próximas de uma sinusoidal ideal. Deste modo, todas as etapas realizadas para o desenvolvimento desta técnica, tanto em ambiente convencional como em ambiente híbrido, são apresentadas sequencialmente.

Posteriormente, no mesmo capítulo, foram apresentadas as técnicas de controlo de corrente não linear como por histerese e *periodic sampling*. Foram também apresentadas as técnicas de controlo de corrente linear como o controlo PI e preditivo, onde é possível definir a frequência de comutação fixa e apresentam uma resposta rápida no sistema. Contudo, o grau de complexidade é bastante superior relativamente às técnicas abordadas anteriormente. Posto isto, realizou-se o estudo sobre as teorias de potência no domínio do tempo, particularmente, a teoria *pq* e a teoria FBD. De seguida, são apresentados os algoritmos de sincronização da rede elétrica, como a estratégia EPLL e a estratégia *Alpha-Beta* PLL. Estas técnicas permitem a sincronização de fases em sistemas conectados à rede elétrica, sendo que não só melhoram a fiabilidade dos sistemas eletrónicos, como também contribuem significativamente para o avanço tecnológico. Por último, é ainda apresentado um filtro de terceira ordem, o filtro LCL. A sua composição melhora a capacidade de atenuar o conteúdo harmónico, contribuindo para a estabilidade da tensão e corrente. Este filtro revela-se eficaz na diminuição de distorção harmónica de alta frequência, destacando-se face a filtros mais simples, como o filtro LC.

Relativamente aos modelos de simulações, todos foram desenvolvidos no software PLECS. Em primeiro lugar, foi desenvolvido o modelo do conversor ANPC com a modulação SVPWM convencional. De seguida, mantendo os parâmetros de simulação, é realizado com a modulação SVPWM híbrida. A fim de demonstrar as perdas de comutação e condução de cada modulação estudada, as diferentes temperaturas que cada componente está sujeito e o rendimento do conversor, são utilizados módulos da *infineon* e da *wolfspeed*. Neste sentido, três simulações foram analisadas separadamente: a simulação ANPC, que corresponde ao modelo de simulação com o conversor ANPC com a modulação SVPWM convencional, a simulação ANPC MOSFETS, que apresenta as mesmas características da

simulação ANPC, mas com a alteração dos IGBTs S_2 e S_3 para componentes MOSFETs e a simulação ANPC Hybrid MOSFETs, em que é considerada a modulação SVPWM híbrida com os semicondutores S_2 e S_3 MOSFETS e S_1, S_4, S_5 e S_6 IGBTs. Assim, face aos resultados obtidos, foi viável determinar a modulação com melhor desempenho, assim como o tipo de semicondutores de potência que devem ser utilizados. Podendo afirmar que, a modulação SVPWM híbrida no conversor ANPC híbrido, exibe melhores resultados. A eficiência do conversor é claramente maior, dado que nesse sistema a percentagem total de perdas de condução e comutação é relativamente mais baixa.

Posteriormente, ainda em software PLECS, são apresentadas as simulações e os resultados atingidos da implementação em modelo discreto do conversor ANPC com a modulação híbrida. As conclusões vão de encontro ao que é esperado, já que os resultados são semelhantes ao modelo anterior. No entanto, este modelo não foi conectado à RTBOX, uma vez que o objetivo foi trabalhar num modelo de simulação em que o controlo estava preparado para o DSP e ser validado em modo *offline* do PLECS/RTBOX. Numa fase posterior, este modelo seria uma base de implementação para trabalhos futuros. A ideia seria executar no DSP o controlo e observar o funcionamento de um sistema próximo de um hardware *in the loop* do ponto de vista do controlo.

Após concluir as diversas simulações, procedeu-se a uma fase mais prática. Antes de iniciar a implementação do conversor laboratorial, realizou-se uma análise dos componentes essenciais para esta aplicação. Além disso, foi feito um estudo sobre o funcionamento primário do software *Altium Designer*, uma vez que nunca tinha sido utilizado previamente na universidade. Assim sendo, de forma a tornar o modelo mais simples, apenas foi desenvolvido um braço do conversor ANPC. Escolheu-se os sensores de tensão e de corrente, assim como todos os componentes da placa de controlo. É, ainda, efetuada uma análise das placas do *driver* para os semicondutores de eletrónica de potência. É importante referir que a placa PCB desenvolvida em *Altium Designer* não foi impressa, já que o *timing* associado à prototipagem estava extremamente justo. No entanto, mesmo sem resultados práticos concretos para validar o correto funcionamento do conversor CA/CC, o destaque foi o desafio envolvente de criar uma PCB completamente do zero. A experiência de implementação da placa de circuito foi bastante significativa. Apesar da ausência do protótipo real do conversor em estudo, foi dado por concluída esta dissertação.

Desde o início, este projeto abrangeu uma extensa investigação bibliográfica e uma exploração sobre a modelização e desenvolvimento de modelos de simulação presentes em ambiente PLECS. Perante todos os obstáculos ao longo destes meses, foram adquiridas novas competências para o futuro que se

aproxima, principalmente, ao nível de projeto e dimensionamento de conversores, modelização e métodos de controlo associado, assim como o desenvolvimento autónomo de PCBs. É importante destacar que a experiência empresarial desempenhou um papel fundamental na execução de todos os objetivos alcançados. Podendo concluir que, o projeto da dissertação, a implementação do conversor ANPC híbrido, com a modulação SVPWM híbrida, obteve resultados superiores em termos de eficiência. Este feito consolida-o como uma tecnologia promissora que merece uma investigação mais detalhada para potenciais aplicações futuras.

7.2 Sugestões para Trabalho Futuro

Ao longo desta dissertação, embora tenham sido obtidos resultados satisfatórios durante todo o processo de desenvolvimento, é possível destacar alguns tópicos que podem ser aprimorados no futuro para otimizar o desempenho do conversor estudado, tais como:

- Definição de esquema de proteção do conversor e saída de operação em caso de falha;
- Utilização da RTBOX com o modelo de simulação implementado;
- Trocar os semicondutores de potência atuais por GaNs MOSFETs, visto que estes componentes apresentam uma resposta mais precisa e eficiente;
- Caracterização e validação do funcionamento do protótipo;
- Conectar o conversor CA/CC com um conversor CC/CC para testar as baterias com os diferentes métodos de carregamento ultrarrápidos de veículos elétricos, incluindo a exploração de pontos de funcionamento em carga bidirecional ou com a injeção de potência reativa na rede;
- Alcançar níveis de potências mais elevados para o conversor desenvolvido e explorar outras aplicações para o mesmo (caso do inversor solar ou de armazenamento de energia);
- Desenvolvimento do projeto em si.

Lista de Referências

[1] V. Sreedhar, "Plug-in hybrid electric vehicles with full performance," in *2006 IEEE Conference on Electric and Hybrid Vehicles, ICEHV*, 2006. doi: 10.1109/ICEHV.2006.352291.

[2] E. Valsera-Naranjo, A. Sumper, P. Lloret-Gallego, R. Villafáfila-Robles, and A. Sudria-Andreu, "Electrical vehicles: State of art and issues for their connection to the network," in *2009 10th International Conference on Electrical Power Quality and Utilisation, EPQU'09*, 2009. doi: 10.1109/EPQU.2009.5318813.

[3] T. Muniprakash, K. Vinoth Kumar, P. R. Naik, R. P. V. S. Varma, R. Supraja, and R. V. Lingadhal, "A review on optimization techniques of battery charging in electric vehicles," in *2022 2nd International Conference on Artificial Intelligence and Signal Processing, AISP 2022*, Institute of Electrical and Electronics Engineers Inc., 2022. doi: 10.1109/AISP53593.2022.9760545.

[4] R. Evode, "Modeling of electric grid behaviors having electric vehicle charging stations with G2V and V2G possibilities," in *International Conference on Electrical, Computer, Communications and Mechatronics Engineering, ICECCME 2021*, Institute of Electrical and Electronics Engineers Inc., Oct. 2021. doi: 10.1109/ICECCME52200.2021.9591059.

[5] A. Lassioui, H. el Fadil, F. Z. Belhaj, and A. Rachid, "Battery charger for electric vehicles based ICPT and CPT - A State of the Art," in *3rd Renewable Energies, Power Systems and Green Inclusive Economy, REPS and GIE 2018*, Institute of Electrical and Electronics Engineers Inc., Oct. 2018. doi: 10.1109/REPSGIE.2018.8488834.

[6] S. Lukic and Z. Pantic, "Cutting the Cord: Static and Dynamic Inductive Wireless Charging of Electric Vehicles," *IEEE Electrification Magazine*, vol. 1, no. 1, pp. 57–64, Nov. 2013, doi: 10.1109/mele.2013.2273228.

[7] M. Yilmaz and P. T. Krein, "Review of charging power levels and infrastructure for plug-in electric and hybrid vehicles," in *2012 IEEE International Electric Vehicle Conference, IEVC 2012*, 2012. doi: 10.1109/IEVC.2012.6183208.

[8] P. F. Costeira de Passos, "Desenvolvimento de Conversores de Potência com Interface de Painéis Fotovoltaicos para Smart Homes," Universidade do Minho, 2019.

[9] F. A. Marques da Costa, "Desenvolvimento de um Conversor CA-CC Unificado com Características de Filtro Ativo Paralelo," Universidade do Minho, 2017.

[10] V. D. Fernandes Monteiro, "Desenvolvimento de Sistemas de Carregamento Bidirecionais para Veículos Elétricos com Novos Modos de Operação para Smart Grids," Universidade do Minho, 2016.

[11] G. Zhang, Y. Yang, F. Iannuzzo, K. Li, F. Blaabjerg, and H. Xu, "Loss distribution analysis of three-level active neutral-point-clamped (3L-ANPC) converter with different PWM strategies," in *2016 IEEE 2nd Annual Southern Power Electronics Conference, SPEC 2016*, Institute of Electrical and Electronics Engineers Inc., 2016. doi: 10.1109/SPEC.2016.7846157.

[12] D. Floricau, E. Floricau, and M. Dumitrescu, "Natural Doubling of the Apparent Switching Frequency using Three-Level ANPC Converter," IEEE, 2008.

[13] D. Floricau, E. Floricau, and G. Gateau, "Three-Level Active NPC Converter: PWM Strategies and Loss Distribution."

[14] K. Sayed and H. A. Gabbar, "Electric Vehicle to Power Grid Integration Using Three-Phase Three-Level AC/DC Converter and PI-Fuzzy Controller," *Energies (Basel)*, vol. 9, no. 7, Jul. 2016, doi: 10.3390/en9070532.

[15] J. F. Silva, "Semicondutores de Potência Modernos,", IST, Secção de Máquinas Eléctricas e Electrónica de Potência, Lisboa, 1995, pp. 305–315.

[16] D. A. Acevedo Bueno, E. R. Cabral, and D. A. Silva, "DISPOSITIVOS DE CARBONETO DE SILÍCIO NA ELETRÔNICA DE POTÊNCIA: UMA REVISÃO," 2014.

[17] "Kemo Power MOSFET & IGBT Transistoren [S106] Jeu de MOSFET/IGBT." Accessed: Dec. 21, 2023. [Online]. Available: https://www.conrad.fr/fr/p/kemo-power-mosfet-igbt-transistoren-s106-jeu-de-mosfet-igbt-1484608.html

[18] D. A. Carvalho Vaz, "Desenvolvimento de um Solid State Transformer para Aplicações Residenciais em Smart Grids," Universidade do Minho, 2019.

[19] E. Verband der Elektrotechnik and Institute of Electrical and Electronics Engineers., *PCIM Asia 2020 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management.*

[20] J. Li, S. Englebretson, and A. Q. Huang, "Reliability comparison for 3L-NPC and 3L-ANPC converters for drives application," in *2011 IEEE International Electric Machines and Drives Conference, IEMDC 2011*, 2011, pp. 271–276. doi: 10.1109/IEMDC.2011.5994858.

[21] W.-F. Zhang and Y.-H. Yu, "Comparison of Three SVPWM Strategies," *JOURNAL OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA*, vol. 5, pp. 283–287, 2007.

[22] H. Hu, W. Yao, and Z. Lu, "Design and implementation of three-level space vector PWM IP core for FPGAs," *IEEE Trans Power Electron*, vol. 22, no. 6, pp. 2234–2244, Nov. 2007, doi: 10.1109/TPEL.2007.909296.

[23] C. Li, R. Lu, W. Li, and Y. Wang, "Space Vector Modulation for SiC & Si Hybrid Active Neutral Point Clamped Converter," Hangzhou, China, 2018.

[24] Z. Zhang, "Investigation of an ANPC Inverter in Electrified Vehicles," Gothenburg, Sweden, 2016.

[25] Y. Wang, "Design and Analysis of a 70KW 3-Level Active Neutral Point Clamped (ANPC) Inverter for Traction Applications," McMaster University, Hamilton,Ontario, Canada, 2021.

[26] C. Li *et al.*, "Space Vector Modulation for SiC and Si Hybrid ANPC Converter in Medium-Voltage High-Speed Drive System," *IEEE Trans Power Electron*, vol. 35, no. 4, pp. 3390–3401, Apr. 2020, doi: 10.1109/TPEL.2019.2934129.

[27] A. Nachiappan, K. Sundararajan, and V. Malarselvam, "Current controlled voltage source inverter using hysteresis controller and PI controller," in *2012 International Conference on*

Power, Signals, Controls and Computation, EPSCICON 2012, 2012. doi: 10.1109/EPSCICON.2012.6175247.

[28] L. A. Magalhães De Barros, "Desenvolvimento de um Microinversor com Armazenamento Local de Energia para Aplicações Solares Fotovoltaicas," Universidade do Minho, 2016.

[29] T. Nguyen-Van and R. Abe, "An indirect hysteresis voltage digital control for half bridge inverters," in *2016 IEEE 5th Global Conference on Consumer Electronics, GCCE 2016*, Institute of Electrical and Electronics Engineers Inc., Dec. 2016. doi: 10.1109/GCCE.2016.7800533.

[30] D. M. E. Ingram and S. D. Round, "A Novel Digital Hysteresis Current Controller for an Active Power Filter iprocessor performs the harmonic isolation and generates a."

[31] S. Buso, S. Fasolo, L. Malesani, and P. Mattavelli, "A dead-beat adaptive hysteresis current control," *IEEE Trans Ind Appl*, vol. 36, no. 4, pp. 1174–1180, Jul. 2000, doi: 10.1109/28.855976.

[32] A. Araujo, J. G. Pinto, B. Exposto, C. Couto, and J. L. Afonso, "Implementation and comparison of different switching techniques for shunt active power filters," in *IECON Proceedings (Industrial Electronics Conference)*, Institute of Electrical and Electronics Engineers Inc., Feb. 2014, pp. 1519–1525. doi: 10.1109/IECON.2014.7048703.

[33] B. Exposto, J. G. Pinto, V. Monteiro, D. Pedrosa, H. Gonçalves, and J. L. Afonso, *Experimental and Simulation Results of a Current-Source Three-Phase Shunt Active Power Filter using Periodic-Sampling*.

[34] M. Nishat, F. Faisal, M. Oninda, and Md. A. Hoque, "Modeling, Simulation and Performance Analysis of SEPIC Converter Using Hysteresis Current Control and PI Control Method," *IEEE Transactions on Industrial Electronics*, Oct. 2018.

[35] A. Nachiappan, K. Sundararajan, and V. Malarselvam, "Current controlled voltage source inverter using hysteresis controller and PI controller," in *2012 International Conference on Power, Signals, Controls and Computation, EPSCICON 2012*, 2012. doi: 10.1109/EPSCICON.2012.6175247.

[36] P. Cortes, J. Rodriguez, C. Silva, and A. Flores, "Delay compensation in model predictive current control of a three-phase inverter," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 1323–1325, Feb. 2012, doi: 10.1109/TIE.2011.2157284.

[37] A. M. Massoud, S. J. Finney, and B. W. Williams, "Predictive current control of a shunt active power filter," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2004, pp. 3567–3572. doi: 10.1109/PESC.2004.1355106.

[38] J. Rodríguez *et al.*, "Predictive current control of a voltage source inverter," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 1, pp. 495–503, Feb. 2007, doi: 10.1109/TIE.2006.888802.

[39] H. K. M. Paredes, F. P. Marafão, and L. C. P. da Silva, "A comparative analysis of FBD, PQ and CPT current decompositions - Part I: three-phase three-wire systems," in *2009 IEEE Bucharest PowerTech: Innovative Ideas Toward the Electrical Grid of the Future*, 2009. doi: 10.1109/PTC.2009.5282173.

[40] F. P. Marafão, H. K. M. Paredes, and L. C. P. da Silva, "Critical evaluation of FBD, pq and CPT current decompositions for four-wire circuits," in *2009 Brazilian Power Electronics Conference, COBEP2009*, 2009, pp. 49–57. doi: 10.1109/COBEP.2009.5347595.

[41] F. Xu, L. M. Tolbert, and Y. Xu, "Critical Evaluation of FBD, PQ and Generalized Non-Active Power Theories," 2011.

[42] N. L. Kusters and W. J. M. Moore, "On the Definition of Reactive Power Under Non-Sinusoidal Conditions," *IEEE Transactions on Power Apparatus and Systems*, vol. PAS-99, no. 5, pp. 1845–1854, Sep. 1980, doi: 10.1109/TPAS.1980.319833.

[43] IEEE Staff, *2019 International Conference on Electrical, Electronics and Information Engineering (ICEEIE)*. IEEE, 2019.

[44] SSN College of Engineering. Department of Electrical and Electronics Engineering, IEEE Power Electronics Society, and Institute of Electrical and Electronics Engineers, *International Conference on Power and Embedded Drive Control : 16-18 March 2017, Chennai, India.*

[45] S. M. Deckmann and J. A. Pomilio, "Condicionamento de Energia Elétrica e Dispositivos FACTS", Universidade Estadual de Campinas, Jul. 2009.

[46] R. J. Macedo Matos, "Desenvolvimento de um Inversor Multinível Monofásico para Aplicações de Qualidade de Energia Elétrica," Universidade do Minho, 2015.

[47] A. Islam *et al.*, "Series active power filter implementation using P-Q theory," in *2012 International Conference on Informatics, Electronics and Vision, ICIEV 2012*, IEEE Computer Society, 2012, pp. 915–918. doi: 10.1109/ICIEV.2012.6317511.

[48] A. O. Montes and G. Ramos, "Instantaneous p-q theory for harmonic compensation via shunt active power filter," in *2013 Power Electronics and Power Quality Applications, PEPQA 2013 - Proceedings*, IEEE Computer Society, 2013. doi: 10.1109/PEPQA.2013.6614940.

[49] J. Antenor Pomilio, H. K. Morales Paredes, J. I. Yutaka Ota, and S. Maurer Deckmann, "Eletrônica de Potência para Geração, Transmissão e Distribuição de Energia Elétrica," Mar. 2021. [Online]. Available: http://www.fee.unicamp.br/dse/antenor

[50] G.-C. Hsieh and J. C.Hung, "Phase-Locked Loop Techniques-A Survey," *IEEE Transactions on Industrial Electronics*, vol. 43, Dec. 1996.

[51] M. M. de Carvalho, R. L. P. Medeiros, I. v Bessa, F. A. C. Junior, K. E. Lucas, and D. A. Vaca, "Comparison of the PLL Control techniques applied in Photovoltaic System; Comparison of the PLL Control techniques applied in Photovoltaic System," 2019.

[52] M. M. de Carvalho, I. V. de Bessa, R. L. P. Medeiros, L. E. S. Silva, F. A. C. Ayres, and V. F. Lucena, "Comparative study of control methodologies and PLL topologies to enhance the performance of the synchronization of grid-tied PV system," in *2021 14th IEEE International Conference on Industry Applications, INDUSCON 2021 - Proceedings*, Institute of Electrical and Electronics Engineers Inc., Aug. 2021, pp. 218–225. doi: 10.1109/INDUSCON51756.2021.9529841.

[53] F. Liccardo, P. Marino, and G. Raimondo, "Robust and fast three-phase PLL tracking system," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 221–231, Jan. 2011, doi: 10.1109/TIE.2010.2044735.

[54] S. Golestan, J. Matas, A. M. Abusorrah, and J. M. Guerrero, "More-Stable EPLL," *IEEE Trans Power Electron*, vol. 37, no. 1, pp. 1003–1011, Jan. 2022, doi: 10.1109/TPEL.2021.3099839.

[55] M. Karimi-Ghartemani, "Linear and pseudolinear enhanced phased-locked loop (EPLL) structures," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 3, pp. 1464–1474, 2014, doi: 10.1109/TIE.2013.2261035.

[56] M. İnci, M. Büyük, Ç. Bayındır, and M. Tümay, "EPLL based Controller for Voltage Harmonic Mitigation in Grid Connected Wind Systems," 2017.

[57] S. Karvekar and P. Joshi, "Implementation of EPLL based PWM Rectifier for Charging Station Using Co-simulation Approach," in *Proceedings of the 2nd International Conference on Artificial Intelligence and Smart Energy, ICAIS 2022*, Institute of Electrical and Electronics Engineers Inc., 2022, pp. 1777–1782. doi: 10.1109/ICAIS53314.2022.9743127.

[58] X.-Q. Guo, W.-Y. Wu, and H.-R. Gu, "Phase locked loop and synchronization methods for grid-interfaced converters: a review", Yanshan University, PRZEGLĄD ELEKTROTECHNICZNY (Electrical Review), ISSN 0033-2097, R. 87 NR 4/2011.

[59] B. Fernandes Exposto, "Desenvolvimento de Soluções para Compensação de Problemas de Qualidade de Energia Elétrica com Base em Conversores Fonte de Corrente", Universidade do Minho, 2018.

[60] L. G. B. Rolim, D. R. da Costa, and M. Aredes, "Analysis and software implementation of a robust synchronizing PLL circuit based on the pq theory," *IEEE Transactions on Industrial Electronics*, vol. 53, no. 6, pp. 1919–1926, Dec. 2006, doi: 10.1109/TIE.2006.885483.

[61] D. R. Costa, L. G. B. Rolim, and M. Aredes, "Analysis and software implementation of a robust synchronizing circuit PLL circuit," in *IEEE International Symposium on Industrial Electronics*, Institute of Electrical and Electronics Engineers Inc., 2003, pp. 292–297. doi: 10.1109/ISIE.2003.1267261.

[62] J. K. Nishioka, M. Mezaroba, and L. Michels, "Retificador PWM Trifásico a Quatro Fios com Filtro LCL e Amortecimento Ativo Business management in energy View project

Mitigation of leakage current in PV inverters View project," 2010. [Online]. Available: https://www.researchgate.net/publication/268437587

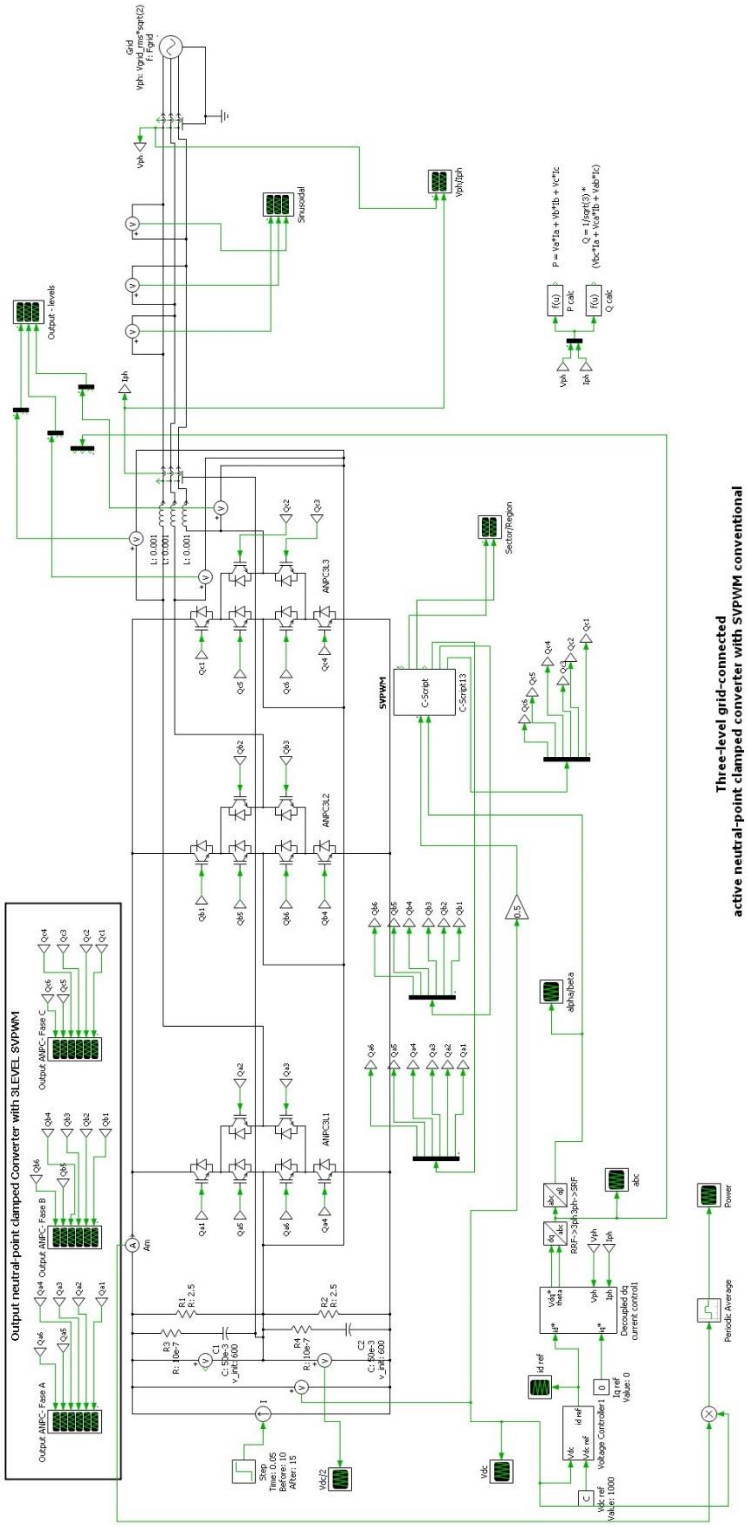
[63] Y. Tang, P. C. Loh, P. Wang, F. H. Choo, F. Gao, and F. Blaabjerg, "Generalized design of high performance shunt active power filter with output LCL filter," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 3, pp. 1443–1452, Mar. 2012, doi: 10.1109/TIE.2011.2167117.

[64] H. Fragoso Martins, "Conversor de Potência DC/DC - DC Fast Charger,", Instituto Superior de Engenharia do Porto, Politécnico do Porto, Nov. 2020.

[65] "PLECS Tutorial Introduction to the Thermal Domain in PLECS." [Online]. Available: www.plexim.com

Apêndices

Modelo Conversor ANPC com SVPWM Convencional em PLECS



C-Script – Modelo Conversor ANPC com SVPWM Convencional

Code declarations

```
#include <float.h>
#include <math.h>

#define V_DC InputSignal(0, 0)
#define V_ALPHA InputSignal(1, 0)
#define V_BETA InputSignal(1, 1)

#define S_A OutputSignal(0, 0)
#define S_B OutputSignal(0, 1)
#define S_C OutputSignal(0, 2)
#define SECTOR OutputSignal(1, 0)
#define REGION OutputSignal(2, 0)
#define TAU_A OutputSignal(3, 0)
#define TAU_B OutputSignal(3, 1)
#define TAU_C OutputSignal(3, 2)

#define TS ParamRealData(0, 0) //sample period
#define PI 3.14159265358979323846
#define MAX_TIMES 9
static double sw_time[MAX_TIMES];
static int sw_sequ[MAX_TIMES];
static int sector, region, sw_index;

//Switching matrix for symmetrical SV modulation

static const int sw_matrix_sym[6][4][5][3] = //[sector idx][region idx][sequence idx][arm_idx]
{
//sector 0
{
//Region 0
{
{1,1,0}, //Vc1
{1,0,0}, //Va1
{0,0,0}, //Vb
{0,0,-1}, //Vc2
{0,-1,-1} //Va2
},
{
{1,1,0}, //Vc1
{1,0,0}, //Va1
{1,0,-1}, //Vb
{0,0,-1}, //Vc2
{0,-1,-1} //Va2
},
{
{1,1,0}, //Vc1
{1,1,-1}, //Va1
{1,0,-1}, //Vb
{0,0,-1}, //Vc2
{0,0,0} //disabled
},
{
{1,0,0}, //Va1
{1,0,-1}, //Vb
{1,-1,-1}, //Vc1
{0,-1,-1}, //Va2
{-1,-1,-1} //disabled
}
},
//sector 1
{
//Region 0
{
{-1,0,-1}, //Vc1
{0,0,-1}, //Va1
{0,0,0}, //Vb
{0,1,0}, //Vc2
```

```
{1,1,0} //Va2
},
{
{-1,0,-1}, //Vc1
{0,0,-1}, //Va1
{0,1,-1}, //Vb
{0,1,0}, //Vc2
{1,1,0} //Va2
},
{
{-1,0,-1}, //Vc1
{-1,1,-1}, //Va1
{0,1,-1}, //Vb
{0,1,0}, //Vc2
{0,0,0} //disabled
},
{
{0,0,-1}, //Va1
{0,1,-1}, //Vb
{1,1,-1}, //Vc1
{1,1,0}, //Va2
{1,1,1} //disabled
}
},
//sector 2
{
//Region 0
{
{0,1,1}, //Vc1
{0,1,0}, //Va1
{0,0,0}, //Vb
{-1,0,0}, //Vc2
{-1,0,-1} //Va2
},
{
{0,1,1}, //Vc1
{0,1,0}, //Va1
{-1,1,0}, //Vb
{-1,0,0}, //Vc2
{-1,0,-1} //Va2
},
{
{0,1,1}, //Vc1
{-1,1,1}, //Va1
{-1,1,0}, //Vb
{-1,0,0}, //Vc2
{0,0,0} //disabled
},
{
{0,1,0}, //Va1
{-1,1,0}, //Vb
{-1,1,-1}, //Vc1
{-1,0,-1}, //Va2
{-1,-1,-1} //disabled
}
},
//sector 3
{
//Region 0
{
{-1,-1,0}, //Vc1
{-1,0,0}, //Va1
{0,0,0}, //Vb
{0,0,1}, //Vc2
{0,1,1} //Va2
},
{
{-1,-1,0}, //Vc1
{-1,0,0}, //Va1
{-1,0,1}, //Vb
{0,0,1}, //Vc2
{0,1,1} //Va2
```

```
},
{
{-1,-1,0}, //Vc1
{-1,-1,1}, //Va1
{-1,0,1}, //Vb
{0,0,1}, //Vc2
{0,0,0} //disabled
},
{
{-1,0,0}, //Va1
{-1,0,1}, //Vb
{-1,1,1}, //Vc1
{0,1,1}, //Va2
{1,1,1} //disabled
}
},
//sector 4
{
//Region 0
{
{1,0,1}, //Vc1
{0,0,1}, //Va1
{0,0,0}, //Vb
{0,-1,0}, //Vc2
{-1,-1,0} //Va2
},
{
{1,0,1}, //Vc1
{0,0,1}, //Va1
{0,-1,1}, //Vb
{0,-1,0}, //Vc2
{-1,-1,0} //Va2
},
{
{1,0,1}, //Vc1
{1,-1,1}, //Va1
{0,-1,1}, //Vb
{0,-1,0}, //Vc2
{0,0,0} //disabled
},
{
{0,0,1}, //Va1
{0,-1,1}, //Vb
{-1,-1,1}, //Vc1
{-1,-1,0}, //Va2
{-1,-1,-1} //disabled
}
},
//sector 5
{
//Region 0
{
{0,-1,-1}, //Vc1
{0,-1,0}, //Va1
{0,0,0}, //Vb
{1,0,0}, //Vc2
{1,0,1} //Va2
},
{
{0,-1,-1}, //Vc1
{0,-1,0}, //Va1
{1,-1,0}, //Vb
{1,0,0}, //Vc2
{1,0,1} //Va2
},
{
{0,-1,-1}, //Vc1
{1,-1,-1}, //Va1
{1,-1,0}, //Vb
{1,0,0}, //Vc2
{0,0,0} //disabled
},
```

```
{
{0,-1,0}, //Va1
{1,-1,0}, //Vb
{1,-1,1}, //Vc1
{1,0,1}, //Va2
{1,1,1} //disabled
}
}

};
```

Output function code

```
if (IsSampleHit(0))
{
double v_mag, v_ang;
double alpha, sector_offset, tau_a, tau_b, tau_c;
double k;

//Calculate magnitude and angle of reference vector Vs
if (V_ALPHA == 0.0 && V_BETA == 0.0)
{
v_mag = 0;
v_ang = 0;
}
else
{
v_mag = sqrt(V_ALPHA*V_ALPHA + V_BETA*V_BETA);
v_ang = fmod(atan2(V_BETA, V_ALPHA)+2.*PI, 2.*PI);
}

//Sector detection - sector 1 middle at PhaseA ref peak
sector = ((unsigned) floor(3./PI*v_ang)) % 6; // 0..5
SECTOR = (double) sector + 1.;

//Calculate sector angle, alpha
sector_offset = PI/3. * (double) (sector);
alpha = v_ang - sector_offset;
//Limitation of the voltage magnitude
v_mag = fmin(v_mag, 2./3.*(V_DC*2)/(cos(alpha) + 1./sqrt(3.)*sin(alpha)) ); // V_DC of one capacitor
k = sqrt(3.)/2.*v_mag/V_DC;
//Region detection
if(v_mag <= (2./3.*V_DC/(cos(alpha) + 1./sqrt(3.)*sin(alpha))) )
region = 0;
else if( (v_mag*sin(alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 2;
else if( (v_mag*sin(PI/3. - alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 3;
else
region = 1;

REGION = (double)region + 1.;
//Calculate relative vector on times
switch (region)
{
default:
case 0:
{
tau_a = 2.*k*sin(PI/3. - alpha);
tau_b = 1. - 2.*k*sin(PI/3. + alpha);
tau_c = 2.*k*sin(alpha);
break;
}
case 1:
{
tau_a = 1. - 2.*k*sin(alpha);
tau_b = 2.*k*sin(PI/3. + alpha) - 1.;
tau_c = 1. - 2.*k*sin(PI/3. - alpha);
break;
}
case 2:
```

```
{
tau_a = 2.*k*sin(alpha) - 1.;
tau_b = 2.*k*sin(PI/3. - alpha);
tau_c = 2. - 2.*k*sin(PI/3. + alpha);
break;
}
case 3:
{
tau_a = 2. - 2.*k*sin(PI/3. + alpha);
tau_b = 2.*k*sin(alpha);
tau_c = 2.*k*sin(PI/3. - alpha) - 1.;
break;
}
}
TAU_A = tau_a;
TAU_B = tau_b;
TAU_C = tau_c;

switch (region)
{
case 0:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_c/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_c + tau_a)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_c + tau_a + tau_b*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(tau_c + tau_a + tau_b*2. + tau_c)/4.;
sw_sequ[4] = 4;
sw_time[4] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2. + tau_c)/4.);
sw_sequ[5] = 3;
sw_time[5] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2.)/4.);
sw_sequ[6] = 2;
sw_time[6] = CurrentTime + TS*(1 - (tau_c + tau_a)/4.);
sw_sequ[7] = 1;
sw_time[7] = CurrentTime + TS*(1 - tau_c/4.);
sw_sequ[8] = 0;
sw_time[8] = DBL_MAX;
break;
}
case 1:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_c/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_c + tau_a)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_c + tau_a + tau_b*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(tau_c + tau_a + tau_b*2. + tau_c)/4.;
sw_sequ[4] = 4;
sw_time[4] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2. + tau_c)/4.);
sw_sequ[5] = 3;
sw_time[5] = CurrentTime + TS*(1 - (tau_c + tau_a + tau_b*2.)/4.);
sw_sequ[6] = 2;
sw_time[6] = CurrentTime + TS*(1 - (tau_c + tau_a)/4.);
sw_sequ[7] = 1;
sw_time[7] = CurrentTime + TS*(1 - tau_c/4.);
sw_sequ[8] = 0;
sw_time[8] = DBL_MAX;
break;
}
case 2:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_c/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_c + tau_a*2.)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_c + tau_a*2. + tau_b*2.)/4.;
```

```
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_c + tau_a*2. + tau_b*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_c + tau_a*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_c/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
break;
}
case 3:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_a/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_a + tau_b*2.)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_a + tau_b*2. + tau_c*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_a + tau_b*2. + tau_c*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_a + tau_b*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_a/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
break;
}
default:
break;
}
}

sw_index = 0;

if (IsSampleHit(0) ||
(IsSampleHit(1) && CurrentTime >= NextSampleHit))
{
int sequence;
do
{
sequence = sw_sequ[sw_index];
NextSampleHit = sw_time[sw_index++];
}
while (NextSampleHit <= CurrentTime);
switch (sw_matrix_sym[sector][region][sequence][0])
{
case -1:
S_A = -1;
break;
case 0:
S_A = 0;
break;
case 1:
S_A =1;
break;
default:
break;
}
switch (sw_matrix_sym[sector][region][sequence][1])
{
case -1:
S_B = -1;
break;
case 0:
S_B = 0;
break;
case 1:
S_B = 1;
break;
default:
break;
```

```
}
switch (sw_matrix_sym[sector][region][sequence][2])
{
case -1:
S_C= -1;
break;
case 0:
S_C = 0;
break;
case 1:
S_C = 1;
break;
default:
break;
}
}
//————————————————Fase A————————————————————
if(S_A == -1){
OutputSignal(4,0)=0;
OutputSignal(4,1)=0;
OutputSignal(4,2)=1;
OutputSignal(4,3)=1;
OutputSignal(4,4)=0;
OutputSignal(4,5)=0;
}

if (S_A == 1)
{
OutputSignal(4,0)=1;
OutputSignal(4,1)=1;
OutputSignal(4,2)=0;
OutputSignal(4,3)=0;
OutputSignal(4,4)=0;
OutputSignal(4,5)=0;
}
if (S_A == 0)
{
OutputSignal(4,0)=0;
OutputSignal(4,1)=1;
OutputSignal(4,2)=1;
OutputSignal(4,3)=0;
OutputSignal(4,4)=1;
OutputSignal(4,5)=1;
}
//————————————————Fase B————————————————————
if(S_B == -1){
OutputSignal(5,0)=0;
OutputSignal(5,1)=0;
OutputSignal(5,2)=1;
OutputSignal(5,3)=1;
OutputSignal(5,4)=0;
OutputSignal(5,5)=0;

}

if (S_B == 1)
{
OutputSignal(5,0)=1;
OutputSignal(5,1)=1;
OutputSignal(5,2)=0;
OutputSignal(5,3)=0;
OutputSignal(5,4)=0;
OutputSignal(5,5)=0;

}
if (S_B == 0)
{
OutputSignal(5,0)=0;
OutputSignal(5,1)=1;
OutputSignal(5,2)=1;
OutputSignal(5,3)=0;
OutputSignal(5,4)=1;
```

```
OutputSignal(5,5)=1;
}

//————————————Fase C————————————————————
if(S_C == -1){
OutputSignal(6,0)=0;
OutputSignal(6,1)=0;
OutputSignal(6,2)=1;
OutputSignal(6,3)=1;
OutputSignal(6,4)=0;
OutputSignal(6,5)=0;
}

if (S_C==1)
{
OutputSignal(6,0)=1;
OutputSignal(6,1)=1;
OutputSignal(6,2)=0;
OutputSignal(6,3)=0;
OutputSignal(6,4)=0;
OutputSignal(6,5)=0;
}
if (S_C==0)
{
OutputSignal(6,0)=0;
OutputSignal(6,1)=1;
OutputSignal(6,2)=1;
OutputSignal(6,3)=0;
OutputSignal(6,4)=1;
OutputSignal(6,5)=1;
}
```

C-Script – Modelo Conversor ANPC com SVPWM Híbrido

Code declarations

```
#include <float.h>
#include <math.h>

#define V_DC InputSignal(0, 0)
#define V_ALPHA InputSignal(1, 0)
#define V_BETA InputSignal(1, 1)

#define S_A OutputSignal(0, 0)
#define S_B OutputSignal(0, 1)
#define S_C OutputSignal(0, 2)
#define SECTOR OutputSignal(1, 0)
#define REGION OutputSignal(2, 0)
#define TAU_A OutputSignal(3, 0)
#define TAU_B OutputSignal(3, 1)
#define TAU_C OutputSignal(3, 2)

#define TS ParamRealData(0, 0) //sample period

#define PI 3.14159265358979323846

#define MAX_TIMES 9
static double sw_time[MAX_TIMES];
static int sw_sequ[MAX_TIMES];
static int sector, region, sw_index;

//Switching matrix for symmetrical SV modulation

static const int sw_matrix_sym[6][4][4][3] = //[sector idx][region idx][sequence idx][arm_idx]
{
//sector 1
{
//Region 0 N -> -1 P -> +1 U-> 0 L -> 2
{
{1,0,0}, //Va1 - PUU
```

```
{2,0,0}, //Vb1 - LUU
{2,0,-1}, //Vc1 - LUN
{2,-1,-1} //Va2 - LNN
},
{
{1,0,0}, //Va1 - PUU
{1,0,-1}, //Vb1 - PUN
{2,0,-1}, //Vb1 - LUN
{2,-1,-1} //Va2 - LNN
},
{
{1,1,0}, //Vc1 - PPU
{1,1,-1}, //Vb1 - PPN
{1,2,-1}, //Va1 - PLN
{2,2,-1} //Vc2 - LLN
},
{
{1,0,0}, //Va1 - PUU
{1,0,-1}, //Vb1 - PUN
{1,-1,-1}, //Vc1 - PNN
{2,-1,-1} //Va1 - LNN
}
},
//sector 2 N -> -1 P -> +1 U-> 0 L -> 2
{
//Region 0
{
{2,2,-1}, //Va1 - LLN
{2,2,0}, //Vb1 - LLU
{2,1,0}, //Vc1 - LPU
{1,1,0} //Va2 - PPU
},
{
{2,2,-1}, //Va1 - LLN
{2,1,-1}, //Vb1 - LPN
{2,1,0}, //Vc1 - LPU
{1,1,0} //Va2 - PPU
},
{
{-1,2,-1}, //Vc1 - NLN
{-1,1,-1}, //Vb1 - NPN
{0,1,-1}, //Va1 - UPN
{0,1,0} //Vc2 - UPU
},
{
{2,2,-1}, //Va1 - LLN
{2,1,-1}, //Vb1 - LPN
{1,1,-1}, //Vc1 - PPN
{1,1,0} //Va2 - PPU
}
},
//sector 3 N -> -1 P -> +1 U-> 0 L -> 2
{
//Region 0
{
{0,1,0}, //Va1 - UPU
{0,2,0}, //Vb1 - ULU
{-1,2,0}, //Vc1 - NLU
{-1,2,-1} //Va2 - NLN
},
{
{0,1,0}, //Va1 - UPU
{-1,1,0}, //Vb1 - NPU
{-1,2,0}, //Vc1 - NLU
{-1,2,-1} //Va2 - NLN
},
{
{0,1,1}, //Vc1 - UPP
{-1,1,1}, //Vb1 - NPP
{-1,1,2}, //Va1 - NPL
{-1,2,2} //Vc2 - NLL
},
```

```
{
{0,1,0}, //Va1 - UPU
{-1,1,0}, //Vb1 - NPU
{-1,1,-1}, //Vc1 - NPN
{-1,2,-1} //Va2 - NLN
}
},
//sector 4 N -> -1 P -> +1 U-> 0 L -> 2
{
//Region 0
{
{-1,2,2}, //Va1 - NLL
{0,2,2}, //Vb1 - ULL
{0,2,1}, //Vc1 - ULP
{0,1,1} //Va2 - UPP
},
{
{-1,2,2}, //Va1 - NLL
{-1,2,1}, //Vb1 - NLP
{0,2,1}, //Vc1 - ULP
{0,1,1} //Va2 - UPP
},
{
{-1,-1,2}, //Vc1 - NNL
{-1,-1,1}, //Vb1 - NNP
{-1,0,1}, //Va1 - NUP
{0,0,1} //Vc2 - UUP
},
{
{-1,2,2}, //Va1 - NLL
{-1,2,1}, //Vb1 - NLP
{-1,1,1}, //Vc1 - NPP
{0,1,1} //Va2 - UPP
}
},
//sector 5
{
//Region 0 N -> -1 P -> +1 U-> 0 L -> 2
{
{0,0,1}, //Va1 - UUP
{0,0,2}, //Vb1 - UUL
{0,-1,2}, //Vc1 - UNL
{-1,-1,2} //Va2 - NNL
},
{
{0,0,1}, //Va1 - UUP
{0,-1,1}, //Vb1 - UNP
{0,-1,2}, //Vc1 - UNL
{-1,-1,2} //Va2 - NNL
},
{
{1,0,1}, //Vc1 - PUP
{1,-1,1}, //Vb1 - PNP
{2,-1,1}, //Va1 - LNP
{2,-1,2} //Vc2 - LNL
},
{
{0,0,1}, //Va1 - UUP
{0,-1,1}, //Vb1 - UNP
{-1,-1,1}, //Vc1 - NNP
{-1,-1,2} //Va2 - NNL
}
},
//sector 6
{
//Region 0 N -> -1 P -> +1 U-> 0 L -> 2
{
{2,-1,2}, //Va1 - LNL
{2,0,2}, //Vb1 - LUL
{1,0,2}, //Vc1 - PUL
{1,0,1} //Va2 - PUP
},
```

```
{
{2,-1,2}, //Va1 - LNL
{1,-1,2}, //Vb1 - PNL
{1,0,2}, //Vc1 - PUL
{1,0,1} //Va2 - PUP
},
{
{2,-1,-1}, //Vc1 - LNN
{1,-1,-1}, //Vb1 - PNN
{1,-1,0}, //Va1 - PNU
{1,0,0} //Vc2 - PUU
},
{
{2,-1,2}, //Va1 - LNL
{1,-1,2}, //Vb1 - PNL
{1,-1,1}, //Vc1 - PNP
{1,0,1} //Va2 - PUP
}
}
};
```

Output function code

```
if (IsSampleHit(0))
{
double v_mag, v_ang;
double alpha, sector_offset, tau_a, tau_b, tau_c;
double k;

//Calculate magnitude and angle of reference vector Vs
if (V_ALPHA == 0.0 && V_BETA == 0.0)
{
v_mag = 0;
v_ang = 0;
}
else
{
v_mag = sqrt(V_ALPHA*V_ALPHA + V_BETA*V_BETA);
v_ang = fmod(atan2(V_BETA, V_ALPHA)+2.*PI, 2.*PI);
}

//Sector detection - sector 1 middle at PhaseA ref peak
sector = ((unsigned) floor(3./PI*v_ang)) % 6; // 0..5
SECTOR = (double) sector + 1.;

//Calculate sector angle, alpha
sector_offset = PI/3. * (double) (sector);
alpha = v_ang - sector_offset;
//Limitation of the voltage magnitude
v_mag = fmin(v_mag, 2./3.*(V_DC*2)/(cos(alpha) + 1./sqrt(3.)*sin(alpha)) ); // V_DC of one capacitor
k = sqrt(3.)/2.*v_mag/V_DC;
//Region detection
if(v_mag <= (2./3.*V_DC/(cos(alpha) + 1./sqrt(3.)*sin(alpha))) )
region = 0;
else if( (v_mag*sin(alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 2;
else if( (v_mag*sin(PI/3. - alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 3;
else
region = 1;

REGION = (double)region + 1.;
//Calculate relative vector on times
switch (region)
{
default:
case 0:
{
tau_a = 2.*k*sin(PI/3. - alpha);
tau_b = 1. - 2.*k*sin(PI/3. + alpha);
tau_c = 2.*k*sin(alpha);
```

```
break;
}
case 1:
{
tau_a = 1. - 2.*k*sin(alpha);
tau_b = 2.*k*sin(PI/3. + alpha) - 1.;
tau_c = 1. - 2.*k*sin(PI/3. - alpha);
break;
}
case 2:
{
tau_a = 2.*k*sin(alpha) - 1.;
tau_b = 2.*k*sin(PI/3. - alpha);
tau_c = 2. - 2.*k*sin(PI/3. + alpha);
break;
}
case 3:
{
tau_a = 2. - 2.*k*sin(PI/3. + alpha);
tau_b = 2.*k*sin(alpha);
tau_c = 2.*k*sin(PI/3. - alpha) - 1.;
break;
}
}
TAU_A = tau_a;
TAU_B = tau_b;
TAU_C = tau_c;


switch (region)
{
case 0:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_a/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_a + tau_b*2.)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_a + tau_b*2. + tau_c*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_a + tau_b*2. + tau_c*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_a + tau_b*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_a/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
}
case 1:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_a/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_a + tau_b*2.)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_a + tau_b*2. + tau_c*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_a + tau_b*2. + tau_c*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_a + tau_b*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_a/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
break;
}
case 2:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_c/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_c + tau_a*2.)/4.;
```

```
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_c + tau_a*2. + tau_b*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_c + tau_a*2. + tau_b*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_c + tau_a*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_c/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
break;
}
case 3:
{
sw_sequ[0] = 0;
sw_time[0] = CurrentTime + TS*tau_a/4.;
sw_sequ[1] = 1;
sw_time[1] = CurrentTime + TS*(tau_a + tau_b*2.)/4.;
sw_sequ[2] = 2;
sw_time[2] = CurrentTime + TS*(tau_a + tau_b*2. + tau_c*2.)/4.;
sw_sequ[3] = 3;
sw_time[3] = CurrentTime + TS*(1 - (tau_a + tau_b*2. + tau_c*2.)/4.);
sw_sequ[4] = 2;
sw_time[4] = CurrentTime + TS*(1 - (tau_a + tau_b*2.)/4.);
sw_sequ[5] = 1;
sw_time[5] = CurrentTime + TS*(1 - tau_a/4.);
sw_sequ[6] = 0;
sw_time[6] = DBL_MAX;
break;
}
default:
break;
}
}

sw_index = 0;

if (IsSampleHit(0) | |
(IsSampleHit(1) && CurrentTime >= NextSampleHit))
{
int sequence;
do
{
sequence = sw_sequ[sw_index];
NextSampleHit = sw_time[sw_index++];
}
while (NextSampleHit <= CurrentTime);
switch (sw_matrix_sym[sector][region][sequence][0])
{
case -1:
S_A = -1;
break;
case 0:
S_A = 0;
break;
case 1:
S_A =1;
break;
case 2:
S_A = 2;
break;
default:
break;
}
switch (sw_matrix_sym[sector][region][sequence][1])
{
case -1:
S_B = -1;
break;
case 0:
S_B = 0;
break;
```

```
case 1:
S_B = 1;
break;
case 2:
S_B = 2;
break;
default:
break;
}
switch (sw_matrix_sym[sector][region][sequence][2])
{
case -1:
S_C = -1;
break;
case 0:
S_C = 0;
break;
case 1:
S_C = 1;
break;
case 2:
S_C = 2;
break;
default:
break;
}
}
//————————————Fase A————————————————
if(S_A == -1){
OutputSignal(4,0)=0;
OutputSignal(4,1)=0;
OutputSignal(4,2)=1;
OutputSignal(4,3)=1;
OutputSignal(4,4)=1;
OutputSignal(4,5)=0;
}

if (S_A == 1)
{
OutputSignal(4,0)=1;
OutputSignal(4,1)=1;
OutputSignal(4,2)=0;
OutputSignal(4,3)=0;
OutputSignal(4,4)=0;
OutputSignal(4,5)=1;
}
if (S_A == 0)
{
OutputSignal(4,0)=0;
OutputSignal(4,1)=1;
OutputSignal(4,2)=0;
OutputSignal(4,3)=1;
OutputSignal(4,4)=1;
OutputSignal(4,5)=0;
}
if (S_A == 2)
{
OutputSignal(4,0)=1;
OutputSignal(4,1)=0;
OutputSignal(4,2)=1;
OutputSignal(4,3)=0;
OutputSignal(4,4)=0;
OutputSignal(4,5)=1;
}
//————————————Fase B————————————————
if(S_B == -1){
OutputSignal(5,0)=0;
OutputSignal(5,1)=0;
OutputSignal(5,2)=1;
OutputSignal(5,3)=1;
OutputSignal(5,4)=1;
OutputSignal(5,5)=0;
```

```
}

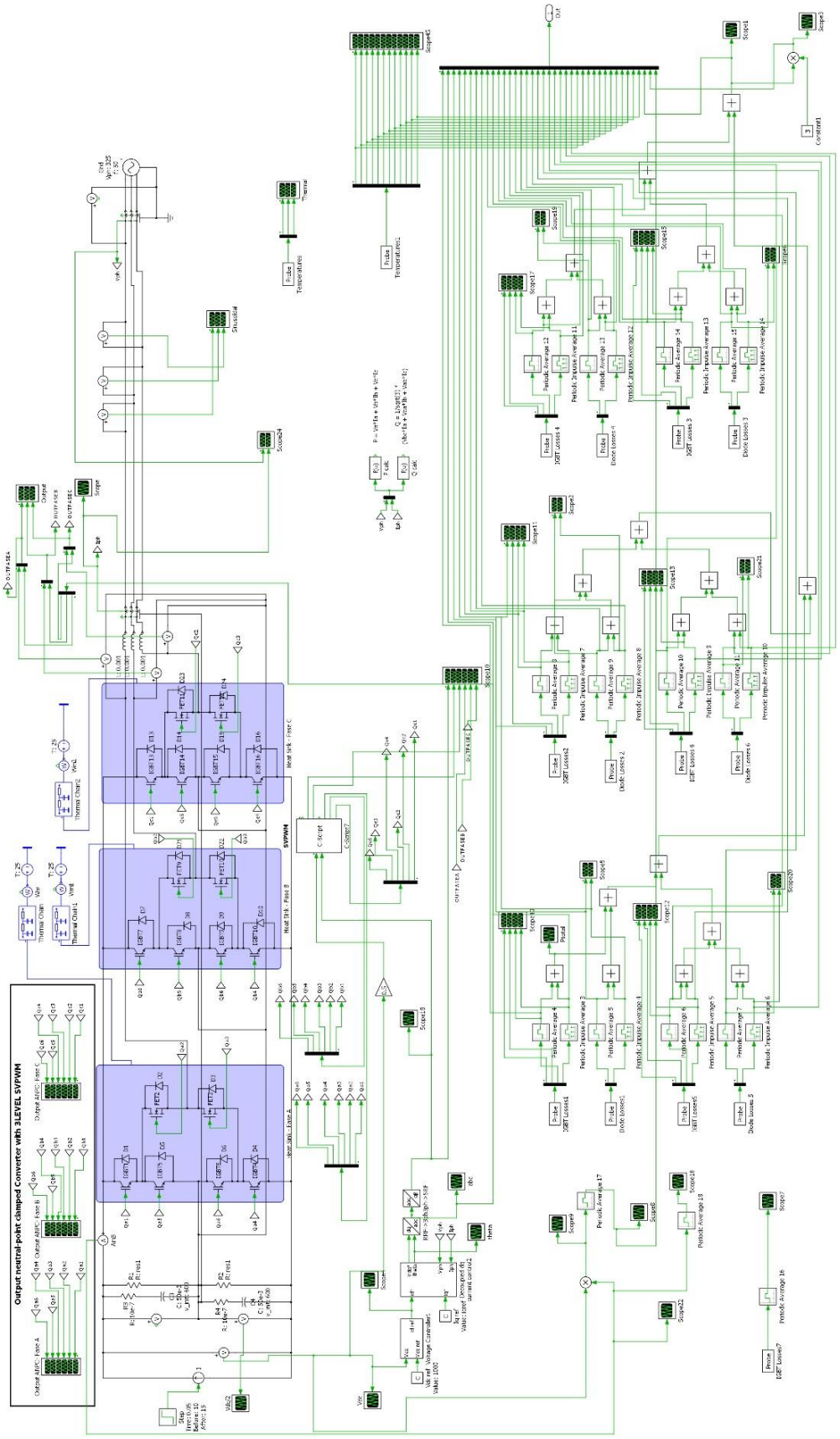
if (S_B == 1)
{
OutputSignal(5,0)=1;
OutputSignal(5,1)=1;
OutputSignal(5,2)=0;
OutputSignal(5,3)=0;
OutputSignal(5,4)=0;
OutputSignal(5,5)=1;

}
if (S_B == 0)
{
OutputSignal(5,0)=0;
OutputSignal(5,1)=1;
OutputSignal(5,2)=0;
OutputSignal(5,3)=1;
OutputSignal(5,4)=1;
OutputSignal(5,5)=0;
}
if (S_B == 2)
{
OutputSignal(5,0)=1;
OutputSignal(5,1)=0;
OutputSignal(5,2)=1;
OutputSignal(5,3)=0;
OutputSignal(5,4)=0;
OutputSignal(5,5)=1;
}
//————————————Fase C————————————————
if(S_C == -1){
OutputSignal(6,0)=0;
OutputSignal(6,1)=0;
OutputSignal(6,2)=1;
OutputSignal(6,3)=1;
OutputSignal(6,4)=1;
OutputSignal(6,5)=0;
}

if (S_C == 1)
{
OutputSignal(6,0)=1;
OutputSignal(6,1)=1;
OutputSignal(6,2)=0;
OutputSignal(6,3)=0;
OutputSignal(6,4)=0;
OutputSignal(6,5)=1;
}
if (S_C == 0)
{
OutputSignal(6,0)=0;
OutputSignal(6,1)=1;
OutputSignal(6,2)=0;
OutputSignal(6,3)=1;
OutputSignal(6,4)=1;
OutputSignal(6,5)=0;
}

if (S_C == 2)
{
OutputSignal(6,0)=1;
OutputSignal(6,1)=0;
OutputSignal(6,2)=1;
OutputSignal(6,3)=0;
OutputSignal(6,4)=0;
OutputSignal(6,5)=1;
```

Modelo Conversor ANPC híbrido com SVPWM Híbrido para testes térmicos



Simulation Script para gerar os resultados num ficheiro Excel e extrair os gráficos

```
% Create simStruct with field 'ModelVars'
mdlVars = struct('iqref', 200);
simStruct = struct('ModelVars', mdlVars);

% Clear all previous traces in scope 'Scope' in the current model
plecs('scope', './Scope40', 'ClearTraces');
plecs('scope', './Scope5', 'ClearTraces');
plecs('scope', './Scope11', 'ClearTraces');
plecs('scope', './Scope2', 'ClearTraces');
plecs('scope', './Scope15', 'ClearTraces');
plecs('scope', './Scope6', 'ClearTraces');
plecs('scope', './Scope17', 'ClearTraces');
plecs('scope', './Scope19', 'ClearTraces');
plecs('scope', './Scope12', 'ClearTraces');
plecs('scope', './Scope20', 'ClearTraces');
plecs('scope', './Scope13', 'ClearTraces');
plecs('scope', './Scope21', 'ClearTraces');
plecs('scope', './Scope1', 'ClearTraces');
plecs('scope', './Scope3', 'ClearTraces');
plecs('scope', './Scope45', 'ClearTraces');
plecs('scope', './Scope8', 'ClearTraces');

% Parametric values to be swept

iqrefValues = [0, 200, 400]; % in A

fswValues = [7000, 7000, 7000];

res1Values = [2.5, 2.5, 2.5];

% Criar uma matriz para armazenar os resultados
results = zeros(length(iqrefValues), 26);

for ix = 1:length(iqrefValues)
% Set value for Iqref
simStruct.ModelVars.iqref = iqrefValues(ix) ;
simStruct.ModelVars.fsw = fswValues(ix);
simStruct.ModelVars.res1 = res1Values(ix);
simStruct.SolverOpts.OutputTimes = 1:0.75;
% Start simulation, return probed signal values in 'out'
out = plecs('simulate', simStruct)
% Hold and label trace
plecs('scope', './Scope40', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope5', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope11', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope2', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope15', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope6', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope17', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope19', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope12', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope20', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope13', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
plecs('scope', './Scope21', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
% Total Losses - One Leg
plecs('scope', './Scope1', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
% Total Losses
plecs('scope', './Scope3', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
% Different Temperatures
plecs('scope', './Scope45', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);
%Potencial Total
plecs('scope', './Scope8', 'HoldTrace', ['Iqref=' mat2str(iqrefValues(ix)) 'A']);

% Encontrar o valor máximo de corrente e o índice correspondente
maxValue = max(out.Values(25,:));
maxValue1 = max(out.Values(26,:));
maxValue2 = max(out.Values(27,:));
maxValue3 = max(out.Values(28,:));
maxValue4 = max(out.Values(29,:));
```

```
maxValue5 = max(out.Values(30,:));
maxValue6 = max(out.Values(31,:));
maxValue7 = max(out.Values(32,:));
maxValue8 = max(out.Values(33,:));
maxValue9 = max(out.Values(34,:));
maxValue10 = max(out.Values(35,:));
maxValue11 = max(out.Values(36,:));
% Exibir o valor máximo e o último valor da simulação no octave console
lastValue1 = out.Values(1, end); %IGBT1
lastValue2 = out.Values(2, end);
lastValue3 = out.Values(3, end);
lastValue4 = out.Values(4, end);
lastValue5 = out.Values(5, end); %IGBT2
lastValue6 = out.Values(6, end);
lastValue7 = out.Values(7, end);
lastValue8 = out.Values(8, end);
lastValue9 = out.Values(9, end); %IGBT3
lastValue10 = out.Values(10, end);
lastValue11 = out.Values(11, end);
lastValue12 = out.Values(12, end);
lastValue13 = out.Values(13, end); %IGBT4
lastValue14 = out.Values(14, end);
lastValue15 = out.Values(15, end);
lastValue16 = out.Values(16, end);
lastValue17 = out.Values(17, end); %IGBT5
lastValue18 = out.Values(18, end);
lastValue19 = out.Values(19, end);
lastValue20 = out.Values(20, end);
lastValue21 = out.Values(21, end); %IGBT6
lastValue22 = out.Values(22, end);
lastValue23 = out.Values(23, end);
lastValue24 = out.Values(24, end);
lastValue25 = out.Values(37, end);
lastValue26 = out.Values(38, end);
lastValue27 = out.Values(39, end);
fprintf('Para Iqref =%dμH:\n', iqrefValues(ix));
fprintf('Último valor: %.6f A\n', lastValue1);
% Armazenar os resultados na matriz correspondente
results(ix, 1) = iqrefValues(ix); % Valor de Iqref (A)
results(ix, 2) = lastValue1; % Último valor da simulção para as diferentes perdas dos igbts e diodes
results(ix, 3) = lastValue2;
results(ix, 4) = lastValue3;
results(ix, 5) = lastValue4;
results(ix, 6) = lastValue5;
results(ix, 7) = lastValue6;
results(ix, 8) = lastValue7;
results(ix, 9) = lastValue8;
results(ix, 10) = lastValue9;
results(ix, 11) = lastValue10;
results(ix, 12) = lastValue11;
results(ix, 13) = lastValue12;
results(ix, 14) = lastValue13;
results(ix, 15) = lastValue14;
results(ix, 16) = lastValue15;
results(ix, 17) = lastValue16;
results(ix, 18) = lastValue17;
results(ix, 19) = lastValue18;
results(ix, 20) = lastValue19;
results(ix, 21) = lastValue20;
results(ix, 22) = lastValue21;
results(ix, 23) = lastValue22;
results(ix, 24) = lastValue23;
results(ix, 25) = lastValue24;
results(ix, 26) = maxValue; % Máximo valor de temperatura para cada IGBT e diode na simulação (A)
results(ix, 27) = maxValue1;
results(ix, 28) = maxValue2;
results(ix, 29) = maxValue3;
results(ix, 30) = maxValue4;
results(ix, 31) = maxValue5;
results(ix, 32) = maxValue6;
results(ix, 33) = maxValue7;
results(ix, 34) = maxValue8;
```

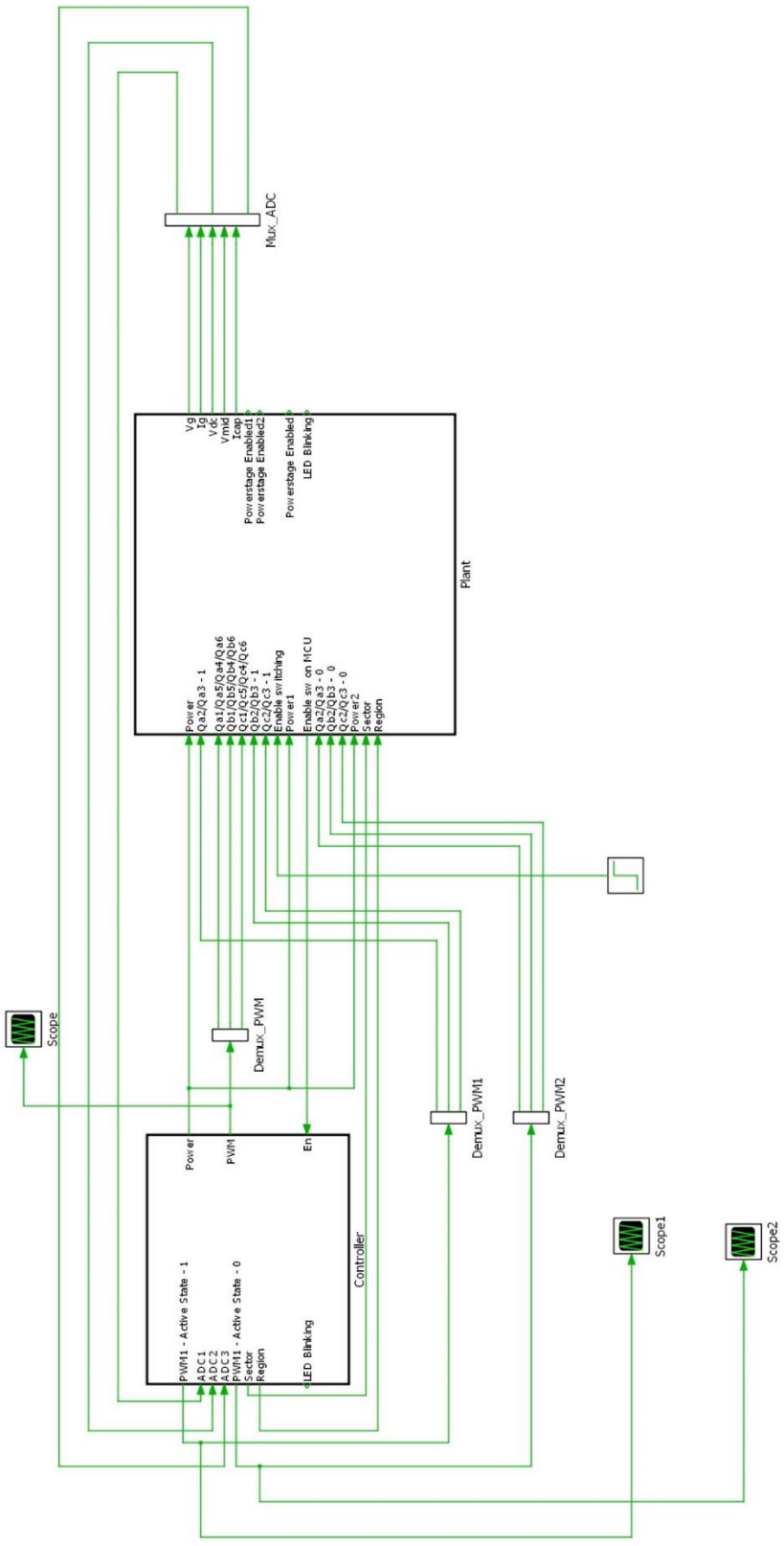
```
results(ix, 35) = maxValue9;
results(ix, 36) = maxValue10;
results(ix, 37) = maxValue11;
results(ix, 38) = fswValues(ix);
results(ix, 39) = lastValue25;
results(ix, 40) = res1Values(ix);
results(ix, 42) = lastValue26;
results(ix, 43) = lastValue27;
end
% Salvar resultados no ficheiro CSV
fid = fopen('resultadosHybrid.csv', 'w'); % Abrir o ficheiro para escrita

% Escrever o cabeçalho das colunas
fprintf(fid,
'Iqref_A,fsw,Resistance,Cond_Loss_IGBT1,SW_Loss_IGBT1,Cond_Loss_Diode1,SW_Loss_Diode1,Cond_Loss_IGBT2,SW_Loss_IGBT2,Cond_Loss_Diode2,SW_Loss_Diode2,Cond_Loss_IGBT3,SW_Loss_IGBT3,Cond_Loss_Diode3,SW_Loss_Diode3,Cond_Loss_IGBT4,SW_Loss_IGBT4,Cond_Loss_Diode4,SW_Loss_Diode4,Cond_Loss_IGBT5,SW_Loss_IGBT5,Cond_Loss_Diode5,SW_Loss_Diode5,Cond_Loss_IGBT6,SW_Loss_IGBT6,Cond_Loss_Diode6,SW_Loss_Diode6, MAX_TEMP_IGBT1,
MAX_TEMP_Diode1,MAX_TEMP_IGBT2,MAX_TEMP_Diode2,MAX_TEMP_IGBT3,MAX_TEMP_Diode3,MAX_TEMP_IGBT4,MAX_TEMP_Diode4,MAX_TEMP_IGBT5,MAX_TEMP_Diode5,MAX_TEMP_IGBT6,MAX_TEMP_Diode6,LOSS_TOTAL_oneleg, LOSS_TOTAL_three_leg,P_total\n');

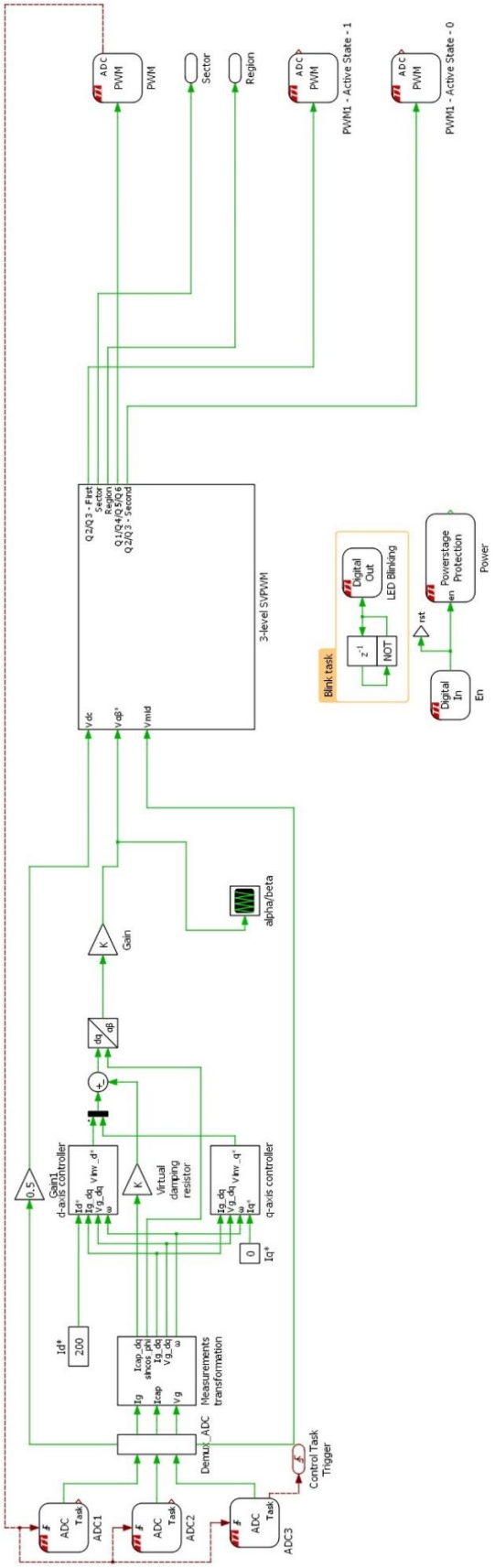
% Escrever os dados dos resultados
for ix = 1:size(results, 1)
fprintf(fid, '%d,%d,%.1f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,
%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f,%.3f\n', results(ix, 1), results(ix, 38), results(ix, 40), results(ix, 2),results(ix, 3), results(ix, 4), results(ix, 5),results(ix, 6), results(ix, 7), results(ix, 8), results(ix, 9),results(ix, 10), results(ix, 11), results(ix, 12), results(ix, 13), results(ix, 14), results(ix, 15), results(ix, 16), results(ix, 17),results(ix, 18), results(ix, 19), results(ix, 20), results(ix, 21),results(ix, 22), results(ix, 23), results(ix, 24), results(ix, 25), results(ix, 26),results(ix, 27), results(ix, 28), results(ix, 29), results(ix, 30), results(ix, 31),results(ix, 32), results(ix, 33), results(ix, 34), results(ix, 35), results(ix, 36), results(ix, 37), results(ix, 39), results(ix, 42), results (ix, 43));
end

fclose(fid);
```

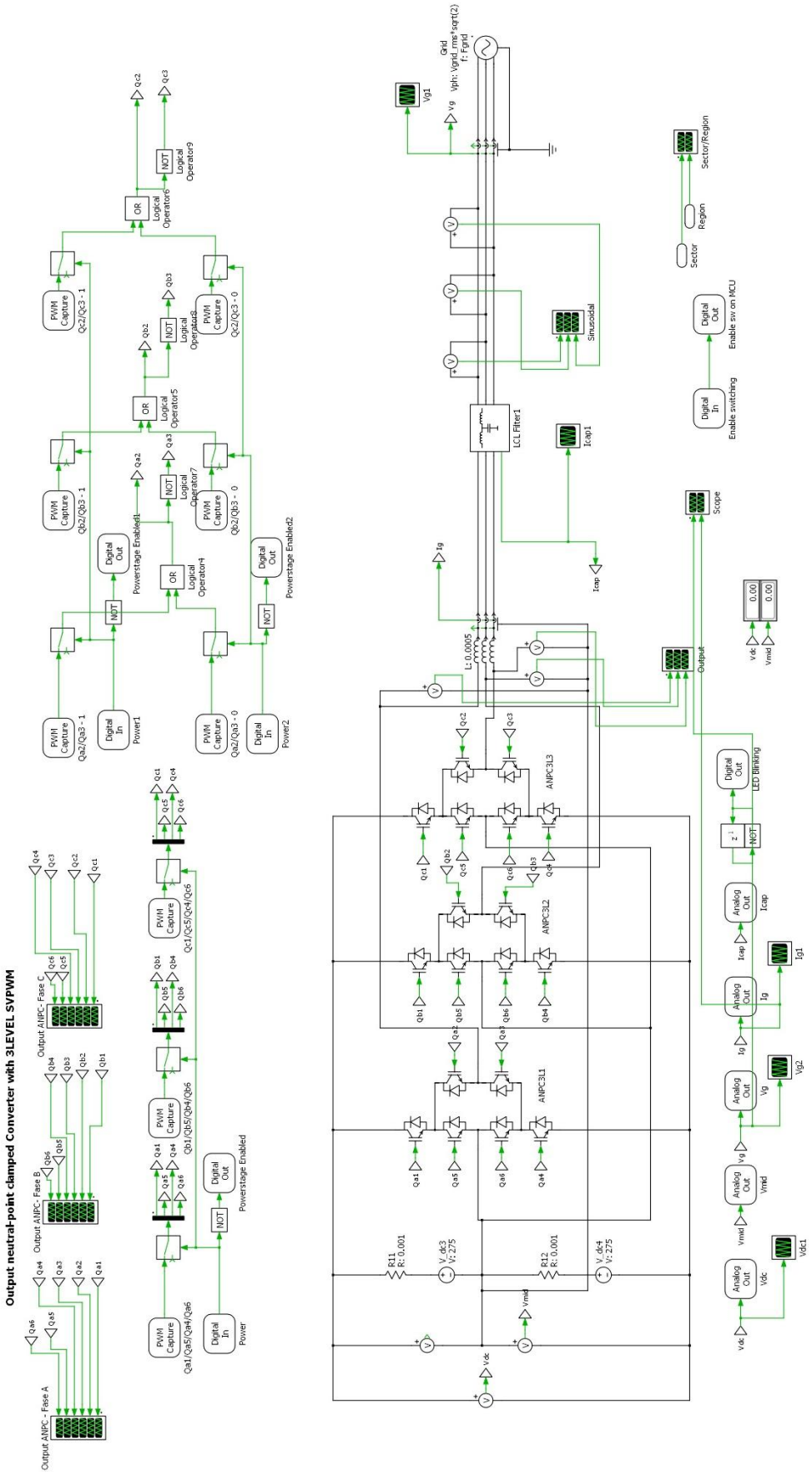
Modelo discreto de simulação com o controlo preparado para o DSP do Conversor ANPC com a modulação híbrida



Controlador



Planta


Output neutral-point clamped Converter with 3LEVEL SVPWM
Output ANPC - Fase A
Output ANPC - Fase B
Output ANPC - Fase C
Grid
Vg1
LCL Filter1
Icap1
Sinusoidal
Sector/Region
Sector
Region
Digital Out
Enable svpwm on MCU
Digital In
Enable switching
Scope
Output
L: 0.0005
ANPC3L3
ANPC3L2
ANPC3L1
R11
R: 0.001
R12
R: 0.001
V_dc3
V: 275
V_dc4
V: 275
Vmid
Vdc
Digital Out
LED Blinking
Analog Out
Icap
Ig
Vg
Vmid
Vdc
Ig1
Vg2
Vdc1
PWM Capture
Qc2/Qc3 - 1
Qc2/Qc3 - 0
Qb2/Qb3 - 1
Qb2/Qb3 - 0
Qa2/Qa3 - 1
Qa2/Qa3 - 0
Qc1/Qc5/Qc4/Qc6
Qb1/Qb5/Qb4/Qb6
Qa1/Qa5/Qa4/Qa6
Digital In
Power1
Power2
Power
Powerstage Enabled1
Powerstage Enabled2
Powerstage Enabled
OR
NOT
Logical Operator5
Logical Operator6
Logical Operator7
Logical Operator8
Logical Operator9
Logical Operator4

C-Script1 – Modelo discreto de simulação com o controlo preparado para o DSP (Para o Q1/Q4/Q5/Q6 e Q2/Q3 – Setor 1/3/5)

Code declarations

```
#include <float.h>
#include "math.h"
#include "stdint.h"

#define V_DC InputSignal(0, 0)
#define V_ALPHA InputSignal(1, 0)
#define V_BETA InputSignal(1, 1)

#define V_MID InputSignal(2, 0)

#define SECTOR OutputSignal(0, 0)
#define REGION OutputSignal(1, 0)
#define TAU_A OutputSignal(2, 0)
#define TAU_B OutputSignal(2, 1)
#define TAU_C OutputSignal(2, 2)

#define S_A1 OutputSignal(3,0)
#define S_A5 OutputSignal(3,1)

#define S_B1 OutputSignal(3,2)
#define S_B5 OutputSignal(3,3)

#define S_C1 OutputSignal(3,4)
#define S_C5 OutputSignal(3,5)

#define S_A2 OutputSignal(5,0)
#define S_B2 OutputSignal(5,1)
#define S_C2 OutputSignal(5,2)


#define cmpA1 OutputSignal(4,0)

#define TS ParamRealData(0, 0) //sample period


#define PI 3.14159265358979323846
static int sector, region;
Output function mode
double v_mag, v_ang;
double alpha, sector_offset, tau_a, tau_b, tau_c;
double k;
double cmpA,cmpB,cmpC,cmpB1,cmpC1,cmpA2,cmpB2,cmpC2;

//Calculate magnitude and angle of reference vector Vs
if (V_ALPHA == 0.0 && V_BETA == 0.0)
{
v_mag = 0;
v_ang = 0;
}
else
{
v_mag = sqrt(V_ALPHA*V_ALPHA + V_BETA*V_BETA);
v_ang = fmod(atan2(V_BETA, V_ALPHA)+2.*PI, 2.*PI);
}

//Sector detection - sector 1 middle at PhaseA ref peak
sector = ((unsigned) floor(3./PI*v_ang)) % 6; // 0..5
SECTOR = (double) sector + 1.;

//Calculate sector angle, alpha
sector_offset = PI/3. * (double) (sector);
alpha = v_ang - sector_offset;
//Limitation of the voltage magnitude
v_mag = fmin(v_mag, 2./3.*(V_DC*2)/(cos(alpha) + 1./sqrt(3.)*sin(alpha)) ); // V_DC of one capacitor
k = sqrt(3.)/2.*v_mag/V_DC;
```

```
//Region detection
if(v_mag <= (2./3.*V_DC/(cos(alpha) + 1./sqrt(3.)*sin(alpha))) )
region = 0;
else if( (v_mag*sin(alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 2;
else if( (v_mag*sin(PI/3. - alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 3;
else
region = 1;

REGION = (double)region + 1.;
//Calculate relative vector on times
switch (region)
{
case 0:
{
tau_a = 2.*k*sin(PI/3. - alpha);
tau_b = 1. - 2.*k*sin(PI/3. + alpha);
tau_c = 2.*k*sin(alpha);
break;
}
case 1:
{
tau_a = 1. - 2.*k*sin(alpha);
tau_b = 2.*k*sin(PI/3. + alpha) - 1.;
tau_c = 1. - 2.*k*sin(PI/3. - alpha);
break;
}
case 2:
{
tau_a = 2.*k*sin(alpha) - 1.;
tau_b = 2.*k*sin(PI/3. - alpha);
tau_c = 2. - 2.*k*sin(PI/3. + alpha);
break;
}
case 3:
{
tau_a = 2. - 2.*k*sin(PI/3. + alpha);
tau_b = 2.*k*sin(alpha);
tau_c = 2.*k*sin(PI/3. - alpha) - 1.;
break;
}
}
TAU_A = tau_a;
TAU_B = tau_b;
TAU_C = tau_c;
switch (region)
{
case 0:
cmpA = (tau_a + tau_b*2.)/2.;
cmpB = tau_a/2.;
cmpC = (tau_a + tau_b*2. + tau_c*2.)/2.;

cmpA1 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB1 = (tau_a + tau_b*2.)/2.;
cmpC1 = tau_a/2.;

cmpA2 = tau_a/2.;
cmpB2 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpC2 = (tau_a + tau_b*2.)/2.;
break;
case 1:
cmpA = tau_a/2.;
cmpB = (tau_a + tau_b*2.)/2.;
cmpC = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpA1 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB1 = tau_a/2.;
cmpC1 = (tau_a + tau_b*2.)/2.;

cmpA2 = (tau_a + tau_b*2.)/2.;
cmpB2 = (tau_a + tau_b*2. + tau_c*2)/2.;
cmpC2 = tau_a/2.;
```

```
break;
case 2:
cmpA = tau_c/2.;
cmpB = (tau_c + tau_a*2. + tau_b*2.)/2.;
cmpC = (tau_c + tau_a*2.)/2.;

cmpA1 = (tau_c + tau_a*2.)/2.;
cmpB1 = tau_c/2.;
cmpC1 = (tau_c + tau_a*2. + tau_b*2.)/2.;

cmpA2 = (tau_c + tau_a*2. + tau_b*2.)/2.;
cmpB2 = (tau_c + tau_a*2.)/2.;
cmpC2 = tau_c/2.;
break;
case 3:
cmpA = tau_a/2.;
cmpB = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpC = (tau_a + tau_b*2.)/2.;

cmpA1 = (tau_a + tau_b*2.)/2.;
cmpB1 = tau_a/2.;
cmpC1 = (tau_a + tau_b*2. + tau_c*2.)/2.;

cmpA2 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB2 = (tau_a + tau_b*2.)/2.;
cmpC2 = tau_a/2.;
break;
default:
cmpA = 1.1;
cmpB = 1.1;
cmpC = 1.1;
cmpA1 = 1.1;
cmpB1 = 1.1;
cmpC1 = 1.1;

cmpA2 = 1.1;
cmpB2 = 1.1;
cmpC2 = 1.1;
break;
}
// ———————————— Sector 1 ————————————————
if(sector == 0 && region == 0) // Sector 1 - Region 1
{
S_A1 = 1.1;
S_A2 = cmpA2;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = cmpB2;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = cmpC2;
S_C5 = 1.1;
}

else if(sector == 0 && region == 1) // Sector 1 - Region 2
{
S_A1 = 1.1;
S_A2 = cmpA2;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = cmpB2;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = cmpC2;
S_C5 = 1.1;
}

else if(sector == 0 && region == 2) // Sector 1 - Region 3
{
S_A1 = 1.1;
S_A2 = cmpA2;
S_A5 = -0.1;
```

```
S_B1 = 1.1;
S_B2 = cmpB2;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = cmpC2;
S_C5 = 1.1;
}

else if(sector == 0 && region == 3) // Sector 1 - Region 4
{
S_A1 = 1.1;
S_A2 = cmpA2;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = cmpB2;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = cmpC2;
S_C5 = 1.1;
}
// ———————————— Sector 2 ————————————————
if(sector == 1 && region == 0) // Sector 2 - Region 1
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -0.1;
S_C5 = 1.1;
}

else if(sector == 1 && region == 1) // Sector 2 - Region 2
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -0.1;
S_C5 = 1.1;
}

else if(sector == 1 && region == 2) // Sector 2 - Region 3
{
S_A1 = -0.1;
S_A2 = -0.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -0.1;
S_C5 = 1.1;
}

else if(sector == 1 && region == 3) // Sector 2 - Region 4
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -0.1;
S_C5 = 1.1;
}
```

```
// ———————————— Sector 3 ————————————————————
if(sector == 2 && region == 0) // Sector 3 - Region 1
{
S_A1 = -0.1;
S_A2 = cmpA;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = cmpB;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = cmpC;
S_C5 = 1.1;
}

else if(sector == 2 && region == 1) // Sector 3 - Region 2
{
S_A1 = -0.1;
S_A2 = cmpA;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = cmpB;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = cmpC;
S_C5 = 1.1;
}

else if(sector == 2 && region == 2) // Sector 3 - Region 3
{
S_A1 = -0.1;
S_A2 = cmpA;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = cmpB;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = cmpC;
S_C5 = -0.1;
}

else if(sector == 2 && region == 3) // Sector 3 - Region 4
{
S_A1 = -0.1;
S_A2 = cmpA;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = cmpB;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = cmpC;
S_C5 = 1.1;
}

// ———————————— Sector 4 ————————————————————
if(sector == 3 && region == 0) // Sector 4 - Region 1
{
S_A1 = -0.1;
S_A2 = -0.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}


else if(sector == 3 && region == 1) // Sector 4 - Region 2
{
S_A1 = -0.1;
S_A2 = -0.1;
```

```
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}

else if(sector == 3 && region == 2) // Sector 4 - Region 3
{
S_A1 = -0.1;
S_A2 = -0.1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = -0.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}

else if(sector == 3 && region == 3) // Sector 4 - Region 4
{
S_A1 = -0.1;
S_A2 = -0.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -0.1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}


// ———————————— Sector 5 ————————————————
if(sector == 4 && region == 0) // Sector 5 - Region 1
{
S_A1 = -0.1;
S_A2 = cmpA1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = cmpB1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = cmpC1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 1) // Sector 5 - Region 2
{
S_A1 = -0.1;
S_A2 = cmpA1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = cmpB1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = cmpC1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 2) // Sector 5 - Region 3
{
S_A1 = 1.1;
S_A2 = cmpA1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = cmpB1;
S_B5 = 1.1;
S_C1 = 1.1;
```

```
S_C2 = cmpC1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 3) // Sector 5 - Region 4
{
S_A1 = -0.1;
S_A2 = cmpA1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = cmpB1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = cmpC1;
S_C5 = -0.1;
}
// ———————————— Sector 6 ————————————————
if(sector == 5 && region == 0) // Sector 6 - Region 1
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -0.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}

else if(sector == 5 && region == 1) // Sector 6 - Region 2
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -0.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}

else if(sector == 5 && region == 2) // Sector 6 - Region 3
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -0.1;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = -0.1;
S_C5 = 1.1;
}

else if(sector == 5 && region == 3) // Sector 6 - Region 4
{
S_A1 = 1.1;
S_A2 = -0.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -0.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -0.1;
S_C5 = -0.1;
}
```

C-Script2 – Modelo discreto de simulação com o controlo preparado para o DSP (Para o Q2/Q3 – Setor 2/4/6)

Code declarations

```
#include <float.h>
#include "math.h"
#include "stdint.h"

#define V_DC InputSignal(0, 0)
#define V_ALPHA InputSignal(1, 0)
#define V_BETA InputSignal(1, 1)

#define V_MID InputSignal(2, 0)

#define SECTOR OutputSignal(0, 0)
#define REGION OutputSignal(1, 0)
#define TAU_A OutputSignal(2, 0)
#define TAU_B OutputSignal(2, 1)
#define TAU_C OutputSignal(2, 2)

#define S_A1 OutputSignal(3,0)
#define S_A5 OutputSignal(3,1)

#define S_B1 OutputSignal(3,2)
#define S_B5 OutputSignal(3,3)

#define S_C1 OutputSignal(3,4)
#define S_C5 OutputSignal(3,5)

#define S_A2 OutputSignal(5,0)
#define S_B2 OutputSignal(5,1)
#define S_C2 OutputSignal(5,2)

#define cmpA1 OutputSignal(4,0)

#define TS ParamRealData(0, 0) //sample period

#define PI 3.14159265358979323846
static int sector, region;
```

Output function mode

```
double v_mag, v_ang;
double alpha, sector_offset, tau_a, tau_b, tau_c;
double k;
double cmpA,cmpB,cmpC,cmpB1,cmpC1,cmpA2,cmpB2,cmpC2;

//Calculate magnitude and angle of reference vector Vs
if (V_ALPHA == 0.0 && V_BETA == 0.0)
{
v_mag = 0;
v_ang = 0;
}
else
{
v_mag = sqrt(V_ALPHA*V_ALPHA + V_BETA*V_BETA);
v_ang = fmod(atan2(V_BETA, V_ALPHA)+2.*PI, 2.*PI);
}

//Sector detection - sector 1 middle at PhaseA ref peak
sector = ((unsigned) floor(3./PI*v_ang)) % 6; // 0..5
SECTOR = (double) sector + 1.;

//Calculate sector angle, alpha
sector_offset = PI/3. * (double) (sector);
alpha = v_ang - sector_offset;
//Limitation of the voltage magnitude
v_mag = fmin(v_mag, 2./3.*(V_DC*2)/(cos(alpha) + 1./sqrt(3.)*sin(alpha)) ); // V_DC of one capacitor
```

```
k = sqrt(3.)/2.*v_mag/V_DC;
//Region detection
if(v_mag <= (2./3.*V_DC/(cos(alpha) + 1./sqrt(3.)*sin(alpha))) )
region = 0;
else if( (v_mag*sin(alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 2;
else if( (v_mag*sin(PI/3. - alpha)) > (2./3.*V_DC*sqrt(3.)/2) )
region = 3;
else
region = 1;

REGION = (double)region + 1.;
//Calculate relative vector on times
switch (region)
{
case 0:
{
tau_a = 2.*k*sin(PI/3. - alpha);
tau_b = 1. - 2.*k*sin(PI/3. + alpha);
tau_c = 2.*k*sin(alpha);
break;
}
case 1:
{
tau_a = 1. - 2.*k*sin(alpha);
tau_b = 2.*k*sin(PI/3. + alpha) - 1.;
tau_c = 1. - 2.*k*sin(PI/3. - alpha);
break;
}
case 2:
{
tau_a = 2.*k*sin(alpha) - 1.;
tau_b = 2.*k*sin(PI/3. - alpha);
tau_c = 2. - 2.*k*sin(PI/3. + alpha);
break;
}
case 3:
{
tau_a = 2. - 2.*k*sin(PI/3. + alpha);
tau_b = 2.*k*sin(alpha);
tau_c = 2.*k*sin(PI/3. - alpha) - 1.;
break;
}
}
TAU_A = tau_a;
TAU_B = tau_b;
TAU_C = tau_c;
switch (region)
{
case 0:
cmpA = (tau_a + tau_b*2.)/2.;
cmpB = tau_a/2.;
cmpC = (tau_a + tau_b*2. + tau_c*2.)/2.;

cmpA1 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB1 = (tau_a + tau_b*2.)/2.;
cmpC1 = tau_a/2.;

cmpA2 = tau_a/2.;
cmpB2 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpC2 = (tau_a + tau_b*2.)/2.;
break;
case 1:
cmpA = tau_a/2.;
cmpB = (tau_a + tau_b*2.)/2.;
cmpC = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpA1 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB1 = tau_a/2.;
cmpC1 = (tau_a + tau_b*2.)/2.;

cmpA2 = (tau_a + tau_b*2.)/2.;
cmpB2 = (tau_a + tau_b*2. + tau_c*2)/2.;
```

```
cmpC2 = tau_a/2.;
break;
case 2:
cmpA = tau_c/2.;
cmpB = (tau_c + tau_a*2. + tau_b*2.)/2.;
cmpC = (tau_c + tau_a*2.)/2.;

cmpA1 = (tau_c + tau_a*2.)/2.;
cmpB1 = tau_c/2.;
cmpC1 = (tau_c + tau_a*2. + tau_b*2.)/2.;

cmpA2 = (tau_c + tau_a*2. + tau_b*2.)/2.;
cmpB2 = (tau_c + tau_a*2.)/2.;
cmpC2 = tau_c/2.;
break;
case 3:
cmpA = tau_a/2.;
cmpB = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpC = (tau_a + tau_b*2.)/2.;

cmpA1 = (tau_a + tau_b*2.)/2.;
cmpB1 = tau_a/2.;
cmpC1 = (tau_a + tau_b*2. + tau_c*2.)/2.;

cmpA2 = (tau_a + tau_b*2. + tau_c*2.)/2.;
cmpB2 = (tau_a + tau_b*2.)/2.;
cmpC2 = tau_a/2.;
break;
default:
cmpA = 1.1;
cmpB = 1.1;
cmpC = 1.1;
cmpA1 = 1.1;
cmpB1 = 1.1;
cmpC1 = 1.1;

cmpA2 = 1.1;
cmpB2 = 1.1;
cmpC2 = 1.1;
break;
}
// ———————————— Sector 1 ————————————————
if(sector == 0 && region == 0) // Sector 1 - Region 1
{
S_A1 = 1.1;
S_A2 = 1.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

else if(sector == 0 && region == 1) // Sector 1 - Region 2
{
S_A1 = 1.1;
S_A2 = 1.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

else if(sector == 0 && region == 2) // Sector 1 - Region 3
{
S_A1 = 1.1;
S_A2 = 1.1;
```

```
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = 1.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

else if(sector == 0 && region == 3) // Sector 1 - Region 4
{
S_A1 = 1.1;
S_A2 = 1.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}
// ———————————— Sector 2 ————————————————
if(sector == 1 && region == 0) // Sector 2 - Region 1
{
S_A1 = 1.1;
S_A2 = -(1-cmpA1)+1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB1)+1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -(1-cmpC1)+1;
S_C5 = 1.1;
}

else if(sector == 1 && region == 1) // Sector 2 - Region 2
{
S_A1 = 1.1;
S_A2 = -(1-cmpA1)+1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB1)+1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -(1-cmpC1) +1;
S_C5 = 1.1;
}

else if(sector == 1 && region == 2) // Sector 2 - Region 3
{
S_A1 = -0.1;
S_A2 = -(1 - cmpA1) +1 ;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB1) + 1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -(1 - cmpC1) +1 ;
S_C5 = 1.1;
}

else if(sector == 1 && region == 3) // Sector 2 - Region 4
{
S_A1 = 1.1;
S_A2 = -(1 - cmpA1) +1;
S_A5 = -0.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB1) +1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = -(1-cmpC1)+1;
S_C5 = 1.1;
```

```
}
// ———————————— Sector 3 ————————————
if(sector == 2 && region == 0) // Sector 3 - Region 1
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = 1.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

else if(sector == 2 && region == 1) // Sector 3 - Region 2
{
S_A1 = -0.1;
S_A2 =1.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = 1.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

else if(sector == 2 && region == 2) // Sector 3 - Region 3
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = 1.1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = 1.1;
S_C5 = -0.1;
}

else if(sector == 2 && region == 3) // Sector 3 - Region 4
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = 1.1;
S_B5 = -0.1;
S_C1 = -0.1;
S_C2 = 1.1;
S_C5 = 1.1;
}

// ———————————— Sector 4 ————————————
if(sector == 3 && region == 0) // Sector 4 - Region 1
{
S_A1 = -0.1;
S_A2 = -(1-cmpA2)+1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB2)+1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC2)+1;
S_C5 = -0.1;
}


else if(sector == 3 && region == 1) // Sector 4 - Region 2
{
S_A1 = -0.1;
```

```
S_A2 = -(1-cmpA2)+1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB2)+1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC2)+1;
S_C5 = -0.1;
}

else if(sector == 3 && region == 2) // Sector 4 - Region 3
{
S_A1 = -0.1;
S_A2 = -(1-cmpA2)+1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = -(1-cmpB2)+1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC2)+1;
S_C5 = -0.1;
}

else if(sector == 3 && region == 3) // Sector 4 - Region 4
{
S_A1 = -0.1;
S_A2 = -(1-cmpA2)+1;
S_A5 = 1.1;
S_B1 = 1.1;
S_B2 = -(1-cmpB2)+1;
S_B5 = -0.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC2)+1;
S_C5 = -0.1;
}


// ———————————— Sector 5 ————————————————
if(sector == 4 && region == 0) // Sector 5 - Region 1
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 =1.1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 1) // Sector 5 - Region 2
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = 1.1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 2) // Sector 5 - Region 3
{
S_A1 = 1.1;
S_A2 = 1.1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
```

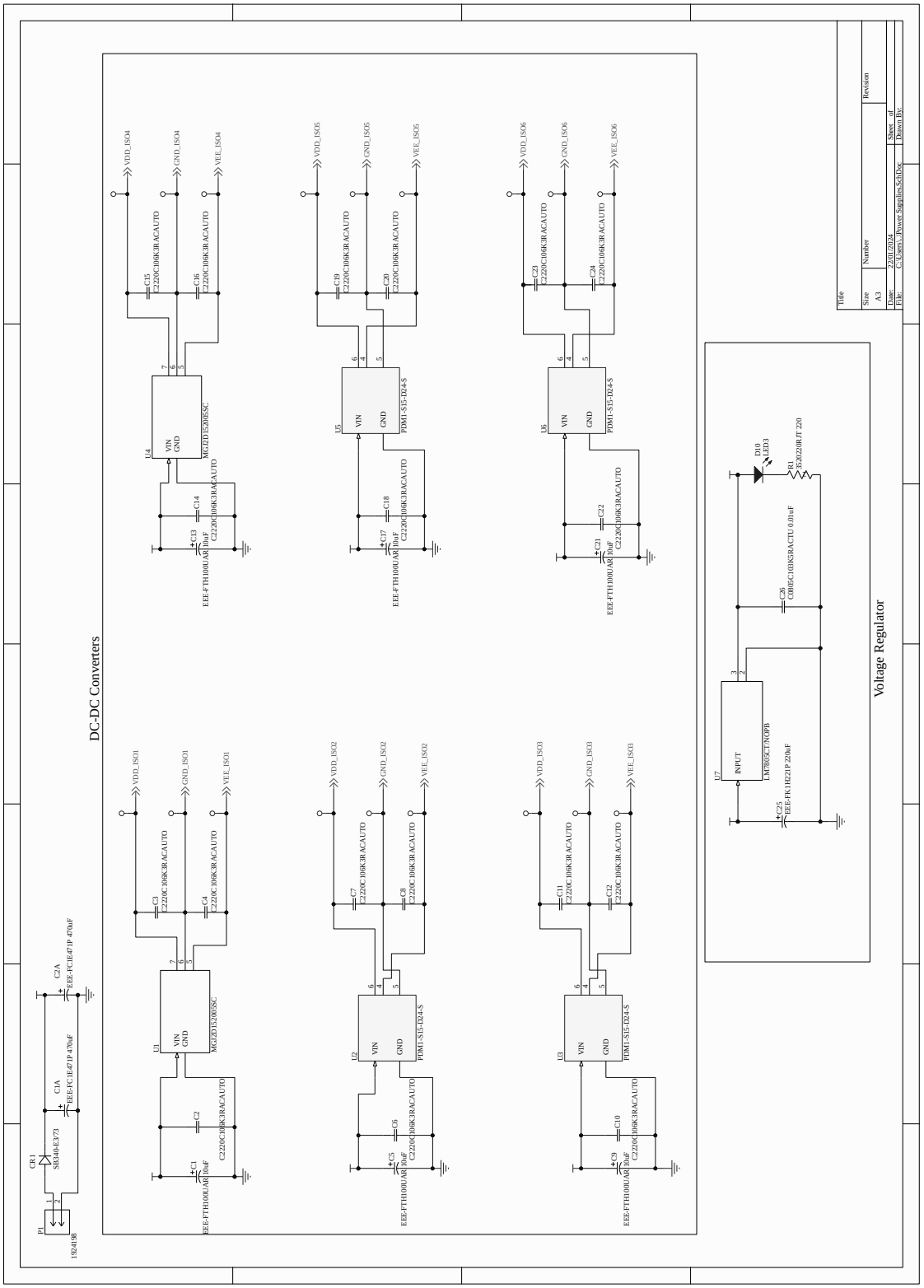
```
S_C1 = 1.1;
S_C2 = 1.1;
S_C5 = -0.1;
}

else if(sector == 4 && region == 3) // Sector 5 - Region 4
{
S_A1 = -0.1;
S_A2 = 1.1;
S_A5 = 1.1;
S_B1 = -0.1;
S_B2 = 1.1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = 1.1;
S_C5 = -0.1;
}
// ———————————— Sector 6 ————————————————
if(sector == 5 && region == 0) // Sector 6 - Region 1
{
S_A1 = 1.1;
S_A2 = - (1-cmpA)+1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -(1-cmpB)+1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC)+1;
S_C5 = -0.1;
}

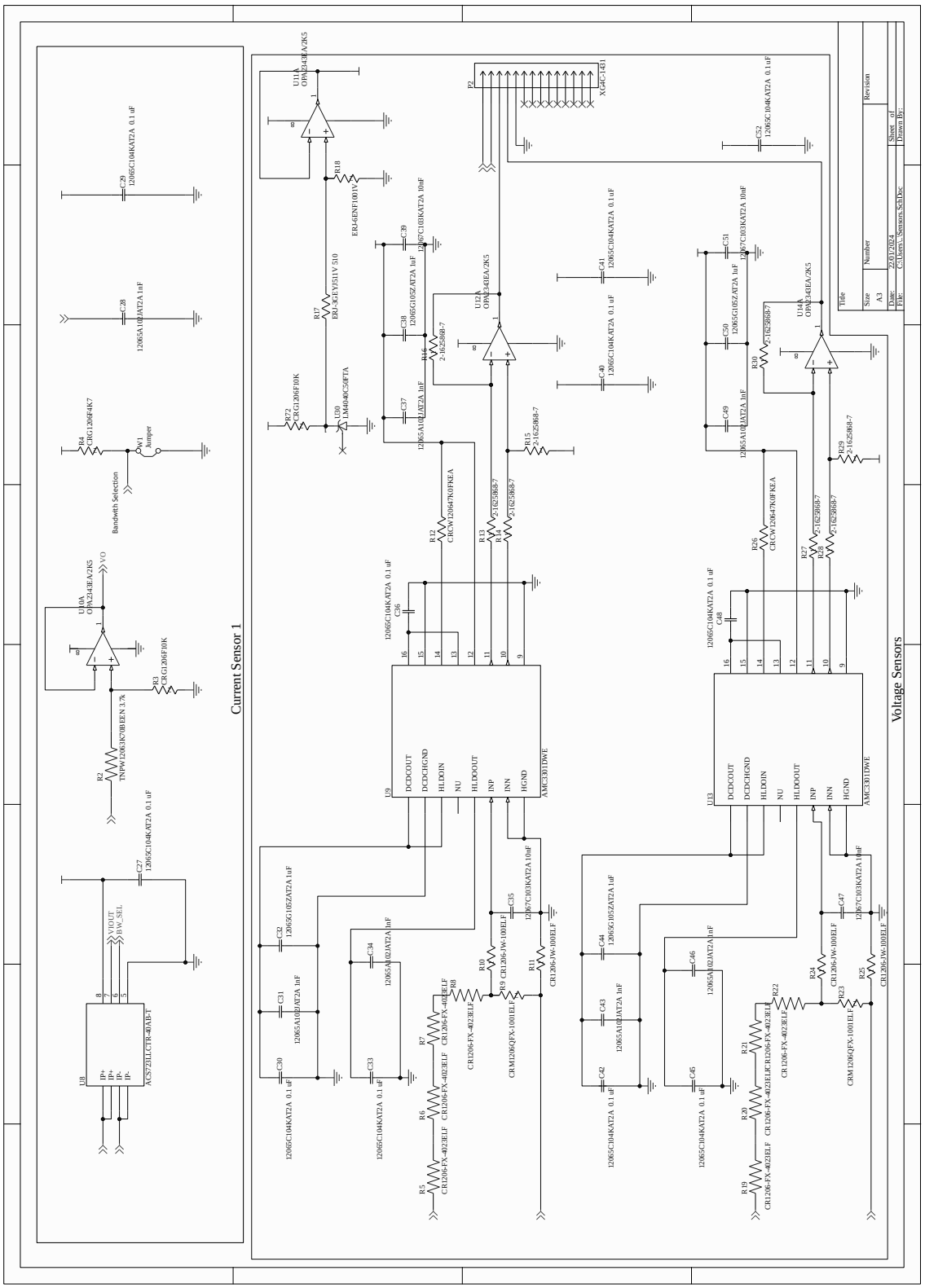
else if(sector == 5 && region == 1) // Sector 6 - Region 2
{
S_A1 = 1.1;
S_A2 = - (1-cmpA)+1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -(1-cmpB)+1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC)+1;
S_C5 = -0.1;
}

else if(sector == 5 && region == 2) // Sector 6 - Region 3
{
S_A1 = 1.1;
S_A2 = - (1-cmpA)+1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -(1-cmpB)+1;
S_B5 = 1.1;
S_C1 = -0.1;
S_C2 = -(1-cmpC)+1;
S_C5 = 1.1;
}
else if(sector == 5 && region == 3) // Sector 6 - Region 4
{
S_A1 = 1.1;
S_A2 = - (1-cmpA)+1;
S_A5 = -0.1;
S_B1 = -0.1;
S_B2 = -(1-cmpB)+1;
S_B5 = 1.1;
S_C1 = 1.1;
S_C2 = -(1-cmpC)+1;
S_C5 = -0.1;
}
```

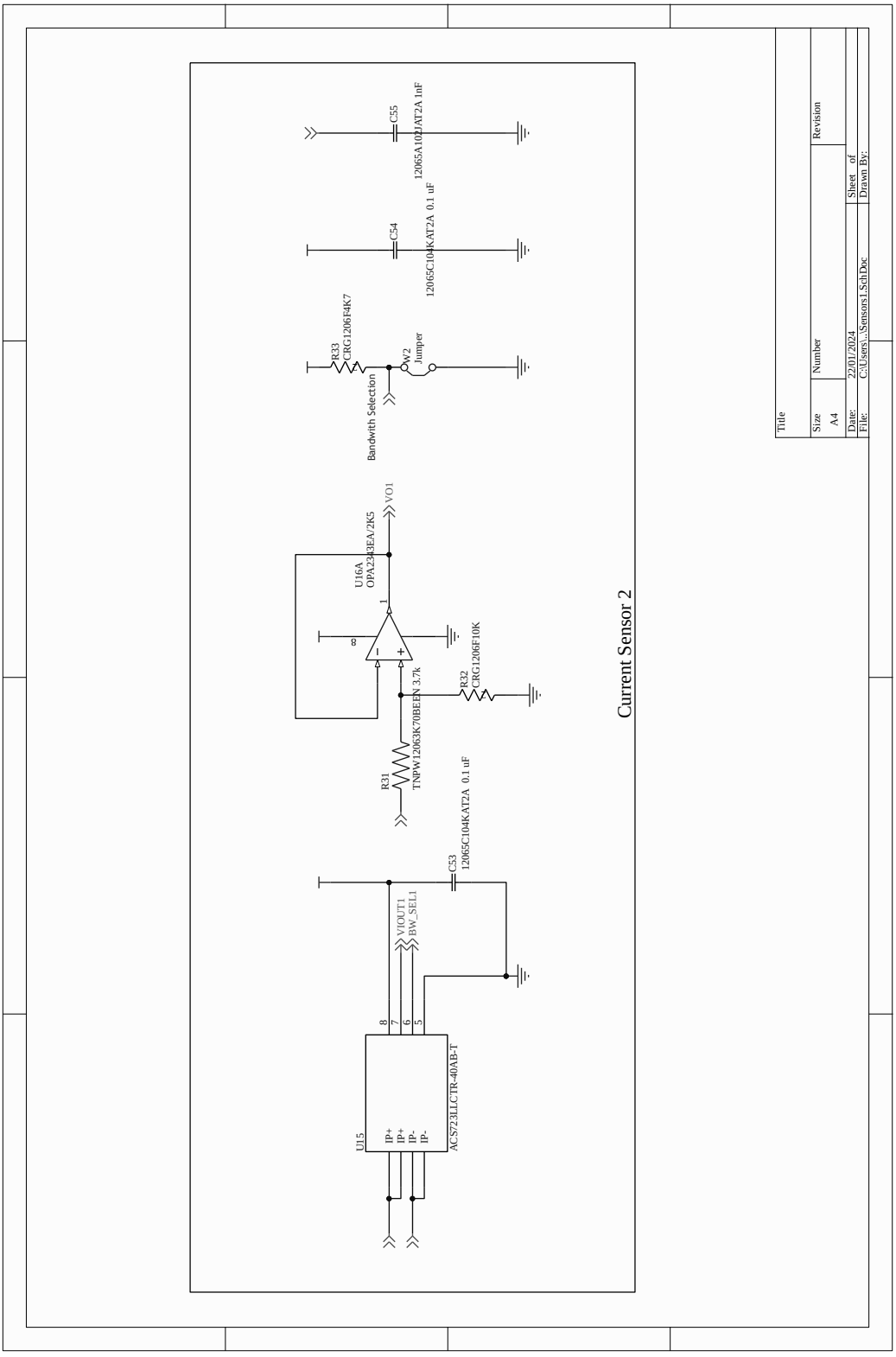
Power Supplies.SchDoc



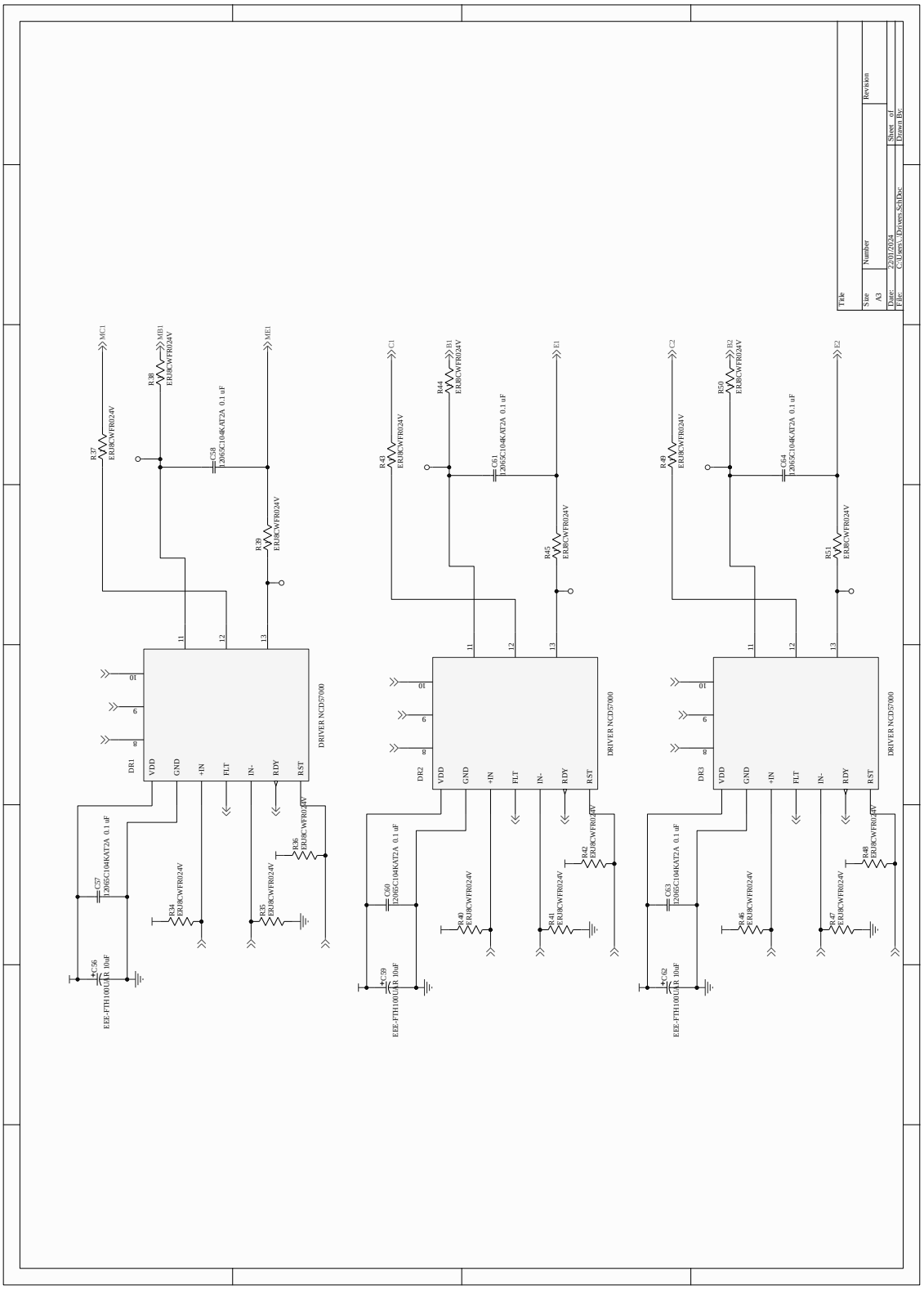
Sensors.SchDoc



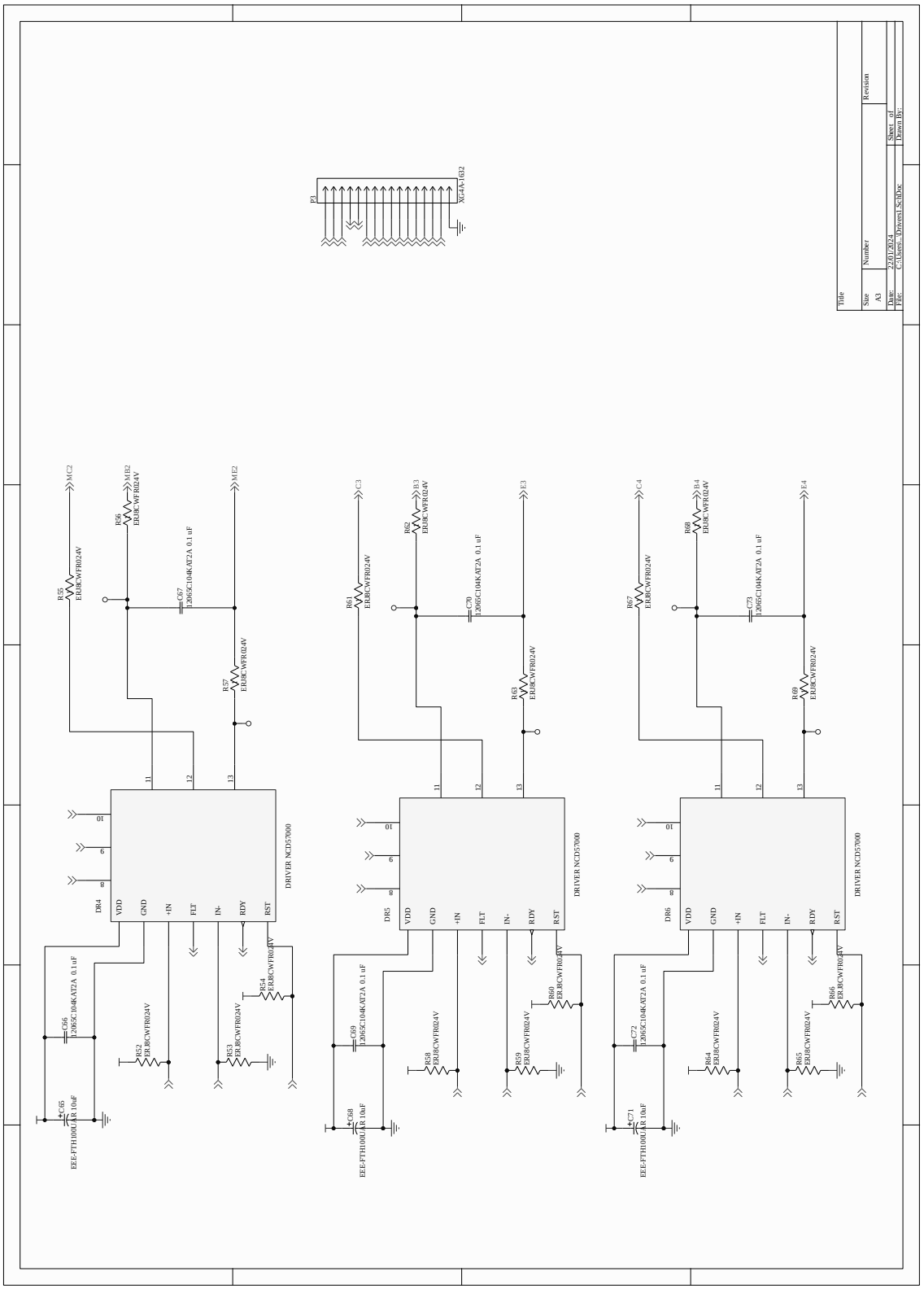
Sensors1.SchDoc



Drivers.SchDoc



Drivers1.SchDoc



Converter.SchDoc

